

Industriële en Biowetenschappen - Geel
Master of Science in de industriële wetenschappen
Elektronica-ICT



Ontwerp van een klokgenerator met lage jitter in
90nm CMOS met 51,2GSa/s equivalent-time
samplesnelheid



CAMPUS

Geel



Jeffrey Prinzie

Academiejaar 2012-2013

VOORWOORD

Tot slot van mijn carrière voor de studie industrieel ingenieur is de masterproef aan de beurt. Tijdens deze periode heb ik de kans gekregen om zelfstandig een probleem aan te pakken en hiervoor oplossingen te zoeken, een competentie die elke ingenieur nodig heeft en in zijn professionele carrière zeker mee in aanraking zal komen. Als elektronicus is het ontwerpen van schakelingen telkens een hele uitdaging, daarenboven is het ontwerp van geïntegreerde schakelingen nog een stapje verder. Daarom heb ik gekozen mijn eindwerk te doen bij RELIC, een onderzoeksgroep verbonden aan de hogeschool, die telkens de juiste informatie kon geven die nodig was of die ik tekort kwam, samen met de financiële steun van het SCK-CEN voor dit eindwerk.

In de eerste plaats zou ik Prof. Dr. Ir. Paul Leroux en Ing. Maarten Strackx willen bedanken voor alle informatie die zij hebben doorgegeven, zowel tijdens het eindwerk als tijdens de lessen door het jaar heen. Zonder dit was dit eindwerk onmogelijk geweest.

Vervolgens wil ik mij ouders bedanken die het mogelijk gemaakt hebben dat ik deze opleiding kon doen, samen met de steun van mijn vriendin.

Tot slot wil ik mijn klasgenoten bedanken voor de leuke ervaringen tijdens de opleiding.

Prinzie Jeffrey, 2013

SAMENVATTING

Deze masterproef heeft als doel om een lage ruis klokgenerator te ontwerpen in 90nm CMOS technologie. De klokgenerator zal gebruikt worden als sample-klok voor een analoog-digitaal omvormer. De schakeling is een onderdeel van een digitale ontvanger voor een nieuw ultra wideband beeldvormingsstelsel dat gebruikt zal worden voor o.a. in-vivo dosimetrie.

Het ultra wideband stelsel gebruikt een bandbreedte van 10GHz waardoor het nodig is om het inkomende signaal voldoende snel te bemonsteren. Om dit praktisch mogelijk te maken wordt in de ontvanger equivalent-time sampling gebruikt. Dit vergemakkelijkt het ontwerp van de ADC en digitale verwerking maar vereist een klokgenerator met zeer hoge precisie. Het uiteindelijke doel van de klokgenerator is om te werken als regelbare vertraging, die elke klokpuls een tijd langer vertraagt en dit accumuleert, wat de basiswerking van equivalent-time sampling is.

De klokgenerator bestaat uit twee grote delen. Het eerste deel is een PLL, die gebruik maakt van een 8-fase ring oscillator. Het tweede deel is een 6 bit digitaal naar tijd omvormer die verdere interpolatie uitvoert. Beide blokken worden aangestuurd door bijhorende teller en andere logica.

Het eerste deel van dit eindwerk zal een globaal beeld vormen van de ontvanger die in dit stelsel gebruikt wordt. Vervolgens wordt dieper ingegaan op de verschillende soorten ruis die in CMOS transistoren optreden omdat dit een essentieel punt is in het ontwerp van de schakeling. Faseruis en jitter worden meer in detail besproken. Vervolgens wordt in het tweede deel ingegaan op de schakelingen die in de klokgenerator gebruikt worden. Dit bevat de oscillator, PLL, digitaal naar tijd omvormer en digitale blokken. Alle schakelingen zijn uitgewerkt tot op elementair transistorniveau met bijhorende simulaties en berekeningen. Tot slot wordt ingegaan op de layout van de schakeling.

In bijlage is de paper over deze thesis bijgevoegd.

INHOUDSTAFEL

VOORWOORD	2
SAMENVATTING	3
INHOUDSTAFEL	4
LIJST MET AFKORTINGEN	6
LIJST MET FIGUREN	7
1 INLEIDING	10
1.1 Stageplaats	10
1.1.1 Missie & visie	10
1.1.2 Doelstellingen	10
1.2 Huidig onderzoek en probleemstelling	11
1.2.1 Huidige beeldvormingsystemen	11
1.2.2 Ultra Wideband beeldvorming	12
1.2.3 Onderzoeksvraag	13
1.3 Ultra Wideband	13
1.4 Elektromagnetische golven in variërende diëlectrica	15
2 EQUIVALENT-TIME ARCHITECTUUR	17
2.1 Architectuur van de ontvanger	17
2.2 Architectuur van de klokgenerator	18
3 JITTER EN FASERUIS	21
3.1 Ruis	21
3.1.1 Ruis in een weerstand	21
3.1.2 Ruis in MOSFETs	22
3.1.2.1 Witte ruis	23
3.1.2.2 1/f ruis	23
3.1.3 Correlatie van ruis	24
3.2 Jitter	24
3.2.1 Jitter in een vrijlopende VCO	25
3.2.1.1 Cycle to cycle jitter	25
3.2.1.2 Jitter t.o.v. referentieklok	25
3.2.2 Jitter in een gelockte PLL	27
3.3 SNR voor de ADC door jitter	27
3.4 Faseruis	30
3.4.1 Invloed van faseruis	33
4 VOLTAGE CONTROLLED OSCILLATOR	35
4.1 Barkhausen criterium	35
4.2 Types VCO	36
4.2.1 Ring oscillator	36
4.2.2 LC-oscillator	37
4.2.2.1 Kwaliteitsfactor	37
4.2.2.2 Oscillatievoorwaarden	38
4.2.2.3 Negatieve weerstandmodel	39
4.2.3 Relaxatie oscillator	41
4.3 Ring Oscillator	42
4.3.1 Single-ended ring oscillator zonder tuning	43
4.3.1.1 Lineaire berekening	43
4.3.1.2 Grootsignaal berekening	46
4.3.2 Current-starved ring oscillator	47
4.3.3 Jitter in de current-starved inverter	51
4.4 Differentiële Ring Oscillator	53
4.4.1 Algemene schakeling	53
4.4.2 Lineaire last	54

4.5	Gebruikte VCO	56
4.6	Faseruis	60
4.6.1	Lineair model	63
4.6.2	ISF model	66
4.7	Jitter	70
4.8	Uitgangsbuffer	70
5	DIGITALE COMPONENTEN	73
5.1	Basisbouwblokken	73
5.1.1	Inverter	73
5.1.2	NAND- en NOR-poort.....	76
5.2	D-Flip Flop	77
5.3	9 Bit teller	80
5.4	Transmissiepoort	83
5.5	8 naar 1 Multiplexer	84
6	PLL	87
6.1	Opbouw van een PLL	87
6.2	Oscillator	87
6.3	Fasedetector	88
6.4	Lusfilter	92
7	DIGITAL TO TIME CONVERTER	98
7.1	Vertragingselement	98
7.2	Regellus	100
7.3	Jitter	103
7.4	Simulatie DTC zonder VCO	105
8	LAYOUT VAN DE VCO	109
8.1	Differentieel ring element	109
8.2	Uitgangsbuffer	110
8.3	Opamp	110
8.4	Layout VCO	111
8.5	Andere praktische aspecten	113
	BESLUIT	115
	BIBLIOGRAFIE	116
	BIJLAGE 1: WETENSCHAPPELIJKE PAPER	118

LIJST MET AFKORTINGEN

ADC	Analog to Digital Converter
LNA	Low Noise Amplifier
CMMR	Common Mode Rejection Ratio
CMOS	Complementaire Metal Oxide Semiconductor
DBE	Digital Back End
DTC	Digital to Time Converter
ENOB	Effective Number Of Bits
ISF	Impulse Sensitive Function
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
MUT	Material Under Test
MUX	Multiplexer
PFD	Phase Frequency Detector
PLL	Phase Locked Loop
PSD	Power Spectral Density
Q-factor	Kwaliteitsfactor
RMS	Root Mean Square
S/H	Sample And Hold
SINAD	Signal to Noise and Distortion
SNR	Signal To Noise Ratio
UWB	Ultra Wideband
VCO	Voltage Controlled Oscillator
VGA	Variable Gain Amplifier

LIJST MET FIGUREN

Figuur 1-1: Architectuur van het TDR-systeem	12
Figuur 1-2: a) Smalbandig spectrum b) UWB spectrum	13
Figuur 1-3: a) Oneindig lange sinus vermenigvuldigen met rechthoek b) Resultaat kortstondige sinus	14
Figuur 1-4: Spectrum van een kortstondige sinus en kortstondige pulstrein.....	15
Figuur 2-1: Ontvanger architectuur	17
Figuur 2-2: Sample en hold schakeling	17
Figuur 2-3: a) Direct samplen van het signaal b) Equivalent-time sampling	18
Figuur 2-4: Architectuur van de klokgenerator	19
Figuur 3-1: Ruis van een weerstand	22
Figuur 3-2: Ruis in het kanaal van een MOSFET	23
Figuur 3-3: Jitter op een klok.....	25
Figuur 3-4: Accumulerende jitter.....	26
Figuur 3-5: Jitter in functie van de tijd.....	26
Figuur 3-6: Overdracht van jitter op sampleklok op het signaal.....	27
Figuur 3-7: Vergelijking helling op ruisoverdracht	28
Figuur 3-8: Invloed jitter en frequentie op ENOB.....	29
Figuur 3-9: Ruis op de fase van een sinus	30
Figuur 3-10: Ruisvorming.....	31
Figuur 3-11: a) Vectoriële voorstelling van faseruis b) Voorbeeld voor verschillende vectoren.....	32
Figuur 3-12: Up-conversie van faseruis.....	33
Figuur 3-13 : Ideale en niet-ideale oscillator.....	33
Figuur 3-14: Ontvanger demodulator.....	34
Figuur 3-15: Verbreding van het spectrum door een convolutie met de PSD van de oscillator	34
Figuur 4-1: a) Wortellijn van een oscillator b) Versterking in functie van de amplitude.....	35
Figuur 4-2: a) Aanleggen sinus aan gesloten systeem b) Zelfonderhouden van oscillatie	36
Figuur 4-3: Ring oscillator	37
Figuur 4-4: LC gemeenschappelijke source versterker	37
Figuur 4-5: Invloed van de kwaliteitsfactor op de amplitude- en fasekarakteristiek....	38
Figuur 4-6: Eenvoudige LC-oscillator	38
Figuur 4-7: a) LC-oscillator met kruisgekoppelde belasting b) Equivalente weerstand van de kruisbelasting	39
Figuur 4-8: a) equivalent schema door V_{dd} knoop te ontkoppelen b) equivalent schema met de kruisbelasting.....	40
Figuur 4-9: a) Varicap controle b) Moscap controle.....	40
Figuur 4-10: Equivalente schakeling met variabele capaciteit.....	41
Figuur 4-11: Eenvoudige relaxatie oscillator	41
Figuur 4-12: Golfvorm van een relaxatie oscillator.....	42
Figuur 4-13: a) Single-ended vertragingselement b) Kleinsignaal schema c) Compact schema	43
Figuur 4-14: Vertragingstijd van een inverter	46
Figuur 4-15: Current-starved delay	47
Figuur 4-16: Uitgangsspanning tijdens schakelen	48
Figuur 4-17: a) Instelschakeling voor current-starved inverter b) Vereenvoudigde schakeling	49
Figuur 4-18: Current-starved ring oscillator met instelling	49
Figuur 4-19: Simulatie uitgangsstrom Current-starved Inverter	50
Figuur 4-20: Oscillatie current-starved inverter.....	50
Figuur 4-21: Frequentie en stroom in functie van de controlespanning.....	51
Figuur 4-22: Uitgangsverloop met ruis.....	51
Figuur 4-23: Structuur differentiële ring oscillator	53

Figuur 4-24: a) Algemeen differentieel element b) Lineaire belasting c) Lineaire belasting met diode d) Lineaire belasting met diode en kruisgekoppelde belasting	53
Figuur 4-25: Aanmaak stroombron	54
Figuur 4-26: Differentieel element met lineaire belasting	54
Figuur 4-27: Vertragingstijd bij stijgende uitgang	56
Figuur 4-28: Gebruikte differentieel element met replica biasing	57
Figuur 4-29: Invloed van diode op lineariteit	57
Figuur 4-30: a) Transconductantie in functie van W en L bij een vaste stroom b) C_{gate} in functie van W en L. Zwarte lijn is constante g_m	59
Figuur 4-31: Simulatie van de golfvorm van de gebruikte VCO	59
Figuur 4-32: Differentieel element met stroombronnen	60
Figuur 4-33: Simulatie van de frequentie bij een variërende ingangsspanning	60
Figuur 4-34: Faseruis in een oscillator	61
Figuur 4-35: Vergelijking faseruis van verschillende oscillatoren	62
Figuur 4-36: FOM vergelijking	63
Figuur 4-37: Voorstelling van het lineair model van een ring oscillator	63
Figuur 4-38: Faseruis vergelijking tussen gesimuleerde en berekende waarden	66
Figuur 4-39: a) Tijdsvertraging van de oscillator t.o.v. een referentie b) Impulsstromen op verschillende tijdstippen	67
Figuur 4-40: ISF functie	68
Figuur 4-41: ISF benadering	69
Figuur 4-42: Faseruis vergelijking met simulatie	69
Figuur 4-43: Accumulatie van jitter in de ring	70
Figuur 4-44: Uitgangsbuffer	71
Figuur 4-45: Simulatie van de uitgangsbuffer	72
Figuur 5-1: CMOS structuur van een inverter	73
Figuur 5-2: Statische karakteristiek van een inverter	74
Figuur 5-3: a) Transferkarakteristiek van de gebruikte inverter b) Verandering van de karakteristiek bij verschillende PMOS breedtes	75
Figuur 5-4: Vertragingstijd van een inverter	76
Figuur 5-5: a) CMOS NOR-poort b) CMOS NAND-poort	76
Figuur 5-6: D-Flip Flop	77
Figuur 5-7: Master slave flip flop	78
Figuur 5-8: Implementatie van een D latch met enable	78
Figuur 5-9: Implementatie van een D flip flop met NAND-poorten	79
Figuur 5-10: Simulatie van de D flip flop	79
Figuur 5-11: Problemen met hold time	80
Figuur 5-12: Hold time simulatie	80
Figuur 5-13: a) XOR-poort als selectieve inverter b) Schema van een 1 bit element van de teller	81
Figuur 5-14: Adder in combinatie met D-flip flops	82
Figuur 5-15: Simulatie van de teller	82
Figuur 5-16: Opbouw van een transmissiepoort	83
Figuur 5-17: Karakteristieken van de transmissiepoort a) Vergelijking met NMOS en PMOS weerstand b) Karakteristiek bij verschillende breedtes	84
Figuur 5-18: a) Voorstelling multiplexer b) Voorbeeld van selectie van de eerste ingang	85
Figuur 5-19: Opbouw van de multiplexer met transmissiepoorten	86
Figuur 6-1: PLL blokschema	87
Figuur 6-2: Lineair PLL model	87
Figuur 6-3: Fasesprong aan de ingang	88
Figuur 6-4: Implementatie PFD	89
Figuur 6-5: Voorbeeld PFD	89
Figuur 6-6: Implementatie van een D-flip flop met asynchrone reset	90
Figuur 6-7: Simulatie van de D-flip flop met asynchrone reset	90
Figuur 6-8: Basiswerking charge pump	91
Figuur 6-9: Implementatie van de charge pump	92

Figuur 6-10: a) Root locus met enkel een condensator b) Root locus door extra nulpunt	93
Figuur 6-11: Lusfilter	93
Figuur 6-12: Open lus respons	94
Figuur 6-13: Root locus van het 3de orde systeem	94
Figuur 6-14: Ruis toevoeging in gesloten lus	95
Figuur 6-15: a) Invloed van C2 op de ruistransferfunctie b) Invloed van K op de ruistransferfuncite	96
Figuur 6-16: Faseruis invloed van VCO op de uitgang	96
Figuur 7-1: Vertragingselement voor de DTC	98
Figuur 7-2: Stroomspiegel voor de instelling van de DTC.....	99
Figuur 7-3: Vertraging bij verschillende digitale ingangen	99
Figuur 7-4: Regellus voor de instelling van de DTC	100
Figuur 7-5: a) Lock toestand van beide elementen b) Opstartverschijnsel van de instelspanning.....	102
Figuur 7-6: Simulatie met 100000 (32) als ingangswoord	102
Figuur 7-7: 4 Opeenvolgende interpolaties	103
Figuur 7-8: Voorbeeld van de DTC in het complete systeem. A: fase 0 van de VCO B: fase 3 van de VCO (3,75ns t.o.v. fase 0) C: fase 4 van de VCO D: Uitgang van de DTC (625ps t.o.v. B)	104
Figuur 7-9: Jitter in functie van het ingangswoord.....	105
Figuur 7-10: Blokdiagramma van de simulatie	105
Figuur 7-11: Opstelling van de simulatie	106
Figuur 7-12: Uitgangsklok met VCO-klok van 10ns.....	106
Figuur 7-13: a) Oogdiagramma van de uitgang met 10ns periode b) Vergroting van de stijgende flanken.....	107
Figuur 7-14: Fase switchover op de multiplexer	108
Figuur 8-1: Layout differentieel element	109
Figuur 8-2: Uitgangsbuffer	110
Figuur 8-3: Layout van de opamp	111
Figuur 8-4: Layout van de volledige VCO.....	112
Figuur 8-5: Layout met bond pads	113

1 INLEIDING

1.1 Stageplaats

Dit eindwerk heb ik kunnen realiseren bij Thomas More Kempen, wat vroeger bekend was als Katholieke Hogeschool Kempen (Kleinhoefstraat 4, 2440 Geel). RELIC, wat staat voor Real-time Electronics and Integrated Circuits, is een onderzoeksgroep binnen T.M. Kempen en de KU Leuven die gericht is op het ontwerp van geïntegreerde schakelingen. Dit eindwerk is deel van het ultra wideband (UWB) project dat bij RELIC loopt. Andere expertises van RELIC zijn het ontwerp van elektronische componenten in extreme omstandigheden zoals hoge temperatuur, ruis en zelfs straling voor nucleaire reactoren.



1.1.1 Missie & visie

- RELIC wil een regionaal kenniscentrum vormen rond elektronica en het ontwerp van geïntegreerde schakelingen voor specifieke operationele eisen en werkingsomstandigheden waar bestaande commerciële componenten alsdusdanig geen uitkomst bieden. Deze vereisten profileren zich op verschillende gebieden zoals bijvoorbeeld een strikte timing of de betrouwbaarheid onder zware werkomstandigheden zoals uitzonderlijke werkingstemperaturen, de aanwezigheid van ruis en stoorsignalen of zelfs nucleaire straling.
- RELIC wil het aanspreekpunt bij uitstek zijn voor de lokale KMO's in de Kempen en op die manier bijdragen aan de verdere economische en maatschappelijke ontwikkeling van de regio.
- RELIC streeft tevens het hoogste technologisch en wetenschappelijk niveau na en wil daarbij het onderzoek aan de T.M. Kempen ook internationaal in de kijker zetten. Dit wordt bewerkstelligd via een brede nationale en internationale samenwerking en een actieve aanwezigheid op topconferenties in het domein.
- RELIC wil bij dit alles ook aan jonge ingenieursstudenten de kans geven om in het kader van een stage of masterproef betrokken te worden bij industrieel relevant hoogtechnologisch onderzoek. RELIC draagt zo bij tot de academisering van de opleiding tot master in de industriële wetenschappen aan de T.M.Kempen.

1.1.2 Doelstellingen

RELIC realiseert haar visie via de volgende strategische doelen.

- RELIC levert elektronisch ontwerp expertise aan regionale, nationale en internationale bedrijven.
- RELIC werkt samen met regionale en nationale onderzoekscentra en universitaire afdelingen waarbij complementariteit wordt nagestreefd.

- RELIC biedt jonge ingenieurs-assistenten de mogelijkheid om te doctoreren in samenwerking met de KU Leuven.
- RELIC biedt aspirant-ingenieurs de mogelijkheid om in het kader van hun opleiding, hun stage of masterproef binnen de groep te volbrengen.

Samen met zijn partners als ESAT-MICAS (KU Leuven) en SCK-CEN biedt deze onderzoeksgroep een ideale stageplaats voor elektronisch ontwerp waar steeds de nodige informatie beschikbaar is om het ontwerp tot een goed einde te brengen.

1.2 Huidig onderzoek en probleemstelling

1.2.1 Huidige beeldvormingsystemen

Huidige (medische) beeldvormingstechnieken gebruiken allerlei verschillende technologieën die hun kenmerkende eigenschappen, problemen en beperkingen hebben. Kenmerkend van alle systemen is dat ze gebruik maken van voortplantende golven. Het is daarom mogelijk om de systemen te onderscheiden door te kijken met welke frequenties ze werken.

Ultrasone beeldtechnieken gebruiken relatief lage frequenties. Deze verschillen direct met de andere technieken doordat er gebruik gemaakt wordt van drukgolven (zoals geluid) in plaats van elektromagnetische golven. Het voordeel van laagfrequente golven is dat de penetratiediepte relatief groot is. De lage frequenties verkleinen echter de resolutie van het beeld. Er wordt zowel gebruik gemaakt van de tijd die nodig is om de golf laten terug te keren of doppler verschuiving van bewegende delen.

Een techniek waarbij een hoge resolutie mogelijk is, is MRI (Magenetic Resonance Imaging). Hier wordt gebruik gemaakt van het magnetisch moment dat atomen (met oneven aantal kerndeeltjes) hebben. Wanneer er een sterk magnetisch veld aangelegd wordt, zullen de magnetische dipolen in dezelfde richting aligneren. Vervolgens wordt er een elektromagnetische puls aangelegd (MHz) die op verschillende plaatsen in het lichaam een andere sterkte heeft. Deze puls zorgt er voor dat de magnetische dipolen in een aangeslagen toestand verkeren waarvan de energie groter is dan in de rusttoestand. Omdat deze puls maar kortstondig is, zullen alle atomen trachten terug te keren naar hun grondtoestand. De energie, opgenomen uit de elektromagnetische puls om in aangeslagen toestand te komen, moet terug afgegeven worden. Dit gebeurt door het uitzenden van een foton. Door het aanleggen van een elektromagnetische puls met verschillende sterkte overal in het lichaam, zal de uitgezonden energie van de foton overal verschillend zijn. Dit heeft dus invloed op de frequentie ($E = h f$). Met behulp van fourier transformaties kan een 3D beeld gevormd worden waar een grote concentratie aanwezig is. De frequentie van de puls is hier erg belangrijk, omdat deze in resonantie moet kunnen gaan met de atomen om ze in aangeslagen toestand te brengen. Het grote voordeel van MRI is dat er helemaal geen gebruik gemaakt wordt van ioniserende straling. De enige golven die gebruikt worden liggen in de orde van MHz. Het nadeel van deze techniek is dat er een enorm sterke magneet nodig is. Daarom zijn MRI systemen helemaal niet draagbaar en moet de patiënt naar het toestel gebracht worden.

Röntgenstraling wordt ook toegepast in verschillende systemen (röntgenfoto, CT, therapie, ...). De straling die hierbij gebruikt wordt is hoog energetisch. Deze kunnen atomen in het lichaam ioniseren wat direct een nadeel is van deze beeldvormingsystemen. Een beeld wordt gevormd door de absorberende eigenschappen van verschillende delen (bv het skelet) t.o.v. andere.

Deze systemen worden ook gebruikt in andere toepassingen. Röntgenstralen worden bijvoorbeeld gebruikt bij luchthaven beveiliging om bagage te controleren. Ultrasound wordt ook gebruikt bij de materialenkunde om te controleren naar gebreken in constructiematerialen.

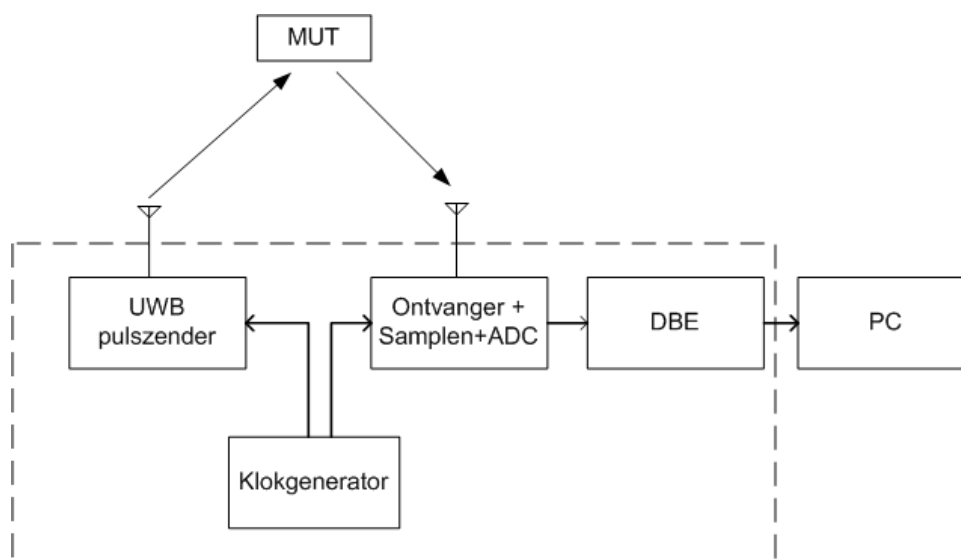
Een techniek die een beeld kan vormen met hoge resolutie is LIDAR (Light Detection and Ranging). Hierbij wordt gebruik gemaakt van zichtbaar licht. Een toepassing hiervan is het scannen van 3D objecten, om hiervan een beeld te maken. LIDAR beperkt zich tot het bekijken van het oppervlak van niet-transparante voorwerpen, omdat het licht geen penetrerend vermogen heeft.

1.2.2 Ultra Wideband beeldvorming

Met UWB (Ultra Wideband (1.3)) beeldvormingsystemen is het mogelijk om met behulp van laag energetische elektromagnetische golven een beeld te vormen met hoge resolutie. In tegenstelling tot MRI systemen wordt verwacht dat UWB systemen op een redelijk draagbaar formaat kunnen gemaakt worden omdat er geen nood is aan sterke magneten. UWB systemen gebruiken de eigenschap dat een elektromagnetische golf gereflecteerd wordt als de karakteristieke impedantie van de ruimte verandert. Omdat het lichaam is opgebouwd uit verschillende componenten, delen en lagen, zal elk deel een andere karakteristieke impedantie hebben t.o.v. de andere. Een laag heeft een verschillende karakteristieke impedantie wanneer de permeabiliteit, primitiviteit of geleidbaarheid wijzigt. Wanneer een elektromagnetische golf uitgezonden wordt op het lichaam, zal deze op elke overgang gedeeltelijk reflecteren (1.4). Door gebruik te maken van een inverse elektromagnetische oplossing kan dan uiteindelijk een beeld gevormd worden.

In dit systeem worden enkel elektronische componenten gebruikt die geschikt zijn om op chip te plaatsen. Daarom kan het grote deel van het systeem op een enkelvoudig PCB geïntegreerd worden. De inverse oplossing zal veel rekenkracht vragen maar dit kan uiteindelijk uitgevoerd worden op een gecentraliseerd computersysteem waarnaar data uiteindelijk (draadloos) doorgestuurd kan worden.

Uiteraard is de medische kant een deel van de toepassing.



Figuur 1-1: Architectuur van het TDR-systeem

Omdat er gebruik gemaakt wordt van de gereflecteerde puls en de vorm ervan is dit reflectometrie. De architectuur van het gebruikte tijdsdomein reflectometrie (TDR) systeem is weergegeven in Figuur 1-1.

De klokgenerator zal in dit eindwerk ontworpen worden. Deze stuurt zowel de zender aan als de ontvanger. De zender zal UWB pulsen periodisch uitzenden tegen de frequentie van de klokgenerator. Tijdens elke klokpuls wordt er dus een UWB puls uitgezonden. Deze pulsen worden uitgezonden op het Material Under Test (MUT). Wanneer er een impedantie overgang is van het ene medium naar het andere, zal een

deel van de puls reflecteren en ontvangen worden door de ontvanger. De ontvangen analoge signalen moeten vervolgens omgezet worden in digitale waarden zodat dit verder verwerkt kan worden door het Digital Back End (DBE). Hier zal een link ontstaan met een computer voor dataopslag en verwerking [1].

1.2.3 Onderzoeksvraag

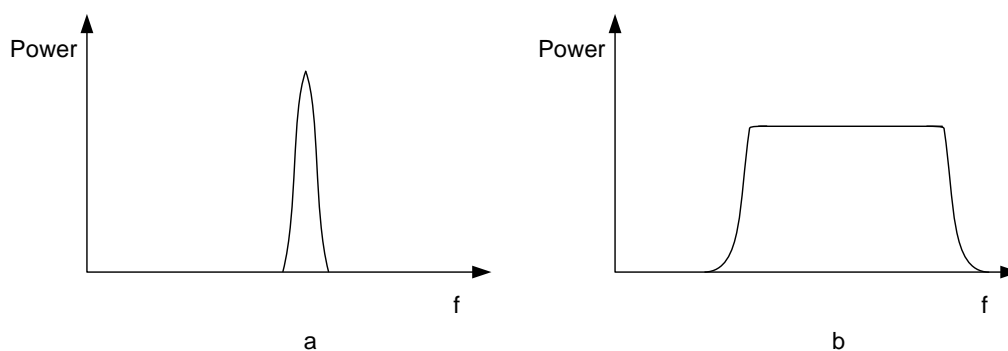
Dit eindwerk focust op de klokgenerator van het UWB-systeem. De gebruikte signalen die gedigitaliseerd moeten worden hebben een relatief hoge frequentie (10GHz). Om deze signalen te digitaliseren moeten ze eerst gesampled worden. Om zo weinig mogelijk onzekerheid toe te voegen op het gesampled signaal, is het nodig dat de klokgenerator een kleine onzekerheid heeft (jitter). Doorheen dit eindwerk is het de bedoeling om een klokgenerator te ontwerpen voor deze toepassing. Er werd initieel gestreefd naar een jitter van 5ps.

Onderzoeksvraag:

"Welke architecturen zijn er mogelijk om een klokgenerator te ontwerpen voor een digitale UWB ontvanger die gebruik maakt van equivalent-time sampling? Is het verder mogelijk om dergelijke architectuur te implementeren met standaard CMOS om aan de ruiseigenschappen te voldoen?"

1.3 Ultra Wideband

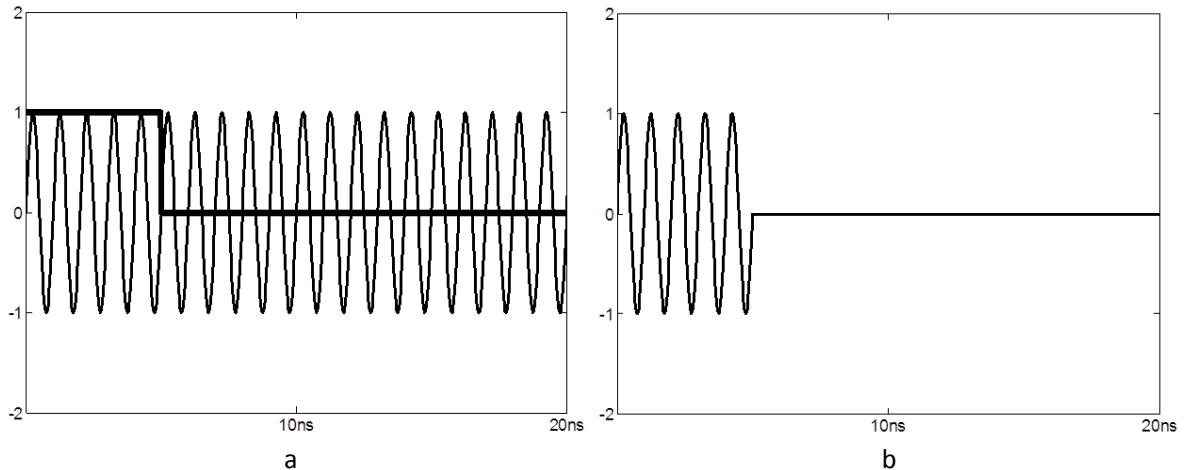
Traditionele RF transponders zijn gebouwd rond een mixer, waarbij een laagfrequente golf (bv audio) wordt up-geconverteerd naar een hogere frequentie. Omdat de bandbreedte van een audiosignaal (20kHz) veel kleiner is dan de up-conversie (100MHz) kan er gezegd worden dat het spectrum smalbandig is (Figuur 1-2a). Wanneer de bandbreedte echter in de orde van de draaggolf is, kan er gesproken worden van een breedbandig signaal. Ultra wideband wordt gedefinieerd als een signaal waarvan de bandbreedte groter is dan 20% van de centerfrequentie of groter dan 500MHz. Een voorbeeld hiervan is Figuur 1-2b. Deze techniek wordt tegenwoordig vaak toegepast bij datacommunicatie waarbij grote hoeveelheid data (Gbit/s) verstuurd kunnen worden. Echter zijn er reglementeringen opgelegd op het vermogen dat uitgestuurd mag worden. Dit verhindert de communicatieafstand. Vaak zal het UWB-spectrum overlappen met andere banden zoals de 2,4GHz band. Omdat de UWB-signalen kortstondig uitgestuurd worden, zal deze interferentie echter minimaal zijn.



Figuur 1-2: a) Smalbandig spectrum b) UWB spectrum

Ideaal zou een UWB-signaal in het frequentiedomein een rechthoekige functie zijn. Dit is echter niet realiseerbaar omdat de signalen in het tijdsdomein dan sinc-vormig moeten zijn en niet tijd gelimiteerd zijn. De methode die gebruikt wordt, is het vormen van kortstondige pulsen.

Deze methode kan eenvoudig bekeken worden met een sinus. Een oneindig lange sinus heeft in het frequentiedomein slechts één spectrale component op frequentie f_c . Dit geldt enkel voor een sinus die al oneindig lang bezig is, en nog oneindig lang zal verder duren. In de meeste gevallen van signaalverwerking zal een sinus hieraan voldoen, en zal het opstarten slechts een kleine invloed hebben omdat de tijd dat de sinus aan staat veel meer is dan de periode ervan. Om een UWB-spectrum te maken kan gebruik gemaakt worden van het kortstondig aanschakelen van een sinus. Ter illustratie wordt een sinus gebruikt van 1GHz, die gedurende 5ns aangeschakeld wordt en voor de rest nul is (Figuur 1-3).



Figuur 1-3: a) Oneindig lange sinus vermenigvuldigen met rechthoek b) Resultaat kortstondige sinus

Het spectrum van de lange sinus zal een dirac impuls (1-1) zijn op zijn frequentie f_c (uiteraard ook de negatieve maar er wordt enkel de positieve band beschouwd). Voor de kortstondige sinus is dit helemaal anders.

$$y_{sin}(t) = \sin(2\pi f_c t) \leftrightarrow |Y_{sin}(f)| = \frac{1}{2} \delta(f \pm f_c) \quad (1-1)$$

De Y stelt hierin de fouriertransformatie van y voor.

Als het spectrum van de kortstondige sinus bekeken wordt is dit helemaal geen dirac impuls meer. Wat dit geworden is, is het spectrum van de puls, die de sinus afbakt, maar dan verschoven over een afstand f_c . Het spectrum van een rechthoekig signaal met breedte T_{puls} is

$$\text{rect}\left(\frac{t}{T_{puls}}\right) \leftrightarrow T_{puls} \cdot \text{sinc}(T_{puls} \cdot f). \quad (1-2)$$

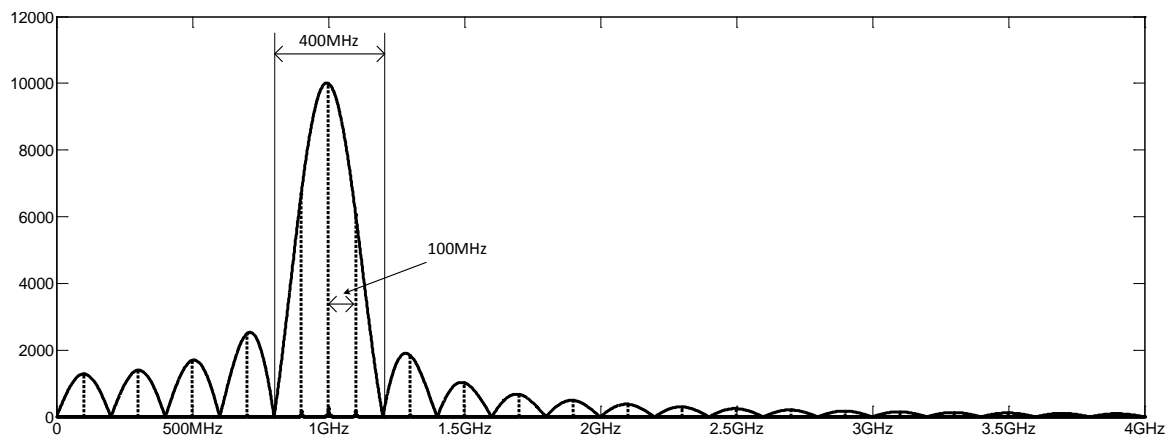
De bandbreedte van de hoofdlobe van een sinc functie is $\frac{2}{T_{puls}}$. Het gevolg hiervan is, dat de bandbreedte van de UWB-puls bepaald kan worden met de lengte van de puls. Het is duidelijk dat voor een grote bandbreedte een kleine T_{puls} nodig is, wat de zenderschakeling complexer maakt.

De puls wordt vermenigvuldigd met de sinus, om een kortstondige sinus te hebben. Het gevolg is hiervan dat de fouriertransformatie van de puls, geconvolueerd wordt met de fouriertransformatie van de sinus, welke een dirac impuls is. Het spectrum van de rect functie wordt in het frequentiedomein verschoven naar $\pm f_c$. Als dit niet gedaan wordt, en enkel een puls als signaal gebruikt wordt, is het spectrum rond DC gesitueerd.

Samengevat kan met f_c de centerfrequentie gekozen worden terwijl met T_{puls} de bandbreedte geregeld kan worden. Uiteraard is het spectrum dat gebruikt wordt theoretisch oneindig groot. De bovenstaande bandbreedte is de breedte van de hoofdlobe van de sinc functie, daar de zijlobes verwaarloosd worden. In de praktijk wordt de uitgang nog door een hoogdoorlaat filter gestuurd om de laagfrequente zijlobes weg te filteren om interferentie met andere banden te voorkomen. In principe moet een bandpass filter gebruikt worden, maar vaak zal de eindige bandbreedte van de pulsgenerator hiertoe bijdragen en de hogere banden al onderdrukken.

In het systeem dat voor deze toepassing gebruikt zal worden, zullen de pulsen periodisch uitgezonden worden. Als het spectrum bekeken wordt van een serie pulsen, zal dat simpelweg een bemonstering zijn in het frequentiedomein van het spectrum van slechts één puls. De spectrale componenten zijn gelegen op afstanden van elkaar die bepaald worden door de periode van de herhalende pulstrein.

Figuur 1-4 toont het spectrum van de kortstondige sinus, met zijn periodische uitbreiding. Er werd een sinus gebruikt van 1GHz, een pulsbreedte van 5ns en een herhalingsfrequentie van 100MHz. De bandbreedte is $\frac{2}{5ns} = 400MHz$, met een centerfrequentie van 1GHz. Als de periodische uitbreiding bekeken wordt, liggen de samplepunten in het frequentiedomein 100MHz uit elkaar. Het spectrum van de periodische uitbreiding is geschaald om dit op de figuur zichtbaar te maken. Het is hier ook duidelijk dat het spectrum niet symmetrisch is. Dit komt omdat een ander deel van het spectrum van de puls naar de andere kant verschoven is, en deze worden uiteindelijk opgeteld.



Figuur 1-4: Spectrum van een kortstondige sinus en kortstondige pulstrein

Het probleem van de rechthoekige puls is dat er veel energie buiten de band gesitueerd is. Het zou daarom beter zijn een andere vorm te kiezen. Dit wordt soms gedaan. Een cosinus of gausiaanse vorm voor het window wordt dan gebruikt. De ideale functie realiseren is op zulke hoge frequenties uiteraard onmogelijk, omdat dit vaak enkel digitaal met een ADC gemaakt kan worden. Toch kan de puls al door een laagdoorlaat filter gestuurd worden met de gewenste bandbreedte vooraleer te vermenigvuldigen met de sinus. Op deze manier kan een betere filtering gedaan worden (lagere Q).

1.4 Elektromagnetische golven in variërende diëlectrica

Een vlakke golf, die zich voortplant in een medium met primitiviteit ϵ , permeabiliteit μ en geleidbaarheid σ , kan beschreven worden door de vergelijkingen van Maxwell.

$$\nabla^2 \vec{E} = \mu \frac{\partial}{\partial t} (\nabla \times \vec{H}) \quad (1-3)$$

Hierin kan $\nabla \times \vec{H}$ nog vervangen worden door $\sigma \vec{E} + \epsilon \frac{\partial \vec{E}}{\partial t}$. Dit is de veralgemeende stroomdichtheid.

$$\nabla^2 \vec{E} = \mu\sigma \frac{\partial \vec{E}}{\partial t} + \mu\epsilon \frac{\partial^2 \vec{E}}{\partial t^2} \quad (1-4)$$

Voor een één dimensionale golf kan $\nabla^2 \vec{E}$ vereenvoudigd worden tot $\frac{\partial^2 E_x}{\partial x^2}$. Deze vergelijking vormt de golfvergelijking in een medium met verliezen (1-5).

$$\frac{\partial^2 E_x}{\partial x^2} = \mu\sigma \frac{\partial E_x}{\partial t} + \mu\epsilon \frac{\partial^2 E_x}{\partial t^2} \quad (1-5)$$

De oplossing voor deze vergelijking is een lopende, sinusoidale golf met voortplantingssnelheid $v = \frac{1}{\sqrt{\mu\epsilon}}$ en attenuatie afhankelijk van σ . Het is mogelijk om van (1-5) de fouriertransformatie te nemen.

$$\frac{\partial^2 E_x}{\partial x^2} = (j\mu\sigma\omega - \omega^2\mu\epsilon)E_x \quad (1-6)$$

$$\frac{\partial^2 E_x}{\partial x^2} = -\omega^2\mu\epsilon \left(1 - \frac{j\sigma}{\omega\epsilon}\right)E_x \quad (1-7)$$

Op deze manier kan een complexe primitiviteit $\hat{\epsilon}$ gedefinieerd worden als

$$\hat{\epsilon} = \epsilon \left(1 - \frac{j\sigma}{\omega\epsilon}\right). \quad (1-8)$$

Dit complex getal is duidelijk functie van de frequentie. Voor lage frequenties is $\hat{\epsilon} = -\frac{j\sigma}{\omega}$. Voor hoge frequenties is deze gelijk aan de permittiviteit van het medium. Het imaginaire deel stelt een geleidingsstroom voor waar het reële deel een verplaatsingsstroom voorstelt. Door het imaginair deel van de complexe primitiviteit zal de golf in amplitude verzwakken.

Wanneer een golf van het ene medium overgaat naar een ander zal een gedeelte van de golf doorgelaten worden en een ander gedeelte gereflecteerd worden. Hierdoor kan een reflectiecoëfficiënt en een transmissiecoëfficiënt gedefinieerd worden.

$$\hat{\rho} = \frac{\hat{\eta}_2 - \hat{\eta}_1}{\hat{\eta}_2 + \hat{\eta}_1} \quad (1-9)$$

In deze formule is $\hat{\eta}$ de impedantie van het medium. Voor een materiaal dat geleidend is zal dit een complex getal zijn.

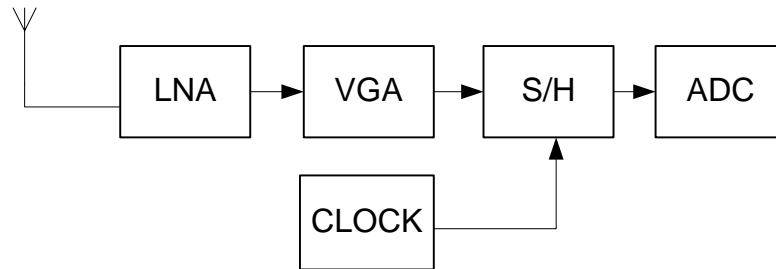
$$\hat{\eta}(\omega) = \sqrt{\frac{\mu}{\epsilon \left(1 + \frac{j\sigma}{\omega\epsilon}\right)}} \quad (1-10)$$

Door de reflectiecoëfficiënt en de transmissiecoëfficiënt te meten is het mogelijk om de impedantie van de medium te berekenen. Deze metingen zijn mogelijk met TDR of met een VNA (Vector Network Analyzer). Wanneer het onderzochte materiaal uit meerdere lagen opgebouwd is met een verschillende impedantie, zal er op elke overgang een gedeelte gereflecteerd worden. Hierdoor zal de analyse complexer worden. Het is hierdoor mogelijk om verschillende materialen te herkennen die een andere primitiviteit of geleidbaarheid hebben [2]. Door gebruik te maken van een inverse elektromagnetische oplosser, kan de informatie van het materiaal bekomen worden uit de elektromagnetische gegevens.

2 EQUIVALENT-TIME ARCHITECTUUR

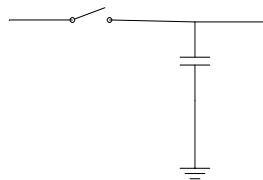
2.1 Architectuur van de ontvanger

De inkomende UWB puls wordt eerst door de LNA (Low Noise Amplifier) versterkt. Dit is de eerste trap na de antenne. Het is daarom noodzakelijk om zo weinig mogelijk ruis toe te voegen aan het signaal. Eventueel wordt het signaal nog verder versterkt door een VGA (Variable Gain Amplifier) omdat de amplitude van het inkomende signaal niet constant is en kan toenemen wanneer de afstand tussen de zender en ontvanger wijzigt. Deze architectuur is voorgesteld in Figuur 2-1.



Figuur 2-1: Ontvanger architectuur

Wanneer het signaal voldoende versterkt is, kan het verder verwerkt worden door een sample en hold schakeling. Deze schakeling kan eenvoudig voorgesteld worden zoals in Figuur 2-2. Dit is slechts een vereenvoudigde voorstelling van de schakeling. De schakelaar kan m.b.v. een MOS transistor geïmplementeerd worden. Wanneer deze schakelaar dicht gaat, kan die voorgesteld worden als de aan-weerstand van de transistor. Hier zien we een eerste orde RC filter dat als laagdoorlaat filter werkt. Het is dus belangrijk dat de bandbreedte van dit filter voldoende groot is om de volledige bandbreedte van de UWB puls door te laten. Typisch zal de capaciteit zeer klein zijn om een grote bandbreedte te hebben.



Figuur 2-2: Sample en hold schakeling

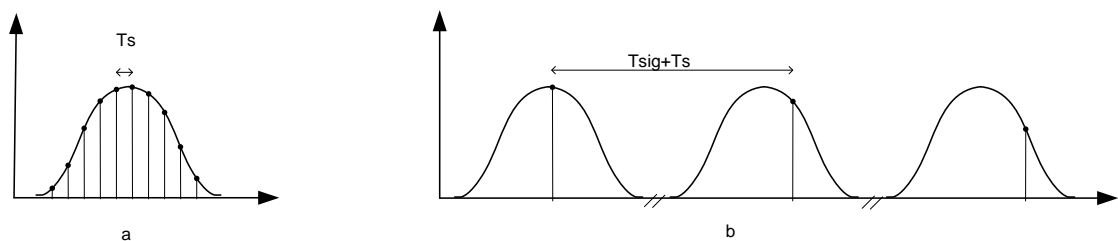
De schakelaar zal voor een korte tijd sluiten zodat de spanning op de condensator de ingangsspanning kan volgen. Wanneer dit voldaan is, zal de schakelaar terug open gaan, en wordt de spanning die over de condensator staat behouden. Vervolgens kan de analoog-digitaal omvormer (ADC) starten met het converteren van de analoge waarde naar een digitaal woord. Om voldoende aantal significante bits op de uitgang van de ADC te hebben, moet het signaal een lage ruisinhoud hebben voor de ADC. Wanneer het signaal gedigitaliseerd wordt, zal er automatisch kwantisatieruis worden toegevoegd door de ADC. Deze ruis wordt verminderd door meer bits te gebruiken. Het is echter nutteloos om meer bits aan de uitgang van de ADC te gebruiken als het signaal aan de ingang al een hoeveelheid ruis bevat. De ruis van het signaal bepaald dus het aantal bits dat de uitgang nodig heeft, ongeacht de kwaliteit van de ADC.

Om een analoog signaal te digitaliseren moet er voldoende snel gesampled worden. Volgens het theorema van Nyquist moet de samplefrequentie dubbel zo groot zijn als de bandbreedte van het signaal. Omdat er hier met UWB pulsen gewerkt wordt, is de bandbreedte erg groot. Daarom moet het signaal snel bemonsterd worden. Wanneer de

bandbreedte 10GHz is, moet het signaal minstens tegen 20GHz bemonsterd worden. Dit betekent dat de ADC ook tegen deze snelheid zou moeten werken. Het is de ADC die het probleem vormt bij deze hoge snelheden. De datasnelheid naar buiten toe zou nog beperkt kunnen blijven door intern een buffer te plaatsen die voorlopig de samples bijhoudt maar het converteren tegen deze snelheid zou ontzettend veel vermogen en parallele ADC's vragen.

Om dit probleem op te lossen gaat er gebruik gemaakt worden van equivalent-time sampling. Deze methode kan hier gebruikt worden omdat de UWB puls periodisch wordt uitgezonden. De pulsen worden met een snelheid van 100MHz uitgestraald. Er mag aangenomen worden dat de vorm van het signaal constant is voor alle pulsen die op een tijdsinterval binnen komen zodat er equivalent-time sampling op toegepast kan worden. Deze methode gaat het signaal niet direct met de volledige samplefrequentie bemonsteren, maar gaat per periode één sample uit het signaal halen. Tijdens de volgende periode gaat de sample een korte tijd later genomen worden. Wanneer dit verschillende keren herhaald wordt, is de puls met dezelfde schijnbare samplefrequentie bemonsterd als de directe methode.

Wanneer het signaal volledig tegen de Nyquist frequentie gesampled wordt, is de tijd tussen twee samples $T_s = \frac{1}{f_s}$. Als het signaal met equivalent time sampling gesampled wordt, wordt de tijd tussen twee samples verhoogd met T_{signaal} . Dit is de periode van het signaal (hier 10ns). Het verschil tussen de twee methoden is weergegeven in Figuur 2-3a en Figuur 2-3b. De equivalent-time methode kan dus bekeken worden alsof het signaal in verschillende stappen bemonsterd wordt.



Figuur 2-3: a) Direct samplen van het signaal b) Equivalent-time sampling

Het voordeel van equivalent time sampling is dat de ADC nu maar tegen 100MHz conversies moet uitvoeren. Dit in tegenstelling tot 20GHz. De uitdaging die er nu bij komt kijken is het maken van de sampleklok. Deze moet per periode een kleine offset later samplen. Deze offset is T_s . Omdat T_s klein is (± 20 ps, dit wordt later bekeken) zal de nauwkeurigheid van deze klokgeneratie voldoende hoog moeten zijn om de samples op de juiste tijd te kunnen nemen. Deze klokgenerator is het doel van dit eindwerk.

2.2 Architectuur van de klokgenerator

Het is de taak van de klokgenerator om aan de triggerklok van de sample en hold schakelaar elke periode een tijd T_s toe te voegen. Dit betekent dat de extra tijd accumuleert tot dat de volledige periode gesampled is. Om deze extra tijd aan de klok toe te voegen, wordt gebruik gemaakt van twee vertragingselementen:

- Phase Locked Loop (PLL) met 8 uitgangsfasen en multiplexer
- 6 Bit Digital To Time Converter (DTC)

Samen vormen deze twee elementen een 9 bit fase-interpolator.

Het is eerst nodig om te kijken hoeveel tussenstappen er nodig zijn om het signaal te samplen. Uit de specificaties van het systeem werd verwacht dat er gesampled wordt met meer dan 40GHz, dit is meer dan de nyquistfrequentie, maar de vorm van het signaal zal hierdoor beter zijn. 40GHz samplefrequentie betekend een tijd tussen samples van 25ps, hierdoor zal het aantal samples in die periode (10ns) gelijk zijn aan:

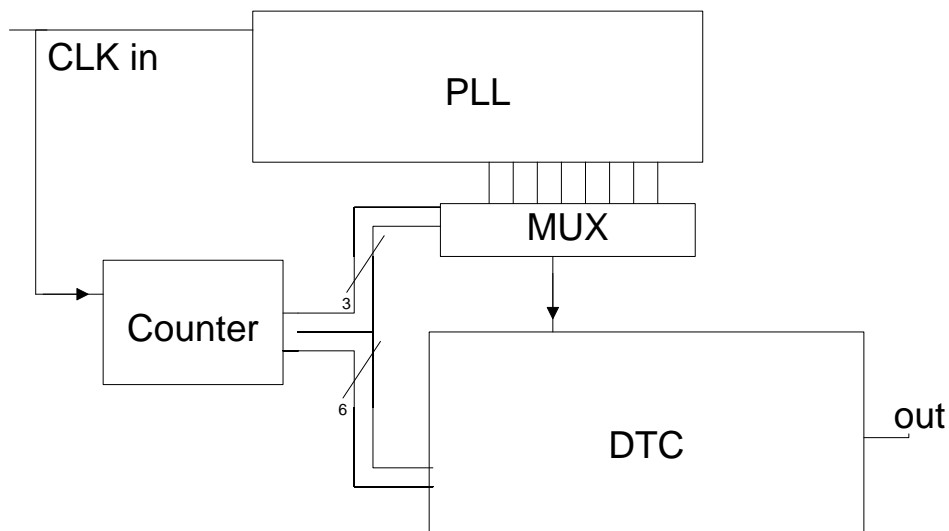
$$n_{samples} = \frac{T_{signaal}}{T_s} = \frac{10n}{25ps} = 400. \quad (2-1)$$

Het aantal bits dat nodig is voor de interpolatie kan berekend worden door:

$$n_{bits} = \log_2(n_{samples}) = 9. \quad (2-2)$$

Door de 9 bits zullen er 512 samples van een puls genomen worden. Dit komt overeen met een samplefrequentie van 51,2GHz.

De architectuur van de klokgenerator is voorgesteld in Figuur 2-4. Eerdere architecturen voor fase interpolatoren zijn gegeven in [3][4][5][6]. Het eerste deel in het ontwerp van dit eindwerk is de PLL die in fase is met de ingangsklok. De PLL bevat een 8-stage ring oscillator. Hieruit komen 8 fasen van de VCO (Voltage Controlled Oscillator). De PLL zorgt dat de VCO oscilleert met een frequentie van 100MHz. Omdat de VCO opgebouwd is uit 8 fasen, liggen de fasen elk $\frac{2\pi}{8} \cdot \frac{1}{\omega} = \frac{10ns}{8} = 1.25ns$ uit elkaar. Als elke fase 1.25ns na-ijlt op de vorige fase, dan kan m.b.v. een multiplexer (MUX) al een eerste interpolatie gedaan worden. Het 100MHz signaal kan in 8 stappen geïnterpoleerd worden door de multiplexer. Dit kan gezien worden als een grove interpolatie. Er zal dus nog verder geïnterpoleerd moeten worden tussen de fasen van de VCO. Dit wordt gedaan door een 6 bit Digital To Time Converter. Deze schakeling zal een regelbare vertraging kunnen toevoegen aan het signaal dat uit de multiplexer komt. Deze vertraging zal regelbaar zijn tussen 0 en 1.25ns.



Figuur 2-4: Architectuur van de klokgenerator

De multiplexer en DTC worden beiden aangestuurd door een 9 bit binaire teller. De teller zal elke periode met één verhoogd worden. Telkens de teller verhoogd wordt, zal de interpolatie T_s verder gebeuren. De DTC zal verbonden worden met de laagst beduidende bits, de hoogste 3 bitst van de teller sturen de multiplexer van de selectie verandert. Tijdens de 64 tussenstappen zal de fase-interpolator dus van 0 tot 1.25ns interpoleren, bij de volgende klokcyclus zal de fase-interpolator terug 0ns vertraging toevoegen maar zal

de multiplexer een fase later kiezen zodat er hier 1.25ns wordt toegevoegd. Op deze manier kan de volledige periode van 10ns met 9 bits geïnterpoleerd worden. In de multiplexer en DTC zal een constante vertraging aanwezig zijn. Dit is eigenlijk een offset die geen invloed heeft op de sampling en constant is.

Elke component zal in de volgende hoofdstukken verder in detail besproken worden. Het is nodig om een onderscheid te maken tussen een ruisgevoelig pad en een niet-ruisgevoelig pad. In Figuur 2-4 is de teller bijvoorbeeld een niet-ruisgevoelig pad.

De PLL, MUX en DTC zijn wel ruisgevoelige paden. Hierin zullen verschillende componenten zijn die niet-ruisgevoelig zijn en geen aandacht vragen voor ruisvermindering.

3 JITTER EN FASERUIS

3.1 Ruis

Voordat er gekeken kan worden naar jitter en faseruis in een schakeling of oscillator, moet er eerst gekeken worden welke componenten ruis kunnen toevoegen aan het kloksignaal. Dit laat toe om later de componenten die de meeste ruis toevoegen te optimaliseren [7].

3.1.1 Ruis in een weerstand

Elektronen bewegen van nature in een willekeurige richting met een willekeurige snelheid (thermische energie). De beweging van deze elektronen kan door een extern elektrisch veld gestuurd worden, zodat de gemiddelde beweging in een bepaalde richting is. Wanneer aangenomen wordt dat een weerstand geen ruis produceert, wordt aangenomen dat er geen willekeurige beweging van de elektronen is en dat ze allemaal met eenzelfde snelheid bewegen. Dit is in werkelijkheid niet het geval. Deze willekeurige beweging zal een ruisbijdrage produceren in de weerstand. De geproduceerde ruis kan zowel in het tijdsdomein als in het frequentiedomein bekeken worden. Wanneer dit in het tijdsdomein bekeken wordt, kan er niet voorspeld worden wat de ogenblikkelijke waarde van het ruissignaal is. Wanneer de ruis voor een lange tijd T geobserveerd wordt, kunnen er wel verschillende statistische parameters uitgetaald worden. De belangrijkste is de standaardafwijking. Deze definieert ook het ruisvermogen

$$\sigma = \lim_{T \rightarrow \infty} \sqrt{\frac{1}{T} \int_{-\frac{T}{2}}^{\frac{T}{2}} (x(t) - \bar{x})^2 dt}. \quad (3-1)$$

Bij het analyseren van ruis, zal de gemiddelde waarde van de ruis steeds nul zijn, dit herleidt zich dan tot

$$\sigma = \lim_{T \rightarrow \infty} \sqrt{\frac{1}{T} \int_{-\frac{T}{2}}^{\frac{T}{2}} x(t)^2 dt} = P_{v\text{signaal}}. \quad (3-2)$$

Deze formule is ook de definitie van het vermogen van een signaal. De eenheid van dit vermogen is niet steeds Watt. Voor ruisspanningen is dit V^2 . Wanneer het echte vermogen gewenst is, kan dit vermogen gedeeld worden door de belastingsweerstand.

Buiten de analyse in het tijdsdomein, kan de ruis ook in het frequentiedomein bekeken worden. Hiervoor wordt de PSD (Power Spectral Density) gebruikt. De PSD geeft de hoeveelheid energie weer dat het signaal bevat in een frequentieband van 1 Hz op een bepaalde frequentie. De PSD geeft dus aan welke frequentie-inhoud de ruis heeft.

De PSD kan worden voorgesteld als

$$S_x(f) = X(f)X^*(f). \quad (3-3)$$

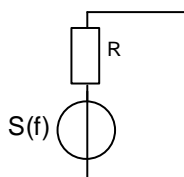
Hierin is $X(f)$ de fouriertransformatie van het signaal $x(t)$. Een belangrijke eigenschap is dat ruis door een schakeling vervormd kan worden. Beschouwen we een lineaire schakeling met transferfunctie $H(f)$, dan is de PSD op de uitgang y van de schakeling

$$S_y(f) = S_x(f)|H(f)|^2. \quad (3-4)$$

Dit wordt een belangrijke eigenschap wanneer de ruisonderdrukking van de PLL wordt besproken.

De ruis in een weerstand wordt gemodelleerd door een ruisspanningsbron in serie te plaatsen met een weerstand (Figuur 3-1). De PSD van deze ruisbron is

$$S_v(f) = 4kTR. \quad (3-5)$$



Figuur 3-1: Ruis van een weerstand

Hierin is

- k : Constante van boltzman ($1.38 \cdot 10^{-23} \frac{J}{K}$)
- T : Absolute temperatuur
- R : Weerstand

Hieruit kan besloten worden dat een lagere temperatuur een lagere ruis met zich meebrengt. Figuur 3-1 is een thevenin equivalent van het model, er kan ook een norton equivalent getekend worden. Hierin is een ruisstroombron parallel met de weerstand geplaatst. Deze PSD heeft een grootte van

$$S_i(f) = \frac{4kT}{R}. \quad (3-6)$$

Opmerking:

- De PSD van een weerstand is witte ruis, dit betekent dat alle frequenties evenveel ruis bevatten. Dit geldt echter tot $\sim 100\text{THz}$, vanaf daar zal de PSD afnemen naar nul. Anders zou er oneindig veel vermogen uit een weerstand komen.
- Uit de PSD van de spanningsbron zou besloten kunnen worden dat een kleinere weerstand minder ruis toevoegt. In een schakeling zal elke knoop echter ook een capaciteit hebben die een laagdoorlaat filter vormt met de weerstand. Wanneer de totale ruis geïntegreerd wordt zal het totale ruisvermogen voor een RC keten gelijk zijn aan

$$P_{n_{tot}} = \frac{kT}{C}.$$

Deze waarde is onafhankelijk van de weerstand. Later zal er een referentiestroom aangemaakt moeten worden, die door een weerstand op chip komt, het is daar belangrijk dat de weerstand ontkoppeld wordt met een grote capaciteit zodat de ruisbijdrage geminimaliseerd wordt.

3.1.2 Ruis in MOSFETs

De meeste componenten op een geïntegreerde schakeling zijn P - en NMOS transistoren (P- of N-type Metaal Oxide Semiconductor). Deze genereren zelf ook een hoeveelheid ruis.

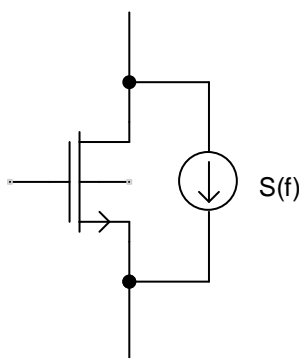
Er worden twee soorten ruis toegevoegd:

- Witte ruis in het kanaal van de MOSFET
- 1/f Ruis op de oxide interface van het kanaal

3.1.2.1 Witte ruis

De witte ruis, die gegenereerd wordt in het kanaal van de MOSFET, kan gemodelleerd worden als een stroombron parallel aan het kanaal (Figuur 3-2). Deze ruis heeft een PSD van

$$S(f) = 4kT\gamma g_m. \quad (3-7)$$



Figuur 3-2: Ruis in het kanaal van een MOSFET

De factor γ is $2/3$ voor MOSFETs met grote kanaallengte. Voor kleine kanalen kan dit oplopen tot $2,5$. Uit de formule van $S(f)$ blijkt dat g_m van de transistor best zo klein mogelijk gekozen kan worden voor transconductantie transistoren (bv ingangspaar). Bij versterkers is dit anders, daar wordt een klein ingangssignaal verwacht, dat zo goed mogelijk uit de ruis gehaald moet worden. De g_m bij versterkers bepaalt zowel de ruis als de versterking. In het geval van een oscillator is er al een groot ingangssignaal aanwezig en is versterking niet nodig. Door een lage g_m wordt er weinig ruis toegevoegd.

3.1.2.2 1/f ruis

Een tweede soort ruis is 1/f ruis. De vorige soorten ruis die besproken werden, hebben een vlakke PSD die onafhankelijk is van de frequentie. Zoals de naam al zegt is de PSD van 1/f ruis evenredig met $1/f$. Dit betekent dat de ruis vooral laagfrequent is. Voor veel schakelingen is deze ruis niet belangrijk, omdat het meeste vermogen ervan gesitueerd is op frequenties lager dan de beginfrequentie (bv een ac gekoppelde versterker). Echter, 1/f ruis is ontzettend belangrijk bij VCOs. Dit komt omdat er een up-conversie van lage frequenties gebeurt. Het is daarom belangrijk om deze ruis laag te houden. Tijdens het ontwerp van de VCO is hier veel aandacht aan besteed.

De ruis wordt gemodelleerd als een spanningsbron in serie met de gate van de MOSFET, met een PSD van

$$S(f) = \frac{K}{C_{ox}WL} \cdot \frac{1}{f}. \quad (3-8)$$

De oorsprong van deze ruis is niet goed gekend, een aangenomen theorie is dat de bindingen tussen het substraat en het oxide, geen "propere" bindingen zijn, waardoor er verschillende energietoestanden voor de elektronen mogelijk zijn. Hierdoor kan een elektron tussen verschillende toestanden "rondspringen" wat de ruis produceert.

Wanneer de schakelingen bekeken worden, zal de W en L van de transistoren niet altijd minimaal gekozen worden. Een stroomspiegel die de VCO instelt, zal een aanzienlijke bijdrage leveren aan ruis wanneer de W en L te klein gekozen worden (ook al is W/L en id constant).

3.1.3 Correlatie van ruis

Wanneer meerdere componenten ruis toevoegen, kunnen de verschillende bronnen door superpositie opgeteld worden. Dit geldt enkel wanneer de ruis niet gecorreleerd is. Voor ongecorreleerde ruis geldt

$$S(f)_{tot} = S_1(f) + S_2(f). \quad (3-9)$$

Wanneer er een correlatie is tussen ruisbron 1 en 2, zal dit niet meer gelden. In het tijdsdomein kan het totale vermogen bekeken worden als

$$P_{tot} = \lim_{T \rightarrow \infty} \frac{1}{T} \int_{-\frac{T}{2}}^{\frac{T}{2}} (x_1(t) + x_2(t))^2 dt \quad (3-10)$$

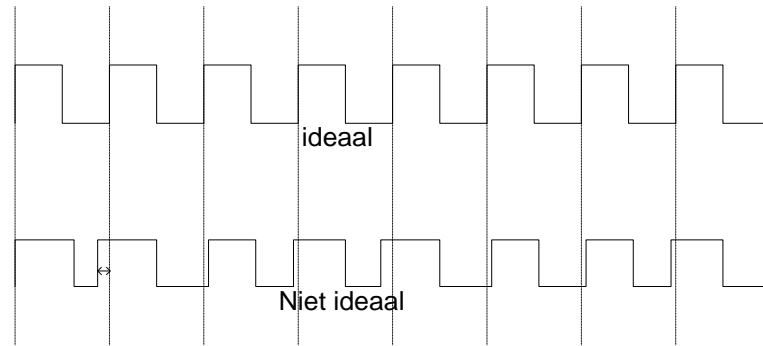
$$= \lim_{T \rightarrow \infty} \frac{1}{T} \left(\int_{-\frac{T}{2}}^{\frac{T}{2}} x_1^2(t) dt + \int_{-\frac{T}{2}}^{\frac{T}{2}} x_2^2(t) dt + 2 \int_{-\frac{T}{2}}^{\frac{T}{2}} x_1(t)x_2(t) dt \right). \quad (3-11)$$

Hierin is de laatste component de correlatie tussen $x_1(t)$ en $x_2(t)$. Wanneer de signalen niet gecorreleerd zijn is deze integraal nul. Bij een positieve correlatie zal de totale ruis dus groter zijn dan de som van de twee.

De ruis van een weerstand en ruis van MOS transtoren zijn niet gecorreleerd en kunnen opgeteld worden. Wanneer er ruis op de voedingsspanning toegevoegd wordt, zal die op verschillende plaatsen in de schakeling invloed hebben en op bepaalde punten opgeteld worden. Er moet dan rekening gehouden worden dat de ruis sterk gecorreleerd is omdat die van dezelfde oorsprong komt. Daarom zal de VCO differentieel opgebouwd worden zodat die ruis enkel een common mode signaal is, dat bij een overgang naar single-ended wegvalt.

3.2 Jitter

Jitter en faseruis zijn vrij gelijkaardige methoden om de performantie van een VCO en PLL te beschrijven. Wanneer de klok bekeken wordt, is die ideaal gezien altijd even breed (periode) en zit er geen verschil op de flanken. Echter, wanneer een werkelijke niet-ideale klok vergeleken wordt met een ideale klok dan is de jitter zichtbaar (Figuur 3-3).



Figuur 3-3: Jitter op een klok

Jitter kan op verschillende manieren bekeken worden. Er moet een groot verschil gemaakt worden tussen jitter, die gemeten wordt bij een gesloten lus PLL, en jitter van een open lus VCO (dit wordt ook een vrijlopende VCO genoemd).

3.2.1 Jitter in een vrijlopende VCO

3.2.1.1 Cycle to cycle jitter

Bij cycle to cycle jitter worden de periodes van de blokgolf gemeten. Elke periode zal anders zijn t.g.v. ruis. Men kan van deze periode de gemiddelde en standaardafwijking meten [8].

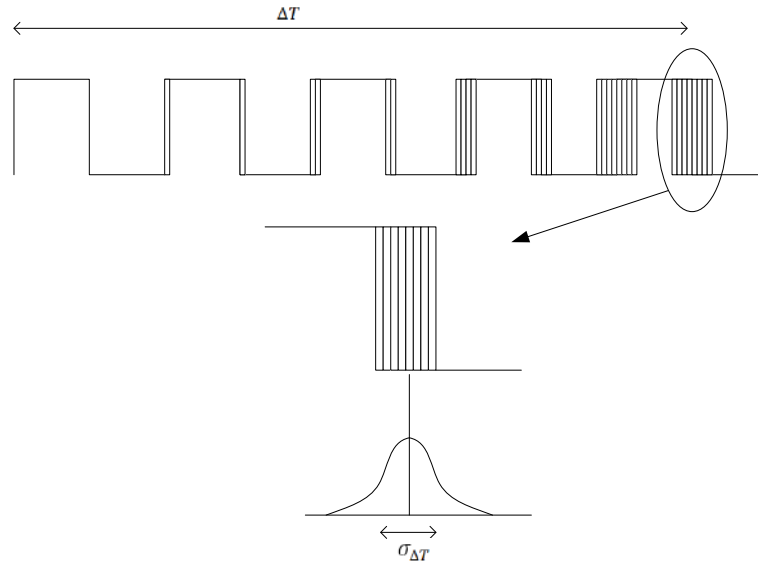
$$\bar{T} = \frac{1}{N} \sum_{i=1}^N T[i] \quad (3-12)$$

$$\sigma_{cc} = \sqrt{\frac{1}{N} \sum_{i=1}^N (T[i] - \bar{T})^2} \quad (3-13)$$

Dit type meting zegt hoe de klok onderling varieert, maar zegt niets over de absolute drift van de oscillator. Vaak is deze waarde kleiner dan de jitter die besproken wordt in 3.2.1.2.

3.2.1.2 Jitter t.o.v. referentieklok

Wanneer een oscillator gestart wordt (we gaan ervan uit dat er geen opstartverschijnselen optreden), dan kan er initieel aangenomen worden dat de oscillator in fase is met een ideale referentieklok, die aan dezelfde frequentie oscilleert als de oscillator. Wanneer een ringoscillator als voorbeeld wordt genomen, dan zal de jitter die geïntroduceerd wordt, steeds accumuleren. Dit is logisch omdat het einde van de ring terug het nieuwe begin vormt. De jitter die op het einde aanwezig is zal dus het begin vormen voor de nieuwe periode.



Figuur 3-4: Accumulerende jitter

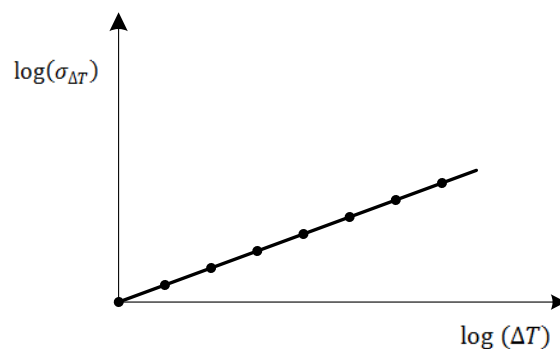
Het is uiteraard mogelijk dat tijdens de ene periode de jitter, als die bekeken wordt t.o.v. een referentieklok, de klok doet voorrijlen, terwijl tijdens de andere periode net het tegengestelde gebeurt zodat dit elkaar opheft. Om de jitter te analyseren moeten we ervan uitgaan dat jitter de oscillator naar één kant laat afdrijven (en vervolgens ook de andere kant). Dit is weergegeven in Figuur 3-4.

Het is duidelijk dat de onzekerheid toeneemt als de oscillator langer vrij loopt. Als de VCO regelmatig bijgestuurd wordt, zal de hoeveelheid jitter naar een vaste waarde convergeren. Dit is het geval wanneer de VCO gebruikt wordt in een PLL. Het systeem gaat dan de klok van de VCO vergelijken met de referentieklok en indien nodig de VCO bijsturen (Dit gebeurt door de VCO even op een hogere frequentie te laten oscilleren tot die de fout heeft bijgewerkt).

Wanneer de jitter over een lange tijd geobserveerd wordt, stelt men vast dat de standaardafwijking (of de RMS-tijds waarde) volgend verband vertoont:

$$\sigma_{\Delta T} = K \sqrt{\Delta T}. \quad (3-14)$$

De factor σ in deze formule is de RMS-ruis gemeten na een tijd ΔT . Dit verband kan op een logaritmische schaal getekend worden als een rechte met helling 1/2 (Figuur 3-5).



Figuur 3-5: Jitter in functie van de tijd

Dit verband is alleen geldig wanneer we lang genoeg wachten. Het verband, kort na het vergelijken met een referentieklok (wat het starten van de meting betekent), zal eerder een lineair verband zijn tussen de RMS-ruis en de tijd [8].

Bij het ontwerp van de VCO is het meestal niet de jitter die bekeken wordt maar vooral de faseruis omdat de jitter steeds groter wordt. De enige parameter om verschillende oscillatoren te kunnen vergelijken is de evenredigheidsconstante K . Toch wordt dit vrij weinig gedaan en wordt meestal de faseruis gebruikt om de oscillator te vergelijken. Tijdens de simulaties van de VCO wordt wel gekeken naar de jitter, omdat ook de transmitter door dezelfde VCO gestuurd wordt zal elke periode de jitter opnieuw op nul gezet worden omdat de referentie één van de fasen is. Voor de vergelijking met anderen zal echter faseruis gebruikt worden. Dit wordt verder besproken bij de VCO.

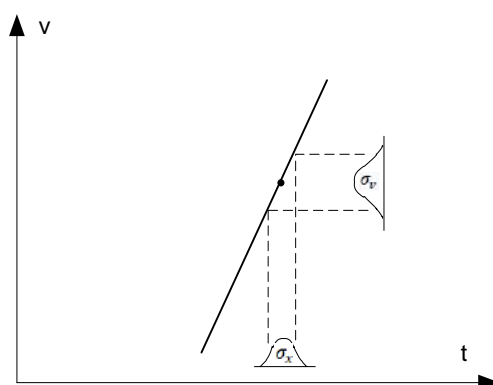
3.2.2 Jitter in een gelockte PLL

Wanneer de VCO in een regellus geplaatst wordt (PLL) zal de jitter niet willekeurig groot worden. De PLL zal een ingangsklok als referentie binnen nemen en de frequentie van de oscillator bijregelen om de uitgang van de VCO zo goed mogelijk in fase te hebben met het ingangssignaal. Toch zal de VCO wel kunnen wegdrijven omdat de PLL niet noodzakelijk de frequentie continu bijregelt. De PLL wordt benaderd als een tijdscontinu systeem, maar in werkelijkheid zal de PLL discreet in tijd werken. Er wordt enkel naar het faseverschil gekeken tijdens een stijgende flank op de ingangsklok. Dit betekent dat de VCO tijdens één periode van de ingangsklok willekeurig kan wegdrijven. De hoeveelheid jitter die aanwezig is zal afhankelijk zijn van de filter dat in de PLL gebruikt wordt. De filter zal de ruis van de VCO kunnen onderdrukken. De ruisonderdrukking zal afhankelijk zijn van het type filter dat gebruikt wordt en de bandbreedte ervan. Dit wordt verder besproken wanneer de PLL besproken wordt.

Algemeen kan men stellen dat de jitter in een PLL naar een eindige waarde convergeert.

3.3 SNR voor de ADC door jitter

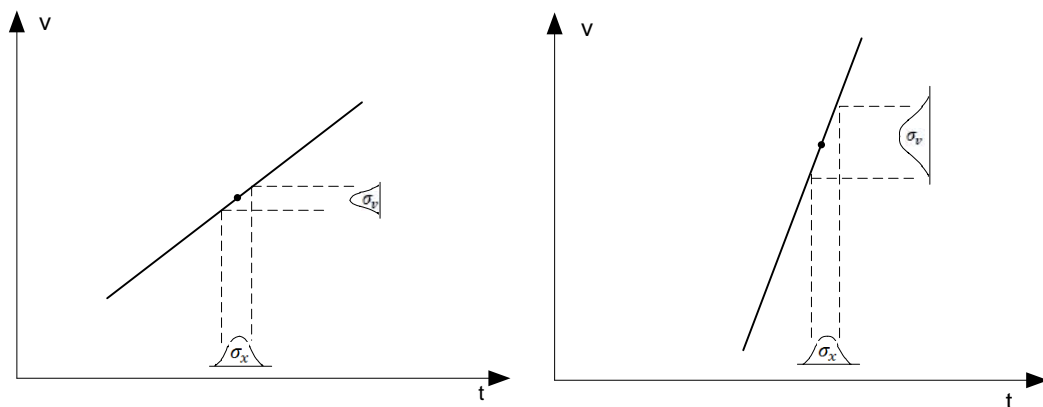
Het doel van de schakeling is een lage jitter te bekomen om een voldoende hoge SNR (Signal To Noise Ratio) te hebben bij de ADC. Bij kleine samplefrequenties is het vaak de ruis op het ingangssignaal dat de limiterende factor is voor de ADC. Wanneer de SNR van het signaal gekend is, kan direct het aantal bits berekend worden dat mogelijk is in de ADC. Meer bits nemen haalt niet uit want dan zijn die extra bits enkel ruis en hebben dan helemaal geen betekenis. Wanneer de sampleklok ruis bevat, kan deze ruis overgedragen worden op het signaal. Dit vindt plaats tijdens het samplen van het signaal [9].



Figuur 3-6: Overdracht van jitter op sampleklok op het signaal

In Figuur 3-6 is weergegeven hoe een onzekerheid op de sampleklok wordt overgedragen op de spanning. Een belangrijke factor hierin is de helling van het signaal. Wanneer de helling groot is, gaat een kleine onzekerheid op de klok, een grote onzekerheid introduceren op het signaal. In Figuur 3-7 is een vergelijking gemaakt tussen twee verschillende hellingen. Beiden hebben dezelfde onzekerheid op het samplesignaal. Het signaal met een grote helling heeft meer onzekerheid op de "uitgang" dan het signaal met een kleine helling. Dit heeft duidelijk invloed bij verschillende frequenties. Signalen met een grote frequentie hebben een grotere helling.

Daarom zal de SNR, bij een gelijke jitter, voor hogere frequenties lager zijn. Wanneer dit toegepast wordt op een sinus, zal de onzekerheid van het signaal, door een vaste onzekerheid op de klok, op elk punt van de sinus anders zijn. Dit komt omdat de helling van de sinus niet constant is.



Figuur 3-7: Vergelijking helling op ruisoverdracht

Voor een punt op de sinus geldt

$$\Delta V(\phi) = S(\phi)\Delta T.$$

Hierin is $S(\phi)$ de helling op een bepaald punt van de sinus en ϕ de fasehoek van de sinus, gelijk aan ωt .

Wanneer de RMS-waarde van de ruis op het signaal gewenst is, moet dit geïntegreerd worden over het hele signaal. Voor een sinus is dit

$$\begin{aligned} \sigma_V &= \sqrt{\frac{1}{2\pi} \int_0^{2\pi} (S(\phi)\sigma_x)^2 d\phi} = \sqrt{\frac{1}{2\pi} \int_0^{2\pi} \left(A \cos(\phi) \frac{d\phi}{dt} \sigma_x \right)^2 d\phi} \\ &= \sqrt{\frac{1}{2\pi} \int_0^{2\pi} (A \cos(\phi) \omega \sigma_x)^2 d\phi} = \frac{\omega A \sigma_x}{\sqrt{2}}. \end{aligned} \quad (3-15)$$

De SINAD (Signal to Noise and Distortion) in dB is dan

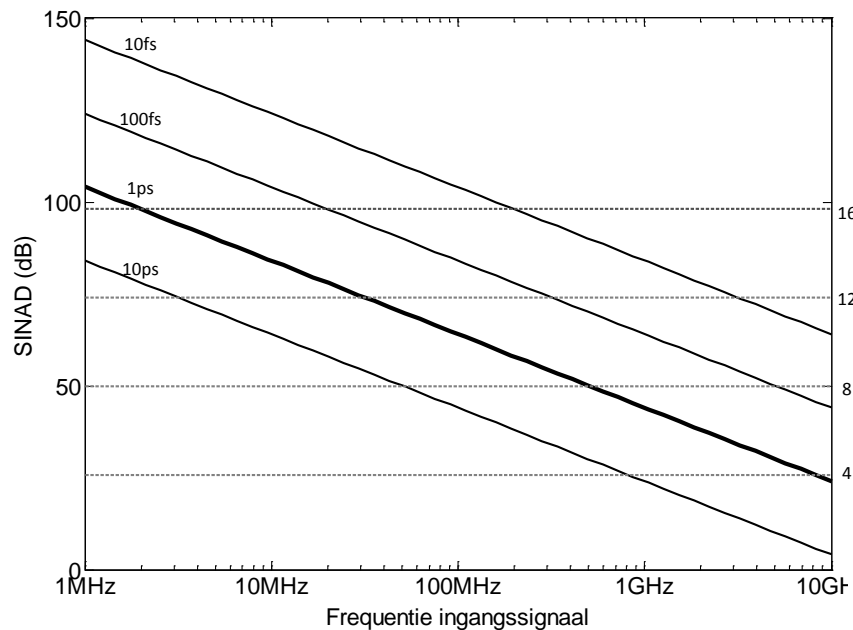
$$\begin{aligned} SINAD &= 20 \log \left(\frac{\text{signal}_{RMS(voltage)}}{\text{noise}_{RMS(voltage)} + \text{distortie}} \right) \approx 20 \log \left(\frac{\frac{A}{\sqrt{2}}}{\frac{\omega A \sigma_x}{\sqrt{2}}} \right) \\ &= 20 \log \left(\frac{1}{\omega \sigma_x} \right). \end{aligned} \quad (3-16)$$

Er is hier verder geen rekening gehouden met distortie van de ingangstrap. Hierdoor is de SINAD gelijk aan de SNR. Dit reduceert zich tot

$$SINAD = -20 \log(2\pi f_{in} \sigma_x). \quad (3-17)$$

Hierin is f_{in} de frequentie van hetingangssignaal en σ_x de jitter op de klok. Hieruit blijkt direct dat de SNR daalt bij hogere frequenties. Het is dus duidelijk dat er voldoende lage jitter op de klok aanwezig moet zijn om een goede SNR te hebben (Figuur 3-8). Volgens de formule van quantisatie-ruis in de ADC is het ENOB (effective number of bits) gelijk aan

$$ENOB = \frac{SINAD - 1.76}{6.02}. \quad (3-18)$$



Figuur 3-8: Invloed jitter en frequentie op ENOB

De ENOB kan toch verhoogd worden door de inkomende puls niet 1 keer maar meerdere keren te samplen. Als er vanuit gegaan wordt dat het signaal periodisch aan 100MHz wordt uitgestuurd (elke 10ns) dan is er $512 \times 10\text{ns} = 5.12\mu\text{s}$ nodig om de volledige puls te digitaliseren. Omdat dit gaat over beeldvorming is het nodig dat de persoon gedurende de meting niet beweegt. Gedurende $5.12\mu\text{s}$ is dit een goede benadering. Wanneer niet één maar meerdere keren dezelfde sample genomen wordt, kan een gemiddelde genomen worden.

Uit de statistiek is gekend dat wanneer er bij een meting een standaardafwijking σ_x optreedt, de standaardafwijking van het gemiddelde van N metingen gelijk is aan

$$\sigma_{x,N} = \frac{\sigma_x}{\sqrt{N}} \quad (3-19)$$

Daarom kan de formule voor SINAD aangepast worden tot

$$SINAD = -20 \log(2\pi f_{in} \sigma_x) + 10 \log(N). \quad (3-20)$$

Door N willekeurig groot te maken zou een ontzettend grote ENOB mogelijk zijn. Praktisch is dit niet mogelijk, omdat tijdens het nemen van het beeld, de patiënt dezelfde positie moet behouden. Een tijd van 10ms is echter wel mogelijk, dit leidt dan tot een N van 2000 wat een verbetering geeft van 32dB.

3.4 Faseruis

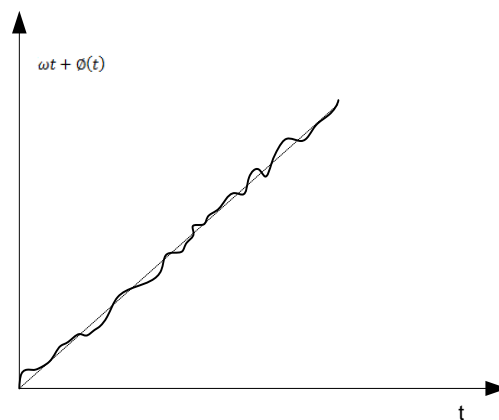
Wanneer een oscillator een zuivere sinus produceert, is die ideaal van de vorm

$$x(t) = A \sin(\omega t). \quad (3-21)$$

Hierbij wordt er aangenomen dat er geen ruis aanwezig is. Wanneer het signaal in een praktische oscillator bekeken wordt, kan er op de fase van de sinus ruis aanwezig zijn. Hierdoor heeft de golf een vorm van

$$x(t) = A \sin(\omega t + \phi(t)). \quad (3-22)$$

Hierin is $\phi(t)$ ruis op de fase. Wanneer enkel de fase van de sinus weergegeven wordt, zien we dat er ruis staat op de lineair toenemende fase (Figuur 3-9). De fase neemt lineair toe door ωt . Daarop komt nog de ruis $\phi(t)$. Wanneer de nuldoorgangen van de sinus gebruikt worden om een signaal te samplen, zal de faseruis, gemeten in het tijdsdomein, de jitter vormen. Bij nuldoorgang vormt ωt een veelvoud van 2π , het is dan $\phi(t)$ dat voor een fout gaat zorgen. Om dit in de tijd weer te geven kan $\frac{\phi(t)}{\omega}$ gebruikt worden.



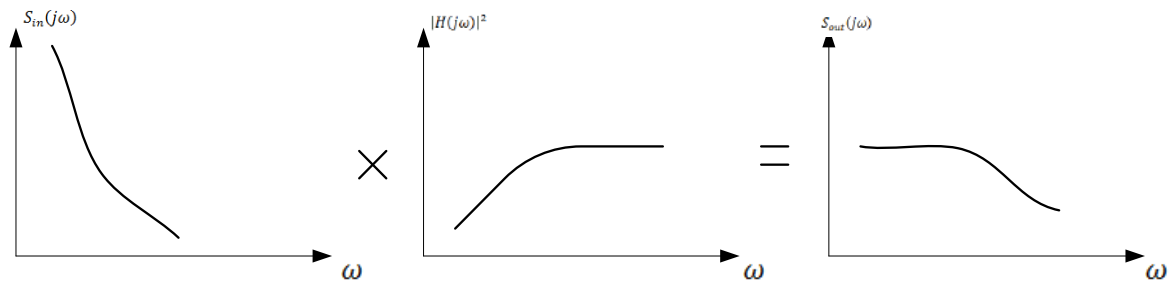
Figuur 3-9: Ruis op de fase van een sinus

De frequentie van de oscillator zal over een lange tijd gezien constant zijn, maar er zullen ogenblikkelijke variaties op de frequentie aanwezig zijn.

$$f(t) = \frac{1}{2\pi} \frac{d}{dt} (\omega t + \phi(t)) = \frac{\omega}{2\pi} + \frac{1}{2\pi} \frac{d}{dt} \phi(t) \quad (3-23)$$

De jitter, die besproken werd in 3.2, zal steeds in het tijdsdomein geanalyseerd worden. Daarom spreekt men daar over RMS-waarden en standaardafwijkingen. De faseruis zal bijna nooit in het tijdsdomein bekeken worden, enkel bij noise cancelling zal dit wel gedaan worden. Figuur 3-9 is enkel een illustratie hoe ruis op de fase voorgesteld kan worden. Verder heeft dit weinig betekenis. Wanneer de faseruis in het frequentiedomein bekeken wordt, is dit veel interessanter. De ruis zal in het frequentiedomein steeds voorgesteld worden met de PSD (zoals de ruis, besproken in 3.1). Verder zal deze PSD steeds voorgesteld worden als $S_{\phi}(\omega)$.

De PSD geeft weer hoeveel bijdrage elke frequentie heeft aan de totale faseruis. Een belangrijke reden om de faseruis in het frequentiedomein te bekijken, is dat de transferfunctie van de PLL de faseruis gaat "shapen". Dit betekent dat witte ruis uit een transistor niet steeds als witte ruis aan de uitgang van de schakeling komt maar vermenigvuldigd moet worden met $|H(s)|^2$. $H(s)$ is dan de fase transferfunctie van het systeem. De keuze van de componenten in de PLL zal voor een groot deel gebaseerd zijn op deze methode. Zo zal de PLL als een hoogdoorlaat filter werken voor de faseruis die geïntroduceerd wordt in de VCO. Een voorbeeld hiervan is Figuur 3-10. Hier wordt de ruis van de oscillator vermenigvuldigd met een hoogdoorlaat filter. De uitgang vertoont eerst een vlak niveau ($H(s)$ heft de helling van S_{in} op), waarna de uitgang de ingang gaat volgen. Dit gedrag zal nog verder besproken worden wanneer de transferfunctie van de PLL besproken wordt.



Figuur 3-10: Ruisvorming

De spanningsruis die besproken werd, werd voorgesteld in het tijdsdomein of het frequentiedomein. We weten dat de amplitude van de ruis een statistische verdeling heeft, maar de fase is willekeurig. De ruis kan voorgesteld worden als een vector die bij op het signaal opgeteld wordt. Wanneer het signaal een sinus is, kan deze als een ronddraaiende fasor getekend worden. Wanneer de ruis hierbij opgeteld wordt, zal zowel de amplitude als de fase veranderen (Figuur 3-11a). Figuur 3-11b toont verschillende ruisvectoren op eenzelfde fasor (zelfde tijdstip). Omdat de fase willekeurig is, zal het ene moment de ruis een faseafname hebben, terwijl op een ander moment de ruis een faseafname geeft. Het is enkel de quadratuur component van de ruis op de fasor die bijdrage zal leveren aan faseruis. De in-fase component zal enkel amplitudemodulatie met zich meebrengen. In de volgende formules is het al aangenomen dat de ruis reeds gevormd is door de VCO zijn transferfunctie (hoofdstuk 4).

De totale ruis is de som van in-fase en quadratuur componenten [10]. Als deze een ideale sinus moduleren kan de ruis voorgesteld worden als

$$n(t) = n_I(t) \cos(\omega t) - n_Q(t) \sin(\omega t). \quad (3-24)$$

Deze ruis wordt dan opgeteld bij een ideale cosinus.

$$x(t) = (A + n_I(t)) \cos(\omega t) - n_Q(t) \sin(\omega t) \quad (3-25)$$

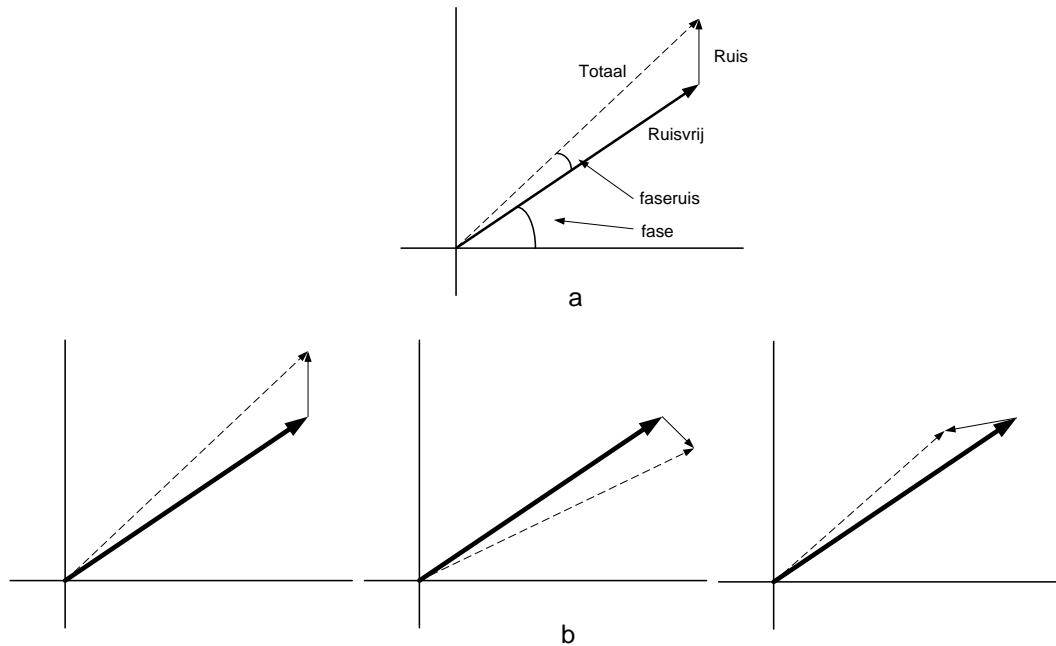
Wat kan herschreven worden tot

$$x(t) = \sqrt{(A + n_I(t))^2 + n_Q^2(t)} \cos\left(\omega t + \text{bgtg}\left(\frac{n_Q(t)}{A + n_I(t)}\right)\right). \quad (3-26)$$

Wanneer de amplitude van de ruis veel kleiner is dan het signaal, kan de faseruis eenvoudig berekend worden als

$$\phi_n(t) = \text{bgtg} \left(\frac{n_Q(t)}{A + n_I(t)} \right) \approx \frac{n_Q(t)}{A} \rightarrow S_\phi = \frac{S_q}{A^2}. \quad (3-27)$$

Hieruit blijkt dus dat de faseruis gevormd wordt door de quadratuur component van de ruis spanning die boven op de sinus staat. Verder gaan we hier niet mee werken omdat de simulator rechtstreeks de faseruis kan berekenen. Deze formules duiden wel de relatie tussen de spanningsruis en de faseruis.



Figuur 3-11: a) Vectoriële voorstelling van faseruis b) Voorbeeld voor verschillende vectoren

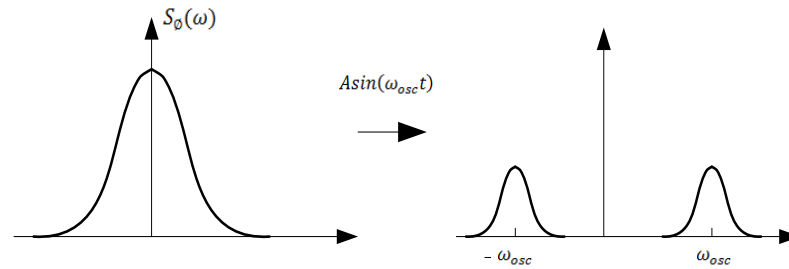
Wanneer de PSD van de fase bekeken wordt, zal dit steeds beginnen bij $\omega = 0$. Echter het spectrum van de spanning zal bijna geen component hebben bij $\omega = 0$, alle energie zal aanwezig zijn rond $\omega = \omega_{osc}$. Dit kan verklaard worden op volgende manier:

$$x(t) = A \cos(\omega_{osc} t + \phi(t)) = A \cos(\omega_{osc} t) \cos(\phi(t)) - A \sin(\omega_{osc} t) \sin(\phi(t)). \quad (3-28)$$

Als in bovenstaande formule aangenomen wordt dat $\phi(t)$ klein is, dan kan een kleine hoek benadering toegepast worden.

$$x(t) \approx A \cos(\omega_{osc} t) - A \sin(\omega_{osc} t) \phi(t) \quad (3-29)$$

Als hiervan de PSD bekeken wordt is dit een impuls op ω_{osc} . De laagfrequente faseruis wordt naar hogere frequenties geconverteerd door de vermenigvuldiging met $A \sin(\omega_{osc} t)$ (Figuur 3-12).

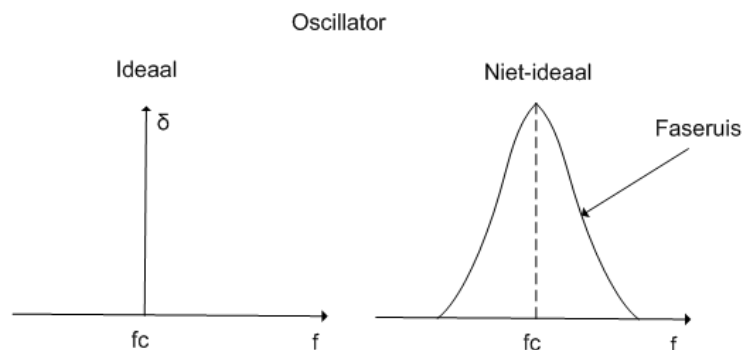


Figuur 3-12: Up-conversie van faseruis

Dit verklaart het verband tussen het spectrum van de faseruis en het spectrum van de spanning. Dit verklaart ook waarom laagfrequente $1/f$ ruis op hoge frequenties invloed heeft.

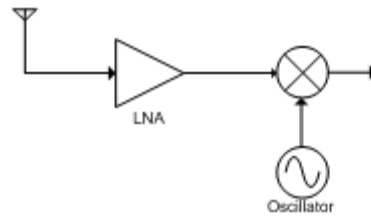
3.4.1 Invloed van faseruis

Faseruis zal voor deze toepassing de jitter bepalen. Maar andere toepassingen gebruiken ook oscillatoren voor andere doeleinden dan sampling. In communicatiesystemen wordt hetingangssignaal vaak eerst door een up-conversie gestuurd om daarna door de antenne verzonden te worden. In de ontvanger moet een down-conversie gebeuren op het ontvangen signaal. Hier wordt er in tegenstelling tot de zender, niet alleen de bruikbare informatie ontvangen, maar ook verschillende "storingen" (bv andere kanalen). Down-conversie gebeurt door het ontvangen signaal te mixen (vermenigvuldigen) met de lokale oscillator. Wanneer de oscillator niet ideaal is gaat het spectrum hiervan geen impuls zijn (Figuur 3-13) [10].



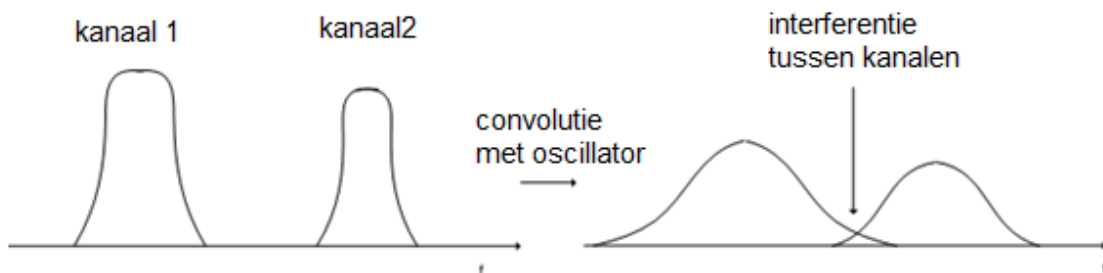
Figuur 3-13 : Ideale en niet-ideale oscillator

Een eenvoudige ontvanger kan voorgesteld worden als Figuur 3-14. Hetingangssignaal wordt eerst versterkt door een LNA. Vervolgens wordt hetingangssignaal vermenigvuldigd met de oscillator. Dit zorgt voor de down-conversie (en ook een up-geconverteerde component maar die wordt weg gefilterd). In het frequentiedomein betekent vermenigvuldigen, convolueren. Wanneer de oscillator ideaal en een dirac impuls is, dan betekent dit een verschuiving van $\pm\omega_{osc}$.



Figuur 3-14: Ontvanger demodulator

Wanneer de oscillator geen dirac impuls is maar "skirts" vertoond, dan wordt het ingangsspectrum geconvolueerd met het spectrum van de oscillator. Dit veroorzaakt vervorming van het spectrum, maar veel belangrijker kan het zijn dat er interferentie optreedt wanneer er een storing dichtbij aanwezig is of een dichtbijgelegen kanaal (Figuur 3-15). Wanneer er een slechte oscillator gebruikt wordt, zal de afstand tussen de kanalen vergroot moeten worden om interferentie te minimaliseren. Daarom gaat men de oscillator goed uitvoeren om een kleinere afstand tussen de kanalen mogelijk te maken. Dit is vaak nodig in multi-access communicatie systemen om binnen een bepaalde band te kunnen werken met betere performantie.



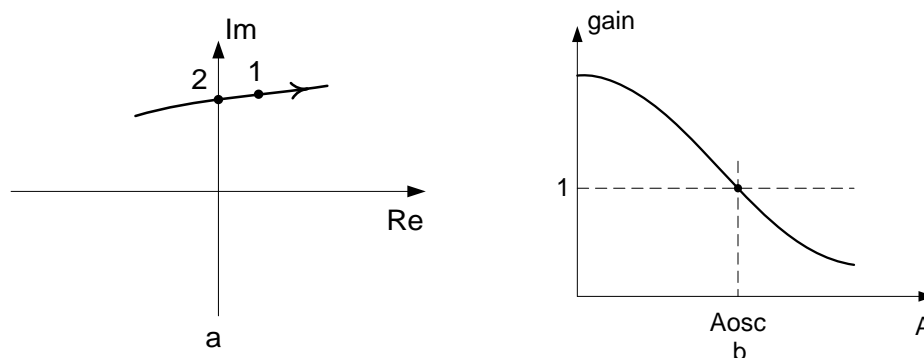
Figuur 3-15: Verbreding van het spectrum door een convolutie met de PSD van de oscillator

4 VOLTAGE CONTROLLED OSCILLATOR

4.1 Barkhausen criterium

Een oscillator kan bekeken worden als een systeem dat marginaal stabiel is, dit betekent dat er polen moeten aanwezig zijn op de imaginaire as. Wanneer dit het geval is, zal een beginwaarde verschillend van nul, een oscillerende werking tot gevolg hebben. Belangrijk is dat de amplitude helemaal niet vast ligt en afhankelijk is van de begincondities van het systeem.

Bij een praktische oscillator, zal de ligging van de polen van het gesloten lussysteem in het rechter halfvlak zijn. Als het systeem perfect lineair is zal er een oscillatie starten waarvan de amplitude steeds groter wordt. Als een oscillator gebouwd wordt, zal deze lineair werken in zijn instelpunt, maar buiten de instelling zal de lineariteit sterk dalen. Wanneer we dit vergelijken met een eenvoudige kleinsignaal versterker, dan zien we dat de versterking enkel geldt in het lineaire gebied. De versterking gaat dalen als de amplitude groter wordt. Dit effect heeft een stabiliserende invloed op de oscillator. Figuur 4-1a toont een voorbeeld van een wortellijn (root locus) van een oscillator. Bij de berekening van de oscillator, wordt de pool geplaatst op punt 1 op de lijn. De pool op punt 1 heeft een grotere versterking dan die op punt 2. De pool op punt 1 gaat een onstabiele invloed hebben op het systeem. Er start een oscillatie en de amplitude gaat stijgen [11].



Figuur 4-1: a) Wortellijn van een oscillator b) Versterking in functie van de amplitude

Doordat de amplitude van het signaal gaat stijgen (pool met positief reëel deel) gaat de lusversterking dalen door niet-lineariteiten. Het gevolg is dat de pool zich verplaatst richting punt 2. De amplitude neemt verder toe tot de lusversterking net 1 is (Figuur 4-1b). Op dat punt is de pool juist gelegen op punt 2 en kan er gesproken worden van een oscillator met constante amplitude. Het is duidelijk dat het de niet-lineariteiten zijn die de amplitude van de oscillator bepalen. Dit kan niet beschreven worden door de lineaire analyse.

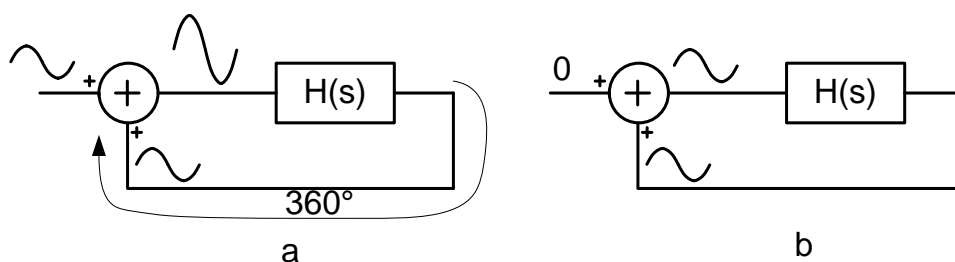
Het Barkhausen criterium stelt dat de open-lus transferfunctie op juist één frequentie gelijk moet zijn aan 1. Dit kan opgesplitst worden in twee voorwaarden:

1. $|H(j\omega_0)| = 1$
2. $\angle H(j\omega_0) = 360^\circ$

Opmerking:

Vaak wordt de tweede voorwaarde van het Barkhausen criterium uitgedrukt als $\angle H(j\omega_0) = 180^\circ$. Er wordt dan vanuit gegaan dat er een inversie is van het signaal, net zoals bij een negatieve terugkoppeling. Wanneer de lus opengeknijpt wordt, zal er 180° fasedraaiing zijn door de transferfunctie en 180° door de inversie, dit komt neer op 360° .

Deze stelling kan ook intuïtief verklaard worden. Figuur 4-2a toont hoe het systeem reageert op het aanleggen van een sinus, net op de frequentie wanneer het Barkhausen criterium voldaan is. Wanneer het systeem in rust is gaat de sinus door $H(s)$, hier zal de sinus 360° verdraaid worden en met 1 versterkt. Dit is dus dezelfde als het ingangssignaal. Nu zal bij het ingangssignaal het uitgangssignaal bij opgeteld worden, en wordt dit signaal dubbel zo groot. Wanneer de invoer weggelaten wordt, zal de sinus zichzelf onderhouden (Figuur 4-2b). In werkelijkheid zal er geen ingangssignaal aangelegd worden om de oscillator te starten. Toch is er op elke node in de schakeling een ruisbron aanwezig die de oscillatiecomponent in het spectrum heeft. Dit is al voldoende om het systeem op te starten.



Figuur 4-2: a) Aanleggen sinus aan gesloten systeem b) Zelfonderhouden van oscillatie

De verschillende oscillatoren die besproken worden in 4.2 zullen allemaal een verschillende methode hebben om $H(s)$ te vormen. De oscillatiefrequentie zal bepaald worden door de frequentie waarvoor het Barkhausen criterium voldaan is. Deze frequentie wordt bepaald door de passieve componenten in de schakeling die voor de fasedraaiing zorgen. Door een van deze componentwaarden te wijzigen is het mogelijk om de frequentie van de oscillator te veranderen. Als de frequentie regelbaar is door een externe spanning, is de oscillator een VCO.

4.2 Types VCO

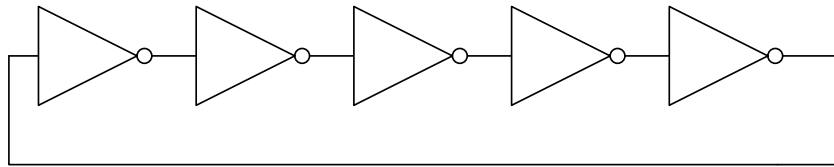
De verschillende types VCO kunnen onderverdeeld worden door de bouw van de VCO en de gebruikte componenten. Er zijn 3 onderverdelingen:

- Ring oscillator
- LC-oscillator
- Relaxatie oscillator

Elke oscillator zal eerst algemeen besproken worden. De faseruis van de oscillator zal verder in 4.6 besproken worden.

4.2.1 Ring oscillator

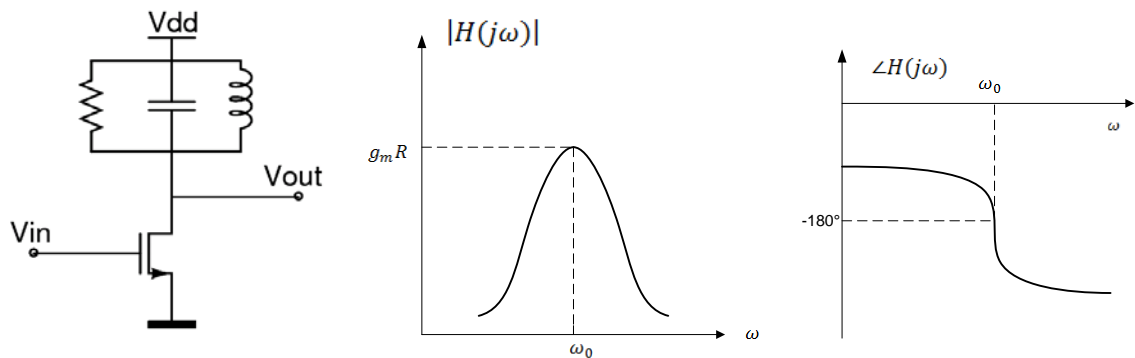
De ring oscillator (die verder gebruikt wordt voor dit ontwerp) kan in zijn meest eenvoudigste vorm voorgesteld worden als een aaneenschakeling van meerdere invertoren (Figuur 4-3)[12]. Elke invertor zal een bijdrage geven aan de fasedraaiing zodat voor de hele ring een totale fasedraaiing van 360° bekomen wordt. De versterking moet groter zijn dan 1 om de frequentie op te starten. De invertoren moeten dus elk een versterking groter dan 1 hebben. Deze oscillator wordt meer in detail besproken in 4.3 en 0.



Figuur 4-3: Ring oscillator

4.2.2 LC-oscillator

Bij de ring oscillator wordt de fasedraaiing voorzien door de capaciteiten tussen de verschillende invertoren. Elke condensator zal een maximum fasedraaiing van 90° hebben waardoor er minstens 3 invertoren moeten geplaatst worden ($3 \times 60^\circ + 180^\circ$ inverter). Bij een LC-oscillator gaat er buiten een condensator, als reactieve component, ook een spoel gebruikt worden. Hierdoor kan er een fasedraaiing van 180° aanwezig zijn per LC-paar [10].



Figuur 4-4: LC gemeenschappelijke source versterker

Figuur 4-4 toont een eenvoudige gemeenschappelijke source versterker. Voor lage frequenties is de spoel een kortsluiting en is de impedantie van de belasting $j\omega L$. De totale versterking is klein en de fasedraaiing is -90° ($-180 + 90$) door een extra inverterende werking van de versterker zelf en de fase van de spoel. Bij de frequentie waarbij de condensator en de spoel in resonantie komen, zal de belastingsimpedantie enkel de weerstand bevatten en is de versterking maximaal ($g_m R$). Als de frequentie verder toeneemt zal de belasting volledig capacitief worden en zal de fasedraaiing -270° worden.

Zoals te zien is in Figuur 4-4, zal er één frequentie zijn waarbij de fasedraaiing 180° is, deze frequentie is

$$f = \frac{1}{2\pi\sqrt{LC}} \quad (4-1)$$

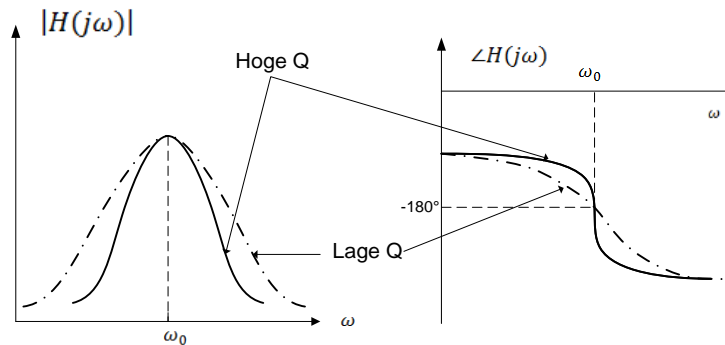
4.2.2.1 Kwaliteitsfactor

De kwaliteitsfactor Q wordt gedefinieerd als

$$Q = R \sqrt{\frac{C}{L}} \quad (4-2)$$

Een parallelle RLC-kring, met een hoge Q-factor, zal een scherpe amplitude en fase karakteristiek hebben (Figuur 4-5). Een RLC belasting met een hoge Q-factor zal een betere faseruis hebben. Dit kan snel gezien worden uit de fasekarakteristiek. Wanneer de oscillatiefrequentie verschillend is van ω_0 , dan zal bij een hoge kwaliteitsfactor meer fasedraaiing zijn dan bij een lage kwaliteitsfactor. Een hogere fasedraaiing (t.o.v. -180°) betekent dat de oscillatie sneller gedempt wordt. Hierdoor zal de faseruis harder onderdrukt worden dan bij een lage Q-factor.

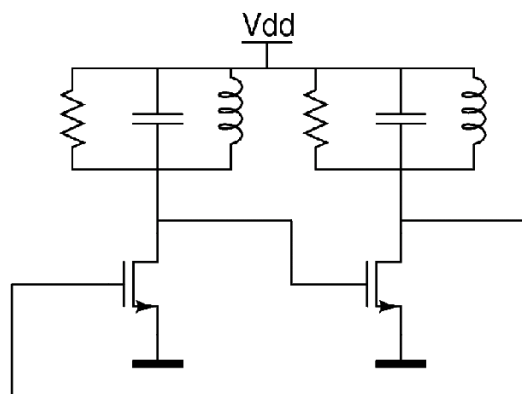
De kwaliteitsfactor is ook een maat voor de hoeveelheid energie in de reactieve componenten t.o.v. de energie die per periode verloren gaat. Voor een resonante LC-kring is dit hoog (gelimiteerd door de lekweerstand en draadweerstand), maar voor een ringoscillator is dit laag omdat elke periode alle energie gedissipeerd wordt.



Figuur 4-5: Invloed van de kwaliteitsfactor op de amplitude- en fasekarakteristiek

4.2.2.2 Oscillatievoorwaarden

Om een oscillatie tot stand te brengen moet er bij één frequentie 360° fasedraaiing zijn. Dit kan gedaan worden door twee LC-versterkers achter elkaar te plaatsen (Figuur 4-6). Bij de resonantiefrequentie zal de fasedraaiing net 360° zijn en zal de lusversterking $(g_m R)^2$ zijn. Bij het ontwerp van een LC-oscillator zal de weerstand niet effectief geplaatst worden. Deze weerstand is een parallelle vervangingsweerstand van de spoel en de lekweerstand van de condensator. $g_m R$ zal wel groter zijn dan 1 omdat de vervangingsweerstand een vrij grote weerstand is (R kan benaderd worden door de serieweerstand van de spoel te vermenigvuldigen met Q_s^2). Er wordt niet verder ingegaan op de berekening van deze waarden omdat deze oscillator niet gebruikt zal worden.



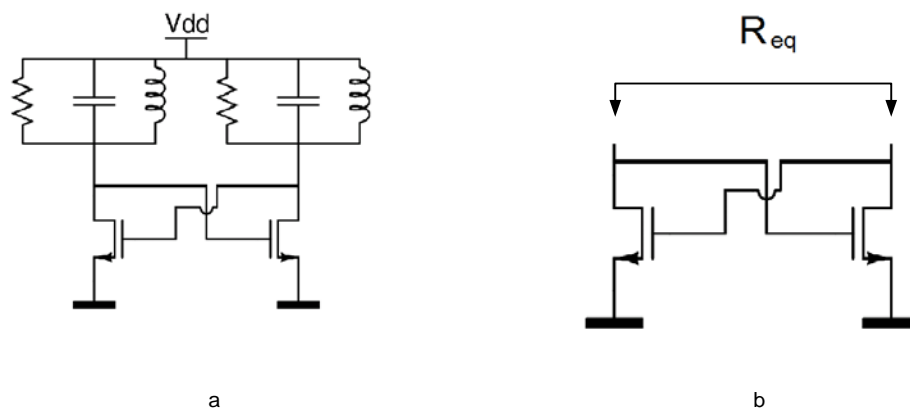
Figuur 4-6: Eenvoudige LC-oscillator

4.2.2.3 Negatieve weerstandmodel

De oscillator van Figuur 4-6 kan opnieuw getekend worden zoals in Figuur 4-7a. In deze figuur is de kruisgekoppelde belasting zichtbaar. De analyse van de oscillator die hierboven gedaan wordt, kan ook verklaard worden door de equivalente weerstand van de kruisgekoppelde belasting te bekijken [7]. De equivalente weerstand van Figuur 4-7b is

$$R_{eq} = -\frac{2}{g_m} \quad (4-3)$$

Dit is een negatieve weerstand. Deze komt door de positieve terugkoppeling die aanwezig is tussen de twee transistoren. De negatieve weerstand kan vergeleken worden met een gewone weerstand. Een gewone weerstand zal een hoeveelheid energie verbruiken waarbij de negatieve weerstand dezelfde energie kan leveren aan het systeem. Dit is uiteraard enkel een AC-model.



Figuur 4-7: a) LC-oscillator met kruisgekoppelde belasting b) Equivalente weerstand van de kruisbelasting

De knoop van V_{dd} in Figuur 4-7a kan voor kleine signalen ontkoppeld worden, zodat dit schema herleidt kan worden tot Figuur 4-8a. In Figuur 4-8b werden de kruisgekoppelde transistoren door hun negatieve equivalente weerstand getekend. Zoals te zien is, staat hier een parallel netwerk van een spoel en condensator. Wanneer ideale componenten gebruikt worden en het systeem een beginenergie gegeven wordt, zal de parallelle LC-kring blijven oscilleren. Door de parallelle weerstand zal de oscillatie vanuit de begintoestand in amplitude afnemen door de verliezen in de weerstand.

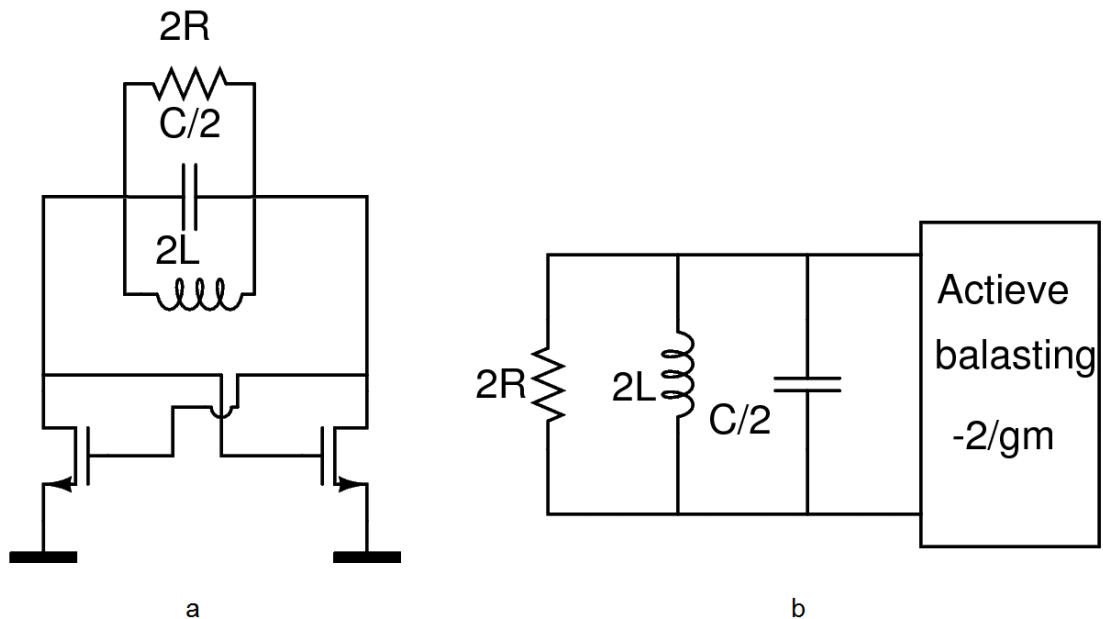
Het toevoegen van de kruisbelasting introduceert een parallelle, negatieve weerstand. Deze kruisgekoppelde transistoren kunnen de energie, die door de weerstand wordt verbruikt, bijleveren aan de schakeling. Wanneer voldaan is aan

$$2R = |-2/g_m| \quad (4-4)$$

zal de hoeveelheid energie, die verloren gaat in de weerstand, worden bijgeleverd door de negatieve weerstand. Wanneer de negatieve weerstand in absolute waarde groter is dan de parallelle weerstand, zal er meer energie bijkomen dan er verloren gaat, hierdoor zal de amplitude van de oscillatie stijgen. Deze zal satureren door een vermindering van g_m door niet-lineariteiten. Om de oscillatie te starten moet dus

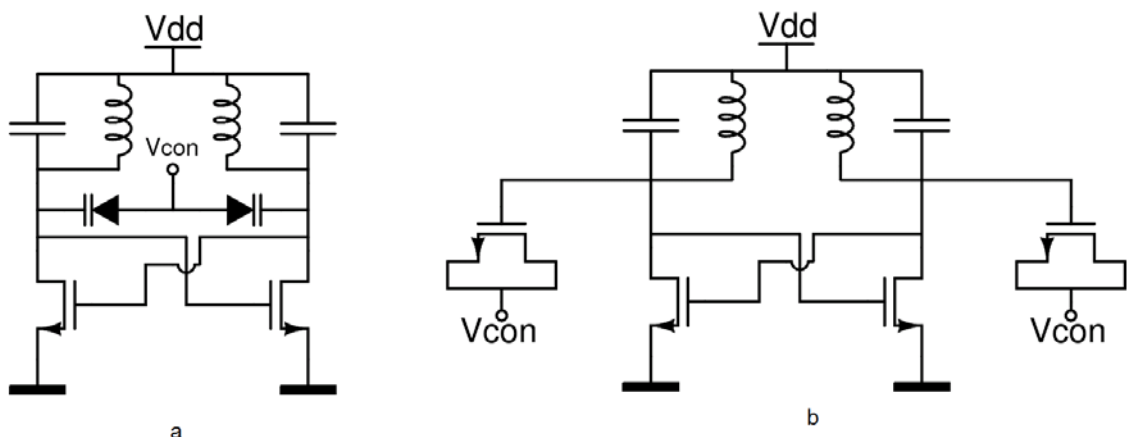
$$2R < |-2/g_m| \rightarrow g_m R > 1. \quad (4-5)$$

Dit is exact dezelfde voorwaarde als wanneer de oscillator als twee gekoppelde versterkers gezien wordt.



Figuur 4-8: a) equivalent schema door V_{dd} knoop te ontkoppelen b) equivalent schema met de kruisbelasting

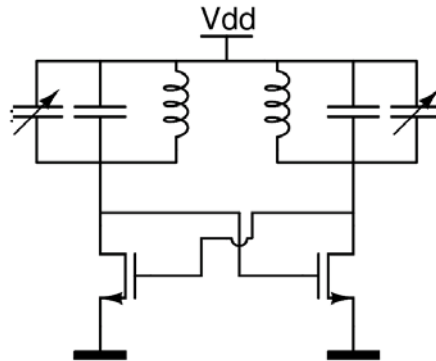
Wanneer er genoeg versterking is zal de oscillator opstarten en oscilleren op $\frac{1}{2\pi\sqrt{LC}}$ Hz. Om een VCO te maken, zal één van deze waarden variabel gemaakt worden. Het maken van een variabele spoel zal niet zo eenvoudig zijn. Wanneer dit off-chip gemaakt wordt, zou dit zeker gemaakt kunnen worden, maar zal het eerder een manueel bedienbare spoel zijn. De capaciteit is op een eenvoudige manier regelbaar, door parallel aan de condensator een varicap te plaatsen (Figuur 4-9a).



Figuur 4-9: a) Varicap controle b) Moscap controle

Deze component heeft de structuur van een diode. De varicap moet steeds in sper gepolariseerd worden. Hierdoor ontstaat een ruimteladingslaag die als diëlectricum werkt, het verschil met een gewone diode is dat de grootte van de ruimteladingslaag sterker afhankelijk is van de inverse spanning over de varicap. Op deze manier kan de grootte van de capaciteit door een spanning geregeld worden.

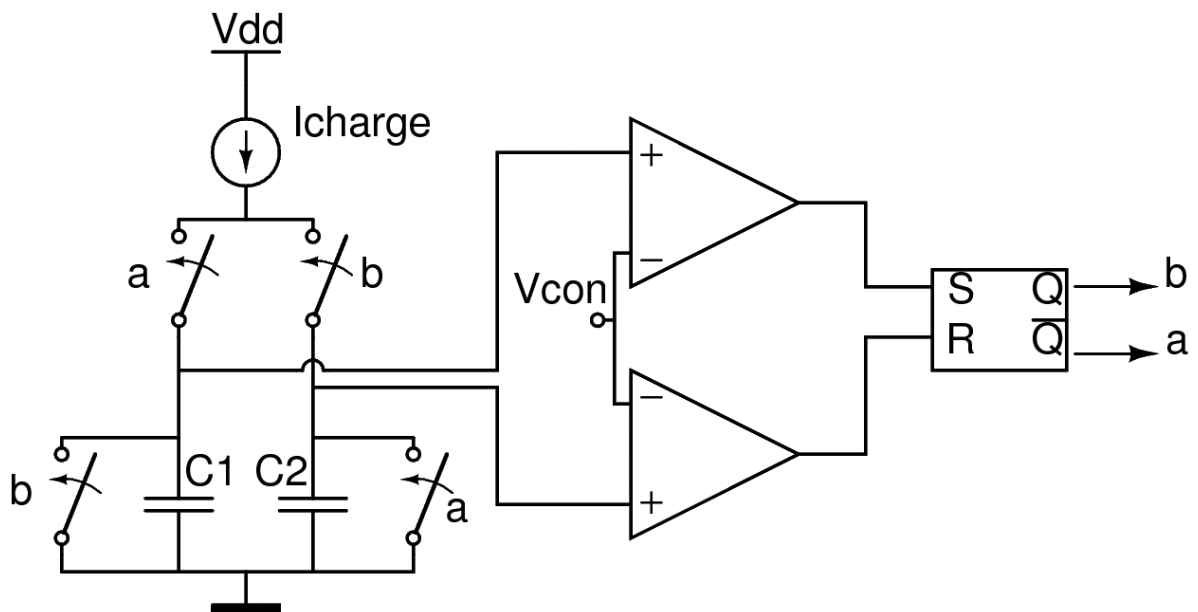
Een andere manier om de capaciteit variabel te maken is het plaatsen van een moscap (Figuur 4-9b). De moscap heeft ook de eigenschap dat de capaciteit verandert wanneer de spanning over de gate naar drain/source verandert. Deze verandering vindt plaats tijdens de opbouw van het inversiekanaal, bij grote V_{gs} spanningen zal de capaciteit meer constant blijven. Beide schema's kunnen als een equivalent schema getekend worden zoals in Figuur 4-10.



Figuur 4-10: Equivalente schakeling met variabele capaciteit

4.2.3 Relaxatie oscillator

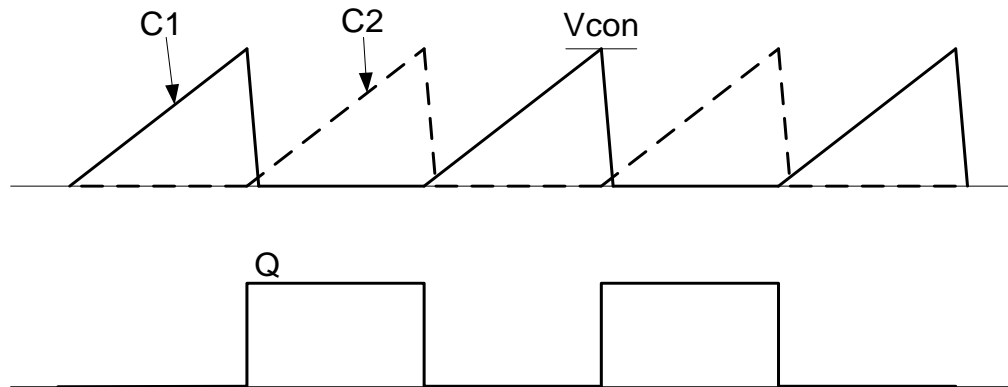
De relaxatie oscillator kan niet aangenomen worden als een lineaire oscillator. De LC-oscillator en de ring oscillator kunnen (benaderend) voorgesteld worden als een lineair systeem in terugkoppeling waarbij de terugkoppeling op één frequentie positief wordt. De relaxatieoscillator kan eerder beschreven worden als een tijdsdiscreet systeem. Vaak zal hier gebruik gemaakt worden van digitale latches en schmitt triggers.



Figuur 4-11: Eenvoudige relaxatie oscillator

Een eenvoudig schema van een relaxatie oscillator is weergegeven in Figuur 4-11 [13]. Er wordt gebruik gemaakt van twee condensatoren die afwisselend opladen. Wanneer C1 opgeladen wordt, zal C2 ontladen worden door de schakelaars. C1 zal opladen tot de spanning over C1 gelijk is aan V_{con} . Hierdoor zal de set ingang van de SR latch hoog worden en Q zal hoog worden. Wanneer Q hoog is, zullen de schakelaars a open gaan en b sluiten. Condensator C1 zal ontladen en C2 zal nu opladen tot V_{con} . Dan zal de

reset ingang hoog worden en zal C1 opnieuw opgeladen worden. De golfvorm is weergegeven in Figuur 4-12.



Figuur 4-12: Golfvorm van een relaxatie oscillator

De tijd om een condensator op te laden tot V_{con} is

$$T = \frac{CV_{con}}{I_{charge}} \rightarrow f = \frac{I_{charge}}{2CV_{con}}. \quad (4-6)$$

Er moeten uiteraard per periode twee condensatoren opgeladen worden. De drie waarden kunnen allemaal gewijzigd worden, I_{charge} kan gebruikt worden om een lineair verband te krijgen tussen stroom en frequentie. Ook V_{con} kan als variabele parameter gekozen worden, maar deze staat in de noemer en zal een hyperbolisch verband geven. Parallel met de capaciteit kan ook een varicap geplaatst worden. Dit wordt meestal niet gedaan omdat het regelbereik van de oscillator dan beperkt wordt. Een groter regelbereik is mogelijk bij het veranderen van de stroom om op te laden tot V_{con} .

De relaxatieoscillator biedt echter wel een goede mogelijkheid tot ruisreductie technieken. Het voordeel is dat de spanning over de condensator lineair toeneemt tot V_{con} , dit is een goede indicatie voor de ogenblikkelijke fase van de oscillator. Er moet dus geen techniek gezocht worden om de fase te meten omdat die rechtstreeks beschikbaar is. Het nadeel van deze oscillator is dat deze in vergelijking met de ring oscillator toch verminderde faseruis eigenschappen heeft.

4.3 Ring Oscillator

De ring oscillator is een aaneenschakeling van meerdere vertragingselementen (Figuur 4-3). De analyse van een ring oscillator kan op verschillende manieren gedaan worden. Het eerste belangrijk verschil tussen een ring oscillator en een LC-oscillator is de vorm van de golf. Een LC-oscillator werkt door de resonantie tussen de spoel en de condensator. Door de hoge Q-factor zal de oscillator niet-lineariteiten (hogere harmonische) sterk onderdrukken waardoor de golf een sinus is. Dit maakt de analyse van de LC-oscillator veel eenvoudiger dan die van een ring oscillator (ook voor de faseruis). In de ring oscillator zal de golfvorm meestal een blokgolf zijn. Daardoor zullen er vaak twee analyses op de ring oscillator gedaan worden:

- Kleinsignaal analyse: Hier gaat men er vanuit dat de oscillator een sinus opwekt en dat er geen hogere harmonischen aanwezig zijn. Hieruit worden de parameters van de transistoren berekend volgens het Barkhausen criterium.
- Grootsignaal analyse: Bij deze analyse wordt er al vanuit gegaan dat de versterking van elke trap voldoende groot is om een oscillatie te starten. De

oscillatie wordt voorgesteld als een blokgolf, en de oscillatiefrequentie wordt berekend door de vertraging van elke trap.

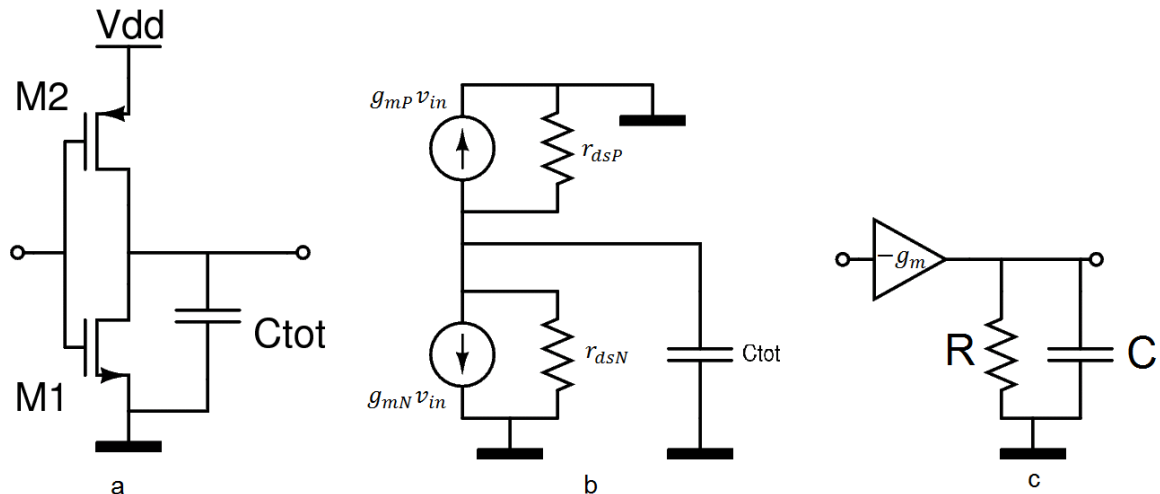
Ring oscillatoren kunnen single-ended en differentiëel gemaakt worden. Het voordeel van single-ended oscillatoren is dat er rail-tot-rail zwaai is. De amplitude is van 0V tot V_{dd} , wat een positieve invloed op de faseruis heeft. Het grote nadeel van de single-ended oscillator is dat deze zeer gevoelig is voor common mode ruis. Zowel voor voedingsruis en substraatruis. Deze nadelen worden in een differentiële oscillator weggewerkt, deze heeft echter een kleinere zwaai mogelijk [14].

4.3.1 Single-ended ring oscillator zonder tuning

De meest eenvoudige ring oscillator is een aaneenschakeling van een oneven aantal invertoren. Het aantal moet oneven zijn zodat er geen stabiele toestand mogelijk is (DC) en de oscillator nooit naar deze toestand convergeert (als er voldoende versterking is). Hier kunnen dus twee verschillende analyses gedaan worden, de lineaire analyse en de grootsignaal analyse.

4.3.1.1 Lineaire berekening

Elk element van de inverter kan vereenvoudigd worden met een enkele capaciteit C_{out} op de uitgang van de inverter (Figuur 4-13a). Voor de DC-instelling van de berekening moet de waarde berekend worden waarvoor de spanning op de ingang gelijk is aan de uitgang. Voor een inverter is dit de digitale thresholdspanning. Deze maken we $V_{dd}/2$.



Figuur 4-13: a) Single-ended vertragingselement b) Kleinsignaal schema c) Compact schema

De inverter van Figuur 4-13a kan vereenvoudigd worden door zijn kleinsignaal schema. Dit is weergegeven in Figuur 4-13b. Hierin is V_{in} de kleinsignaal gatespanning van beide transistoren. De kleinsignaal V_{gs} is steeds V_{in} van de inverter (V_{dd} is massa voor AC). Beide stroombronnen hebben dezelfde polariteit en werken met elkaar mee. De stroombronnen kunnen vervangen worden door één stroombron met $g_m = g_{mN} + g_{mP}$. De equivalente uitgangsweerstand is de parallelschakeling van de uitgangsweerstand van beide transistoren. Figuur 4-13c is het vervangingsschema dat gebruikt wordt voor de AC-analyse.

Op de ingang van de versterker veronderstellen we een spanning, die in een stroom wordt omgezet door $-g_m$. Deze stroom vloeit door de parallelschakeling van R en C die vervolgens omgezet wordt in een spanning aan de uitgang. Door het berekenen van de transferfunctie van één element, kan het gedrag gemakkelijk bepaald worden voor een ring van N elementen.

De transferfunctie van één element, rekening houdend met de belasting van het volgende element is

$$H(s) = \frac{v_{out}(s)}{v_{in}(s)}. \quad (4-7)$$

Eerst kan de stroom door de uitgangstak berekend worden. Deze kan dan vermenigvuldigd worden met de uitgangsimpedantie van de inverter:

$$i_{out}(s) = -v_{in}(s)g_m \quad (4-8)$$

$$v_{out}(s) = i_{out}(s)Z_{RC}(s) \quad (4-9)$$

$$v_{out}(s) = -v_{in}(s)g_m \frac{R}{1 + sRC} \quad (4-10)$$

$$H(s) = -\frac{g_m R}{1 + sRC} \quad (4-11)$$

Wanneer er N (oneven) elementen na elkaar geschakeld worden is de totale transferfunctie $H^N(s)$.

$$H^N(s) = -\frac{(g_m R)^N}{(1 + sRC)^N} \quad (4-12)$$

Deze transferfunctie moet aan het Barkhausen criterium voldoen. Wanneer eerst de fase bekeken wordt, zal $\angle H^N(s) = 360^\circ$. De fasedraaiing ontstaat in de noemer. Er is al een 180° draaiing door de inverterende werking (oneven aantal).

$$\angle(1 + sRC)^N = N\angle(1 + sRC) = 180^\circ \rightarrow \angle(1 + sRC) = \frac{180^\circ}{N} \quad (4-13)$$

$$bgtg(\omega RC) = \frac{180^\circ}{N} \rightarrow \omega = \frac{1}{RC} \tan\left(\frac{180^\circ}{N}\right) \quad (4-14)$$

Dit is de waarde voor de oscillatiefrequentie. Belangrijk is dat de versterking niet meer de DC-versterking is. Deze zal hier lager zijn, afhankelijk van het aantal elementen. Om de versterking op dit oscillatiepunt te kennen, zal deze opnieuw ingevuld moeten worden voor deze frequentie.

$$H(\omega_0) = -\frac{g_m R}{1 + j \tan\left(\frac{180^\circ}{N}\right)} \quad (4-15)$$

De DC-versterking wordt vermenigvuldigd met $\left|\frac{1}{1 + j \tan\left(\frac{180^\circ}{N}\right)}\right|$, wat kleiner is dan 1. Tabel 4-1 geeft verschillende waarden weer van deze factor in functie van het aantal elementen. Hieruit is duidelijk dat dit gedrag minder belangrijk wordt bij meer elementen. Het is duidelijk dat de fasedraaiing bij 3 elementen (60°) groter is en al meer verzwakking door de uitgangsimpedantie vraagt dan een ring met 9 elementen (20°).

Tabel 4-1: Vermenigvuldigingsfactor DC-versterking

N	$\left \frac{1}{1 + j \tan\left(\frac{180^\circ}{N}\right)} \right $
3	0,5
5	0,809
7	0,901
9	0,939

Bij 3 elementen moet er dus opgelet worden dat er nog voldoende versterking aanwezig is om de oscillator op te starten. Er moet steeds gelden dat $|H(\omega_0)| > 1$. Bij een single-ended oscillator zal de versterking geen probleem vormen omdat $g_m R_{out}$ vrij groot is.

In het DC-instelpunt geldt:

$$g_m = k(V_{gs} - V_T) \text{ met } k = \mu C_{ox} \frac{W}{L}. \quad (4-16)$$

De totale g_m is dan

$$g_m = \mu_n C_{ox} \frac{W}{L} \left(\frac{V_{dd}}{2} - V_{TN} \right) + \mu_p C_{ox} \frac{W}{L} \left(\frac{V_{dd}}{2} - |V_{TP}| \right). \quad (4-17)$$

Een grotere W/L verhouding geeft dus een grotere g_m . De verhouding van k_p en k_n moet gelijk zijn aan 1 om de thresholdspanning van de inverter op $V_{dd}/2$ te leggen.

De uitgangsweerstand van de transistor wordt gegeven door

$$r_{ds} = \frac{1}{\lambda I_d} = \frac{V_E L}{I_d} = \frac{V_E L}{\frac{\mu C_{ox} W}{2} \frac{W}{L} \left(\frac{V_{dd}}{2} - V_T \right)^2}. \quad (4-18)$$

De uitgangscapaciteit kan benaderd worden met de gatecapaciteit van beide transistoren (volgende trap). Deze is niet altijd gelijk aan $W L C_{ox}$ maar voor een benadering volstaat dit. De totale capaciteit is dan

$$C_{tot} = (W_n L_n + W_p L_p) C_{ox}. \quad (4-19)$$

Door deze drie parameters te bekijken kunnen volgende vaststellingen gedaan worden:

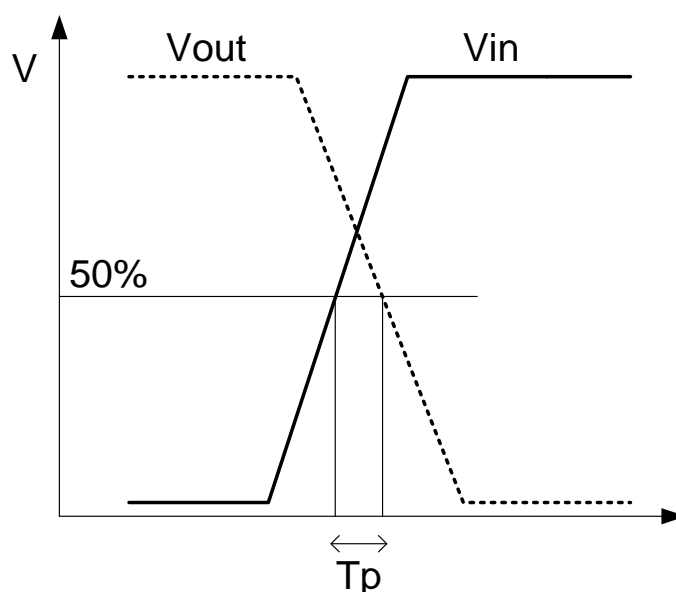
- RC kan gewijzigd worden met de lengte.
- $g_m R_{out}$ kan gewijzigd worden door de lengte en $V_{gs} - V_T$. De overdrive spanning kan hier niet echt meer gewijzigd worden omdat door de technologie de voedingsspanning vast ligt, en dus ook de DC instelling.

De waarde r_{ds} kan ook gewijzigd worden door de voedingsspanning te veranderen. Door deze variabele te maken kan hierdoor ook een VCO gemaakt worden. Dit wordt echter niet gedaan omdat de zwaai dan niet meer constant is. Er zal verder een manier

voorgesteld worden om de frequentie anders aan te passen. De ring oscillator, bestaande uit twee transistoren, wordt niet in zijn eenvoudigste vorm gebruikt.

4.3.1.2 Grootsignaal berekening

De waarden die berekend werden in de kleinsignaalberekeningen zullen enkel gelden voor sinusoidale signalen in de oscillator. Wanneer deze opgestart is, zal het signaal in amplitude toenemen, en vervormen naar een blokgolf door saturatie. Het gevolg is dat de oscillatiefrequentie voor grote signalen iets anders zal zijn dan de kleinsignaalberekeningen. Voor grote signalen gaan we niet meer de versterking berekenen omdat de oscillatie al gestart is. Voor de grote signalen kan er best gewerkt worden met de vertragingstijd van de invertoren. De vertragingstijd is de tijd tussen het moment dat de ingangsspanning 50% van de zwaai is tot de moment dat de uitgangsspanning deze waarde bereikt heeft. Dit is weergegeven in Figuur 4-14.



Figuur 4-14: Vertragingstijd van een inverter

De totale periode van een ring oscillator zal dan $2NT_p$ zijn omdat het signaal van laag naar hoog moet en van hoog naar laag door N elementen. De oscillatiefrequentie is dan

$$f = \frac{1}{2NT_p}. \quad (4-20)$$

Om T_p te berekenen (we nemen aan dat de stijgende en dalende flanken dezelfde zijn) kan de tijd berekend worden die nodig is om het signaal van V_{dd} tot $V_{dd}/2$ te brengen. Deze tijd is

$$T_p = \frac{C_{tot}V_{dd}}{2I_{gemiddeld}}. \quad (4-21)$$

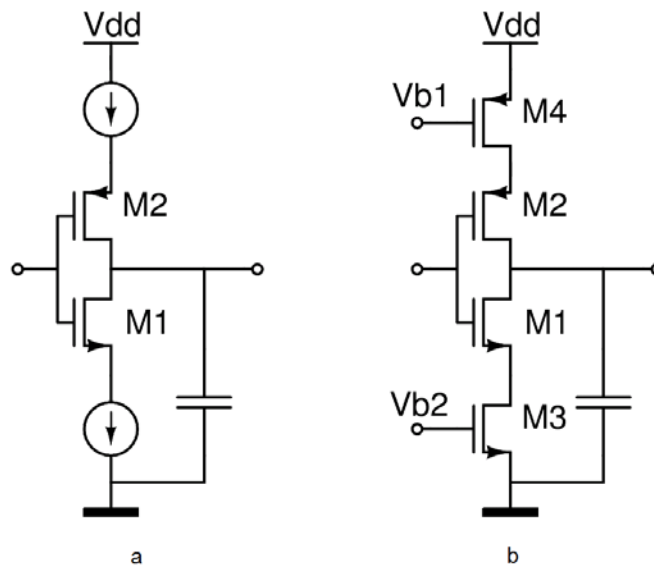
De stroom is de gemiddelde stroom die naar de uitgangscapaciteit vloeit. Deze stroom is niet constant omdat de uitgangsspanning daalt, eerst zal de NMOS in saturatie zijn en de stroom constant, maar als de spanning daalt tot $(V_{dd}-V_T)$ zal de NMOS in het lineaire gebied gaan en zal de stroom afnemen. De vertragingstijd kan wel benaderd worden door de stroom constant te nemen aan de saturatiestroom. Deze tijd zal dan sneller zijn dan de werkelijke tijd en de oscillatiefrequentie zal dan iets hoger geschat worden. Om berekeningen te doen zal dit echter een goede benadering zijn om de componenten te dimensioneren.

$$I_d = \frac{\mu C_{ox} W}{2 L} (V_{dd} - V_T)^2 \rightarrow T = \frac{C_{tot} V_{dd}}{\mu C_{ox} \frac{W}{L} (V_{dd} - V_T)^2} \quad (4-22)$$

De methode van de constante stroom zal een goed resultaat geven bij de "current-starved" oscillator omdat daar extra stroombronnen gebruikt worden om de stroom constant te houden.

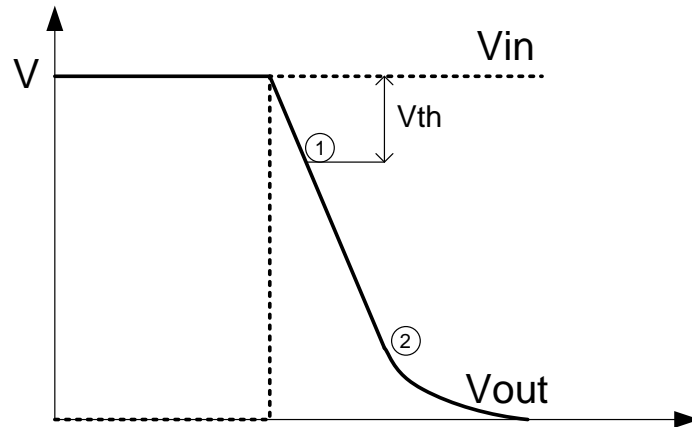
4.3.2 Current-starved ring oscillator

Het nadeel van vorige oscillator is dat de frequentie ervan niet regelbaar is (voor een vaste voeding). Daarom zal deze oscillator iets aangepast worden. Voor deze oscillator zal geen kleinsignalschema gebruikt worden, het is veel gemakkelijker om dit met de grootsignaalanalyse te doen. Figuur 4-15a geeft een basiswerking weer van dit element. Bij de gewone inverter was de stroom die naar de uitgang vloeide niet regelbaar. Bij dit element worden er tussen de bron en de inverter (zowel aan voeding als aan massa) twee stroombronnen geplaatst. Hierdoor zal de stroom naar de uitgang regelbaar zijn. M1 en M2 dienen enkel om de uitgang te schakelen en de spanningen over deze transistoren is nu niet meer belangrijk omdat de stroom al ingesteld is door M4 en M3. De spanning op de source zal zodanig aangepast worden omdat de stroom bepaald wordt door de stroombron.



Figuur 4-15: Current-starved delay

De stroombronnen kunnen eenvoudig gemaakt worden door een MOS transistor in saturatie (Figuur 4-15b). Zolang M3 en M4 in saturatie staan, zal de stroom constant blijven. Als de ingang van 0 naar V_{dd} gaat, zal de uitgang geleidelijk dalen. Initieel zal M1 in saturatie zijn tot V_{out} = V_{dd} - V_T. Dan gaat M1 in lineair gebied (① in Figuur 4-16). De stroom zal niet veranderen want M3 staat nog steeds in saturatie. Wanneer de spanning op de drain van M3 kleiner wordt dan V_{b2} - V_T zal M3 in lineair gebied gaan en zal de stroom afnemen (② in Figuur 4-16).



Figuur 4-16: Uitgangsspanning tijdens schakelen

De vertraging

$$T_p = \frac{C_{tot}V_{dd}}{2I} \quad (4-23)$$

zal nu wel een goede benadering zijn voor de vertragingstijd. De frequentie is

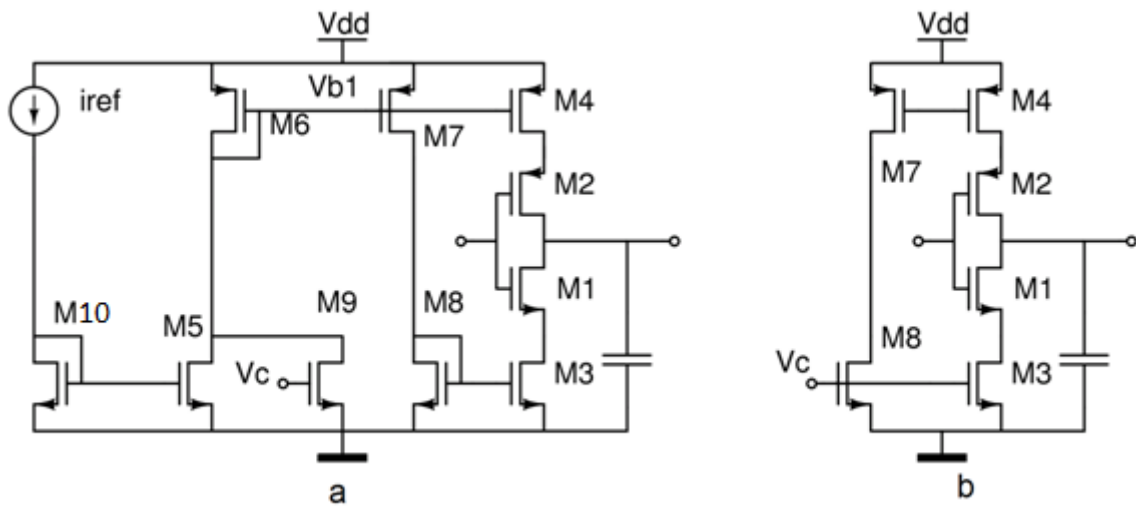
$$f = \frac{I}{C_{tot}V_{dd}} \quad (4-24)$$

Door de stroom regelbaar te maken zal de frequentie lineair regelbaar zijn. Er moet uiteraard een schakeling voorzien worden voor het aanmaken van V_{b1} en V_{b2} . Deze schakeling is weergegeven in Figuur 4-17a. M1-4 is het element van de ring zelf en wordt N keer geplaatst, de andere transistoren worden maar één keer geplaatst. Deze worden gebruikt voor de instelling van de inverter. M10 en M5 is een stroomspiegel die een referentiestroom kopieert en omzet naar een gewenste ruststroom. Wanneer V_c nul is, zal M9 uitgeschakeld zijn en zal deze ruststroom via M6, M7 en M8 gekopieerd worden naar de inverter. Deze stroom geeft de minimale frequentie aan. Wanneer V_c groter wordt dan V_T van M9 zal deze transistor geleiden. Afhankelijk van de breedte zal de stroom toenemen en ook de frequentie. De combinatie van de ruststroom en de stroom door M9 bepaalt de rustfrequentie en het regelbereik. Als een groter regelbereik gewenst is, kan de stroom door M5 kleiner gekozen worden en de stroom door M9 groter. De frequentie is regelbaar tussen

$$\frac{I_{M5}}{C_{tot}V_{dd}} \leftrightarrow \frac{I_{M5} + I_{M9_max}}{C_{tot}V_{dd}} \quad (4-25)$$

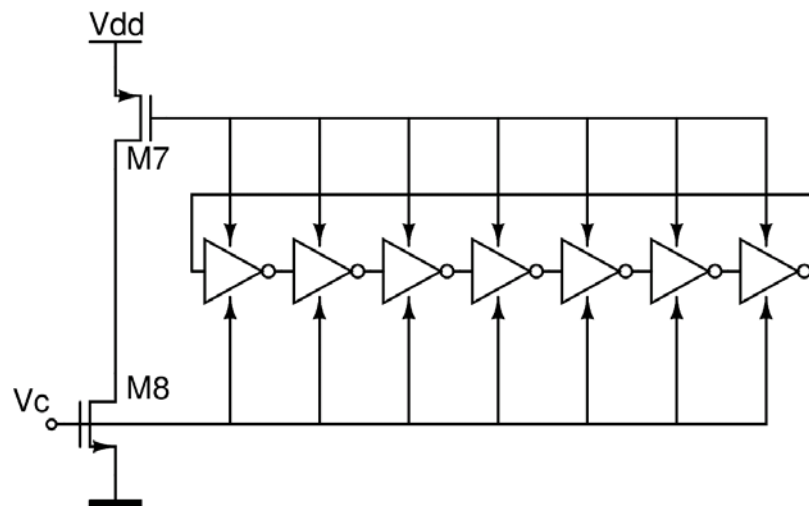
Er kan ook gewerkt worden met de breedtes van M6 en M7 om de stroom nog te wijzigen en om de stroom in stukken te transformeren.

In het ontwerp van de current-starved ring oscillator zijn M5,6,9 en 10 weggelaten voor de eenvoud (Figuur 4-17b). Het enige verschil is dat V_c groter dan V_T moet zijn. Wanneer de oscillator in een PLL geplaatst wordt, kan best de schakeling van Figuur 4-17a gebruikt worden. Anders zal de PLL onverwacht transiënt gedrag kunnen vertonen omdat de VCO bij een ingang van 0V nog niet oscilleert en bij V_T plots opstart. Dit is een plotse niet-lineariteit tijdens het starten, maar verdwijnt eens het systeem gestabiliseerd is.



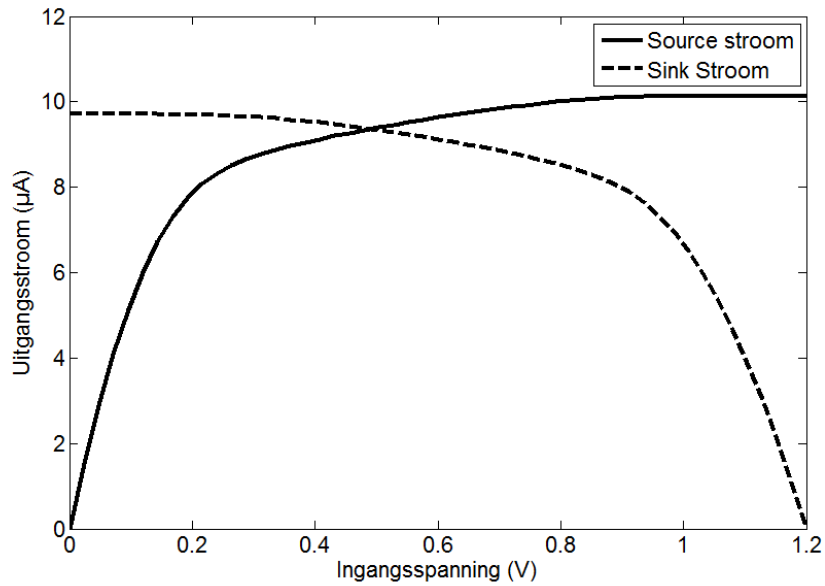
Figuur 4-17: a) Instelschakeling voor current-starved inverter b) Vereenvoudigde schakeling

De schakeling van Figuur 4-17b zal gebruikt worden in de volgende simulaties. Hiervoor gaan we een ring van 7 elementen simuleren. Dit aantal moet dus oneven zijn. Er werd gekozen voor een stroom van $10\mu\text{A}$ per element. Hieruit kan dan direct de belastingscapaciteit berekend worden voor een frequentie van 100MHz . Deze capaciteit bestaat uit de gatecapaciteit van de volgende trap. De W/L van M3 en M4 werden gekozen zodat bij een V_{gs} van 450mV $10\mu\text{A}$ door de transistor vloeiende. De lengte kan vergroot worden om een betere stroombron te hebben. De W en L van M1 en M2 moeten gekozen worden zodat de juiste capaciteit gezien wordt van de vorige trap. De W/L kan vrij groot gekozen worden omdat deze als schakelaar werken. Figuur 4-18 geeft de schakeling voor de gesloten ring weer.



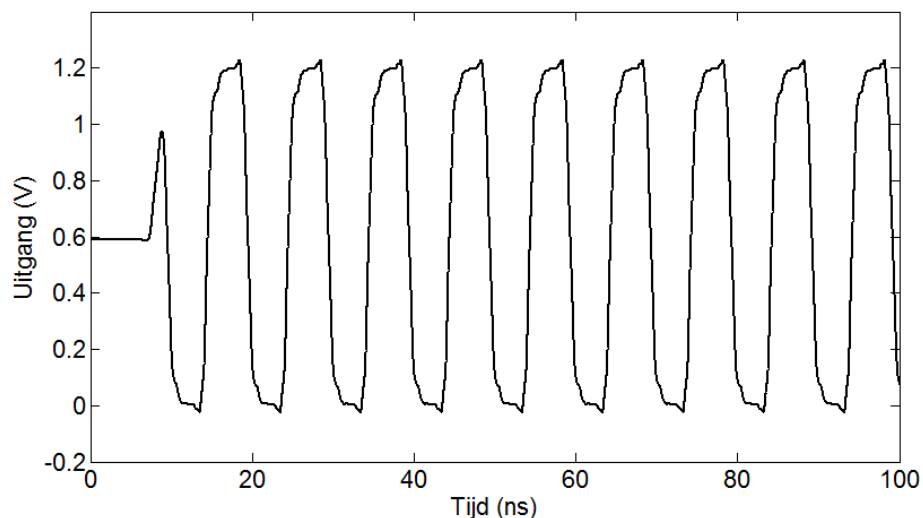
Figuur 4-18: Current-starved ring oscillator met instelling

Eerst kan de uitgangsstroom bekeken worden bij verschillende uitgangsspanningen. Deze simulatie is weergegeven in Figuur 4-19. De stroom I_{source} is de stroom die door de PMOS naar de uitgang vloeit bij een lage ingang. Afhankelijk van de uitgangsspanning gaat de stroom dalen als de spanning hoger wordt. Door de lengte van deze transistor te vergroten (constante W/L) kan de curve vlakker gemaakt worden zoals een constante stroombron. I_{sink} is de stroom door de NMOS als de ingang hoog is.



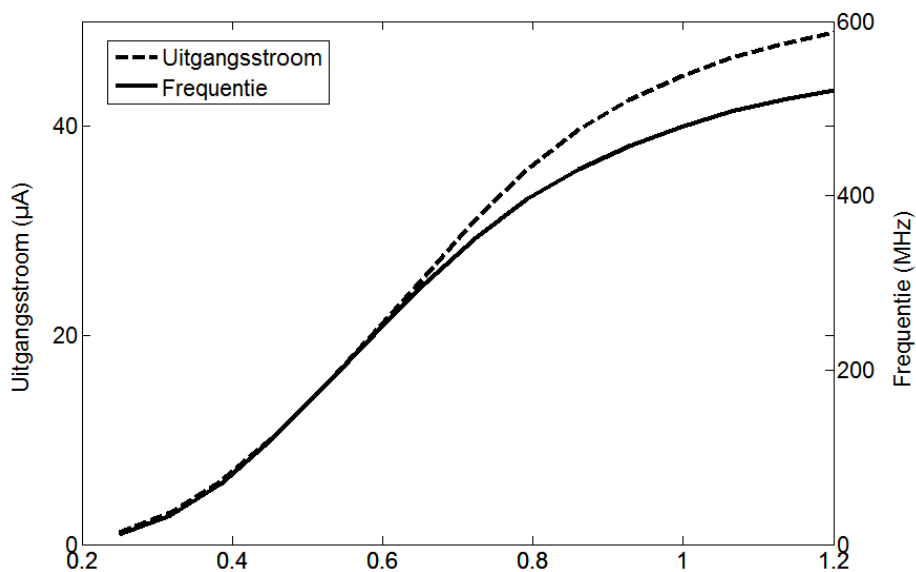
Figuur 4-19: Simulatie uitgangsstroom Current-starved Inverter

Als de ring gesloten is, zal bij een spanning van 428mV een oscillatiefrequentie van 100MHz optreden. Zoals te zien is in Figuur 4-20 schakelt de inverter rail-to-rail. De spikes die aan de boven- en onderkant optreden zijn een oorzaak van de capacatieve doorkoppeling door de gate. Deze golfvorm is voor een vaste controlespanning. Figuur 4-21 toont het verband tussen de controlespanning en de frequentie van de oscillator. Ook de stroom die de controlespanning instelt is weergegeven. Uit deze figuur is duidelijk dat de frequentie lineair evenredig is met de stroom. Het niet-lineaire verband is afkomstig van het niet-lineaire verband tussen de stroom en de controlespanning. De frequentie is regelbaar tussen 25MHz en 250MHz. Dit regelbereik is voor deze toepassing onbelangrijk, maar een groter regelbereik zal voor een grotere versterking in de VCO zorgen bij het model in de PLL. Als een betere lineariteit gewenst is, bijvoorbeeld wanneer de PLL vaak van frequentie moet veranderen (bv bij een FM systeem), kan een feedback gebruikt worden die een meting van de stroom doet via een weerstand en deze terugkoppelt. Voor deze toepassing is dit niet nodig.



Figuur 4-20: Oscillatie current-starved inverter

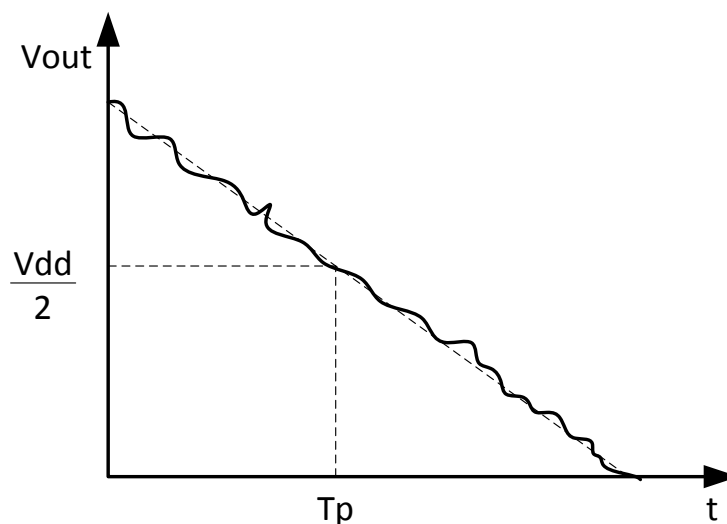
De versterking van de VCO is ruwweg $\frac{\Delta f}{\Delta V}$. Het groter regelbereik zorgt dan voor meer ruisonderdrukking in de PLL wat voor deze toepassing wel voordelig is.



Figuur 4-21: Frequentie en stroom in functie van de controlespanning

Het nadeel van deze oscillator is dat er geen common mode onderdrukking is. De oscillator zal bij op een chip geplaatst worden waar veel schakelende elementen zitten, dit zal voedingsruis met zich meebrengen (dit is geen ruis zoals beschreven werd in 3.1, want de variaties zijn volledig deterministisch, toch kan deze variatie op de voeding gezien worden als ruis wanneer er veel elementen aan het schakelen zijn). De differentiële ring oscillator zal hiervoor een oplossing bieden.

4.3.3 Jitter in de current-starved inverter



Figuur 4-22: Uitgangsverloop met ruis

Zoals eerder besproken, zal de uitgangsstroom afhankelijk zijn van de transistor die als stroombron geschakeld is. Buiten de constante stroom, die door de transistor gestuurd wordt, komt er nog een ruisstroom bij door de transistor. Het is enkel de ruis van de

stroombron (M3) die op de uitgang zichtbaar is. De ruis van de schakeltransistor (M1) zal geen invloed hebben op de uitgang omdat deze geschakeld is als cascode. De impedantie, gezien in de source van M1, is veel lager ($1/g_m$) dan in de drain van M3 (r_{ds}), hierdoor zal de ruisstroom door zichzelf vloeien. De ruis van M3 zal wel door de uitgang komen.

De single-sided PSD van de witte ruis wordt voor de eenvoud eerst omgevormd naar het double-sided spectrum. Hierdoor wordt het vermogen gehalveerd. De ruis kan nu gebruikt worden om in het tijdsdomein geanalyseerd te worden. Hetzelfde wordt bekomen als dit in het frequentiedomein gedaan wordt.

De ruis uit M3 vloeit direct door de uitgangscapaciteit. De variantie van de lading, die na een tijd T_p op de uitgang (Figuur 4-22) aanwezig is, is

$$\sigma_q^2 = \int_0^{T_p} \frac{i_n^2}{2} dt = \frac{i_n^2}{2} \int_0^{T_p} dt = \frac{i_n^2}{2} T_p. \quad (4-26)$$

De standaardafwijking is

$$\sigma_q = i_n \sqrt{\frac{T_p}{2}}. \quad (4-27)$$

De lading kan omgevormd worden naar spanning door

$$\sigma_v = \frac{i_n}{C} \sqrt{\frac{T_p}{2}} = \frac{i_n}{2C} \sqrt{\frac{C V_{dd}}{I}}. \quad (4-28)$$

De hoeveelheid jitter na één schakelbeurt kan dan berekend worden door

$$\sigma_t = \frac{\sigma_v}{slope} = \sigma_v \frac{C}{I} = \frac{i_n}{2C} \sqrt{\frac{C V_{dd} C}{I I}} = \frac{i_n}{2} \sqrt{\frac{C V_{dd}}{I^3}}. \quad (4-29)$$

De ruisstroom van de mosfet kan hierin nog ingevuld worden.

$$\sigma_t = \frac{1}{2} \sqrt{\frac{4kT\gamma g_m C V_{dd}}{I^3}} = \frac{1}{2} \sqrt{\frac{8kT\gamma C V_{dd}}{I^2 (V_{gs} - V_T)}} \quad (4-30)$$

De jitter kan verkleind worden door:

- Grotere stroom
- Grotere $V_{gs} - V_t$
- Lagere temperatuur

In de formule zou een kleinere C en een kleinere V_{dd} ook een verkleining van de jitter geven. Dit is echter geen goede indicatie. Er moet rekening gehouden worden met het feit dat de vertragingstijd dezelfde moet blijven. De verhouding $\frac{V_{dd} C}{I}$ moet constant zijn. Een verlaging van V_{dd} moet gepaard gaan met een stijging van C of een daling van I. Het is daarom beter om een evenredigheidsconstante te bepalen door de jitter te delen door de vertragingstijd[8].

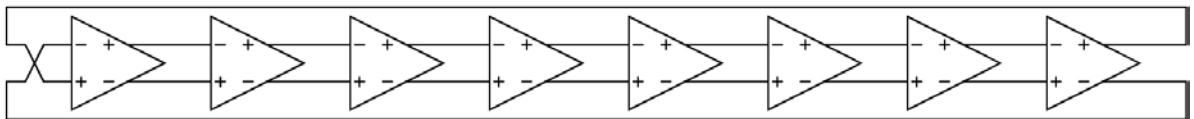
$$\sigma_t^2 = K T_p \quad (4-31)$$

$$K = \frac{\sigma_t}{\sqrt{T_p}} = \frac{1}{2} \sqrt{\frac{4kT\gamma}{I(V_{gs} - V_T)}} \quad (4-32)$$

4.4 Differentiële Ring Oscillator

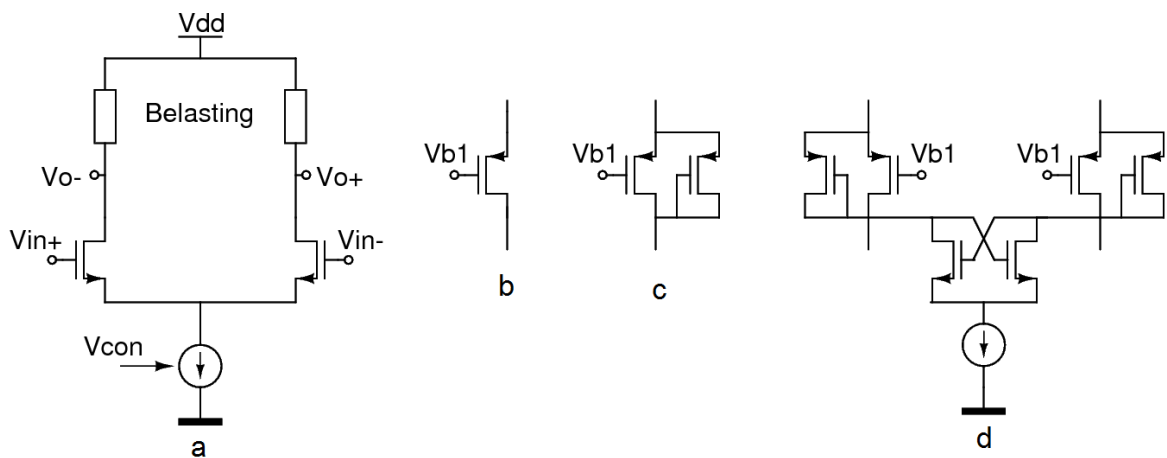
4.4.1 Algemene schakeling

Bij een differentiële ring oscillator wordt het signaal in de ring niet meer gedefinieerd t.o.v. de massa. Hier is het differentieel signaal tussen twee nodes belangrijk. Dit type oscillator heeft dezelfde voordelen als een differentiële versterker t.o.v. een single-ended versterker. Het grootste voordeel is de common mode onderdrukking. Ruissignalen op de voeding zullen naar beide knopen overgedragen worden, het gevolg hiervan is dat het verschilsignaal de ruiscomponent niet bevat. Een tweede voordeel t.o.v. de single-ended oscillator is dat het mogelijk is om een even aantal elementen te gebruiken. Dit kan gedaan worden door een extra inversie te voorzien, deze inversie gebeurt door twee draden om te draaien zodat het voor de ring een extra invertie is zonder vertraging. De koppeling tussen de verschillende differentiële elementen gebeurt zodanig dat er steeds een inverterende werking is (Figuur 4-23).



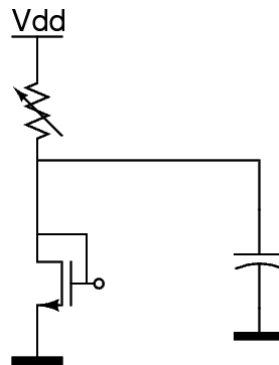
Figuur 4-23: Structuur differentiële ring oscillator

Elk element van de ring kan algemeen voorgesteld worden als Figuur 4-24a. De belasting stelt daar een algemene belasting voor. Figuur 4-24b-d zijn verschillende mogelijkheden om deze belasting uit te voeren. Er zal steeds een bijhorende instelschakeling aanwezig zijn om de spanning V_{b1} aan te maken. De frequentie zal bijgeregeld kunnen worden door de stroom te wijzigen. Het gevolg is dat bij een niet-variabele belasting de zwaai van de oscillatie gaat wijzigen. Dit is echter niet gewenst omdat de common mode spanning dan gaat veranderen. Het is de taak van de instelschakeling om de last zodanig aan te passen dat de zwaai ongeveer constant blijft.



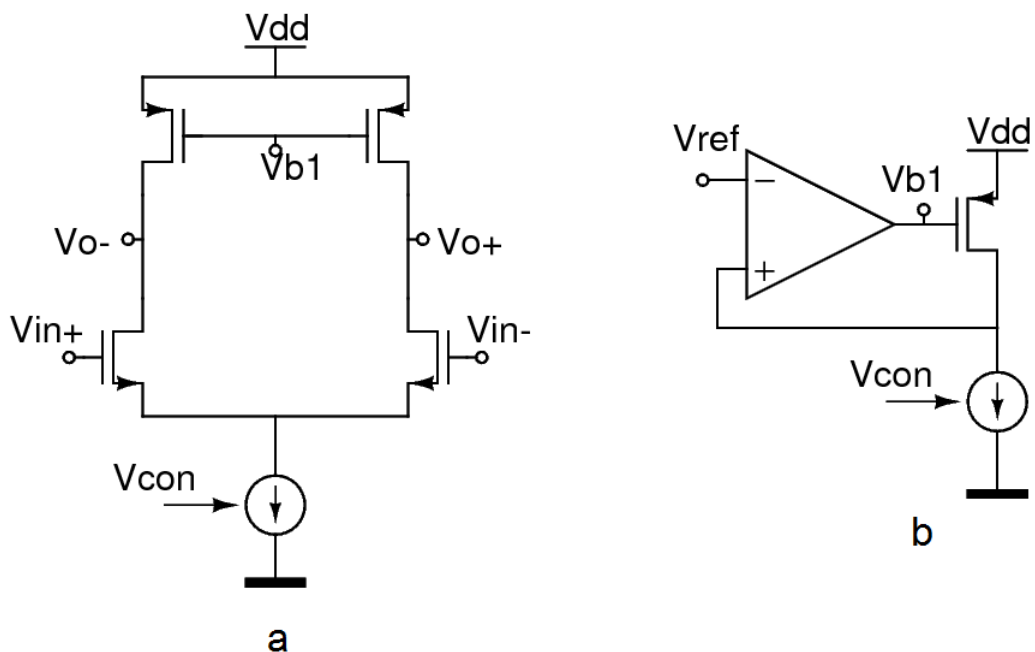
Figuur 4-24: a) Algemeen differentieel element b) Lineaire belasting c) Lineaire belasting met diode d) Lineaire belasting met diode en kruisgekoppelde belasting

De stroombron, die door V_{con} gestuurd wordt, zal uitgevoerd worden als een parallelschakeling van twee NMOS transistoren. Één NMOS zal een ruststroom halen uit een referentiestroom. In dit ontwerp is de referentiestroom $2\mu A$ die door een externe potmeter op chip komt (Figuur 4-25). De stroom is regelbaar door de potmeter. De gate van de diode is dan een vertrekpunt voor alle instelstromen in de schakeling. Het is belangrijk dat er parallel met de potmeter een grote condensator geplaatst wordt (parallelschakeling van verschillende decades). Het doel van deze potmeter is de witte ruis, die door de weerstand gemaakt wordt, zo klein mogelijk te houden. Typische waarden voor deze capaciteit, zodat de ruis geen invloed meer heeft, is $10\mu F$ (een capaciteit die dus nooit op chip geplaatst kan worden). De ruis is dan kT/C . Als C groter genomen wordt zal de ruis dalen, toch moet deze niet te groot gekozen worden. Als de ruis veel kleiner is dan de intern gegenereerde ruis, zal het vergroten van C geen invloed meer hebben. Deze stroombron is niet de meest nauwkeurige. Dit is hier echter niet nodig omdat de VCO opgenomen is in een PLL die voor de bijregeling zal zorgen.



Figuur 4-25: Aanmaak stroombron

4.4.2 Lineaire last



Figuur 4-26: Differentieel element met lineaire belasting

Het eerste type last in Figuur 4-26 is de lineaire belasting (Figuur 4-26a). De belasting zal bestaan uit een PMOS transistor met voldoende lage gatespanning. Het is niet mogelijk om dit te doen met een NMOS transistor omdat de drain al aan de voeding

hangt. De PMOS transistor zal ingesteld worden zodat deze als een weerstand gezien kan worden. Daarvoor moet $V_g \ll V_d$. Wanneer deze gatespanning (V_{b1}) constant gehouden wordt, zal bij een toename van de stroom, de oscillatiezwaai vergroten. Om dit tegen te werken zal er een instelschakeling met negatieve terugkoppeling aanwezig zijn om de weerstand aan te passen zodat de zwaai constant blijft. Deze instelschakeling is weergegeven in Figuur 4-26b [15].

De PMOS transistor die daar aanwezig is heeft dezelfde afmetingen als diegene in de ring. Door de negatieve terugkoppeling (let op, tussen V_{b1} en V_+ is al een inversie aanwezig) zal de spanning op de positieve klem van de opamp gelijk worden aan V_{ref} . Het gevolg is dat de weerstand die gezien wordt in de drain van de PMOS gelijk is aan

$$R_{drain} = \frac{V_{dd} - V_{ref}}{I}. \quad (4-33)$$

Hier is de stroom dezelfde als in het element van de ring. Dit betekent dat de minimale spanning vastligt op V_{ref} . Een typische waarde die voor V_{ref} gekozen werd was 914mV. Het is de bedoeling dat de NMOS drive-transistoren steeds in het saturatiegebied werken. Wanneer de ene uitgang V_{dd} is, zal de andere uitgang V_{ref} zijn. Dit betekent dat er een V_{gd} is op de drivers van $V_{dd} - V_{ref}$. Deze waarde zal kleiner moeten zijn dan de thresholdspanning van de NMOS. Hier komt direct het nadeel van de ring oscillator dat de zwaai in amplitude beperkt is tot V_T .

Voor de berekening van de oscillatiefrequentie, kunnen we aannemen dat er op beide uitgangen een vervangingscapaciteit geplaatst wordt. Deze capaciteit wordt bepaald door de gatecapaciteit van de NMOS transistor van het volgende element ($\sim WLCox$).

Een eerste berekening beschouwt het systeem volledig lineair. Er kan dan aan de uitgang een tijdsconstante gedefinieerd worden.

$$\tau = RC = \frac{V_{dd} - V_{ref}}{I(V_{con})} C \quad (4-34)$$

De frequentie is omgekeerd evenredig met deze tijdsconstante.

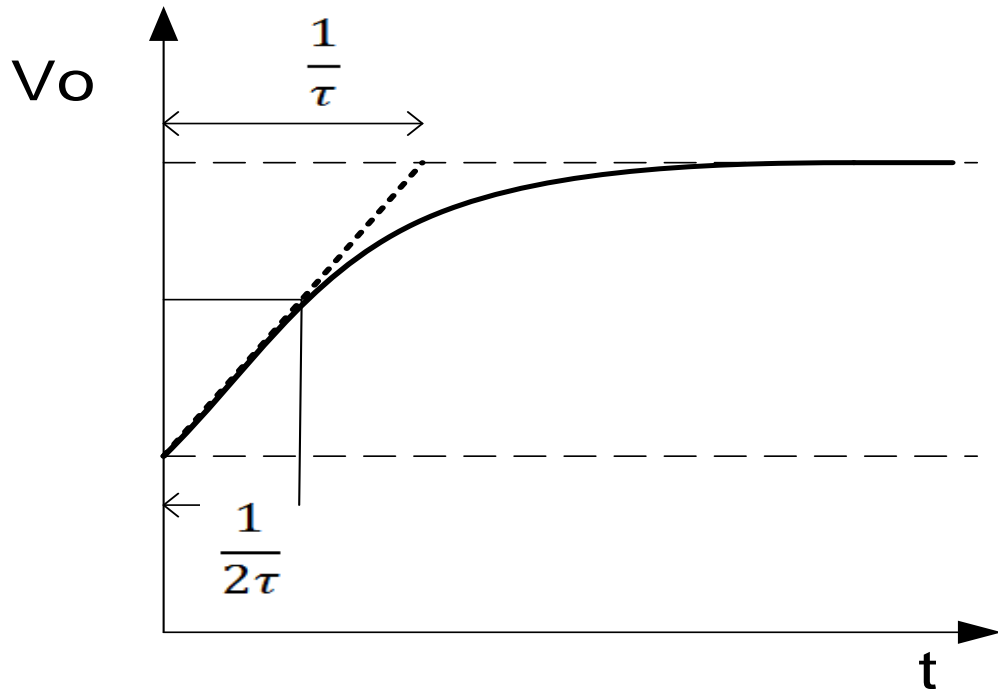
$$f \approx \frac{1}{N\tau} = \frac{I}{(V_{dd} - V_{ref})C} \quad (4-35)$$

Een andere mogelijkheid om de frequentie te berekenen is te werken met de vertragingstijd van het element. Om deze te berekenen, nemen we aan dat er een stap op de ingang aangelegd wordt. De tijd die nodig is om tot $V_{swing}/2$ te geraken (differentieel) is de vertragingstijd. Als de ingang volledig omklapt, zal er in de tegengestelde tak de volledige stroom vloeien. De tijd die nodig is om de uitgang van V_{dd} tot $V_{dd} - V_{swing}/2$ te doen dalen is

$$T_{pN} = \frac{C V_{swing}}{2I}. \quad (4-36)$$

Wanneer de stap in de andere richting gebeurt, zal de spanning moeten stijgen van $V_{dd} - V_{swing}$ tot $V_{dd} - V_{swing}/2$. Nu is de stroom in deze tak nul geworden en zal de oplading gebeuren door de lineaire weerstand. Ook al is deze oplading volgens een exponentiële curve, het eerste deel kan lineair benaderd worden. De tijd die nodig is om tot $V_{dd} - V_{swing}/2$ te komen is (Figuur 4-27)

$$T_{pP} = \frac{RC}{2} = \frac{V_{dd} - V_{ref}}{2I} C = T_{pN}. \quad (4-37)$$



Figuur 4-27: Vertragingstijd bij stijgende uitgang

De totale vertragingstijd is dan

$$T_{ptot} = T_{pN} + T_{pP} = \frac{C V_{swing}}{I}. \quad (4-38)$$

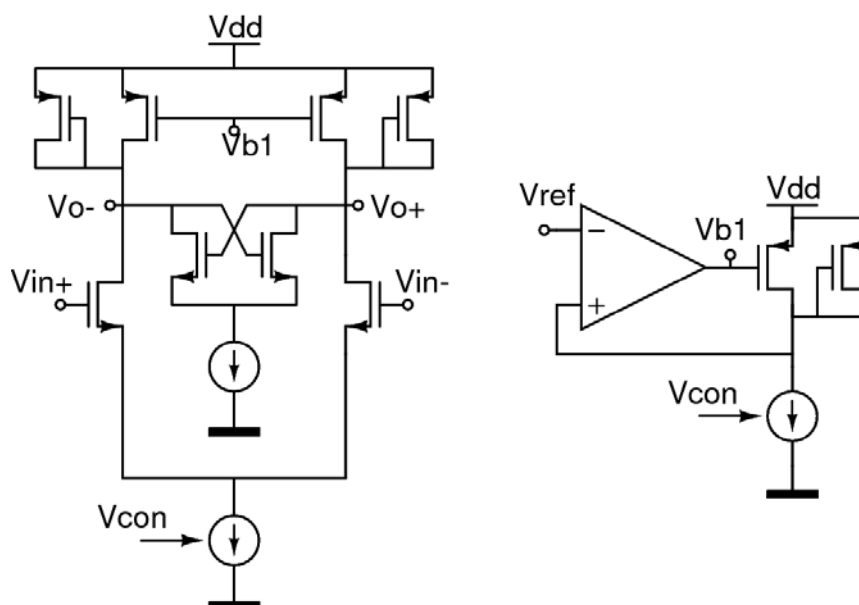
De frequentie is dan gelijk aan

$$f = \frac{1}{T_{ptot}} = \frac{I}{C V_{swing}}. \quad (4-39)$$

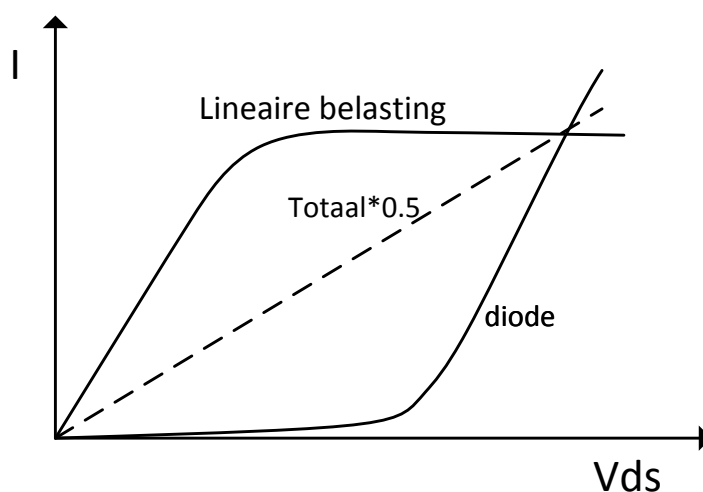
4.5 Gebruikte VCO

De gebruikte VCO is weergegeven in Figuur 4-28. Door het toevoegen van een kruisbelasting en de diode zal de oscillatiefrequentie weinig veranderen. In de simulaties werd steeds een kruisgekoppelde belasting gebruikt om de versterking te vergroten om een stabiele oscillatie te bekomen. Door de replica biasing zal de lineaire last zich aanpassen zodat de totale weerstand ongeveer dezelfde blijft. Het toevoegen van extra componenten zal de capaciteit wel doen stijgen.

De diode zal de niet-lineariteit van de "lineaire" last compenseren en een meer constante lineaire weerstand als belasting vormen (Figuur 4-29). De kruisgekoppelde belasting zal een positieve terugkoppeling vormen en de AC-weerstand zal beschouwd kunnen worden als een negatieve weerstand (4.2.2.3).



Figuur 4-28: Gebruikte differentieel element met replica biasing



Figuur 4-29: Invloed van diode op lineariteit

Een grotere transconductantie van de kruiskoppeling zal een grotere AC-versterking geven. Door de positieve terugkoppeling kan de transconductantie van het ingangspaar klein gehouden worden zodat de bijdrage van de kanaalruis naar de faseruis verminderd wordt. Toch zal de kruislast een bijdrage van kanaalruis hebben maar algemeen zal een verbeterde ruis zichtbaar zijn.

Omdat de stroom door de kruisbelasting veel kleiner is dan de instelstroom van het differentieel paar, kan de stroom hierdoor verwaarloosd worden. Er werd gekozen om de stroom door de diode en de lineaire last gelijk te nemen voor een ideale compensatie. De juiste berekening van de breedtes zijn bekomen door simulatie. Vervolgens werd de kruisgekoppelde belasting gekozen. De belasting zorgt voor een negatieve weerstand op de uitgang. Het gevolg is dat de uitgangsweerstand zal stijgen waardoor er minder transconductantie nodig is om voldoende versterking te hebben. De vervangingsweerstand van de kruisgekoppelde belasting is

$$R_{cross} = -\frac{2}{g_m}. \quad (4-40)$$

De betekenis van een negatieve weerstand kan verklaard worden uit het schakelgedrag van de belasting. Stel dat er aan de uitgang van een spanningsbron een weerstand aangesloten wordt. Als de uitgang gaat stijgen, zal de stroom op de uitgangsnode gaan stijgen. Hier echter is net het tegengestelde aan de gang. Als de ene uitgang stijgt, en de andere uitgang daalt, zal de stroom op de stijgende uitgang afnemen, omdat deze stroom gestuurd wordt door de dalende uitgang. Het gevolg is dat voor een stijging (daling) van de stroom een daling (stijging) van de stroom zichtbaar is.

Omdat de weerstand in (4-40) een weerstand tussen de twee uitgangsklemmen is, kan die opgesplitst worden in twee weerstanden met een halve waarde. Deze kunnen parallel gezien worden met de uitgang. De equivalente uitgangsweerstand van het differentieel paar is dan

$$R_{out} = R_{LD} / R_{cross} = \frac{R_{LD} R_{cross}}{R_{LD} + R_{cross}} = \frac{R_{LD}}{\frac{R_{LD}}{R_{cross}} + 1} = \frac{R_{LD}}{1 - R_{LD} g_m}. \quad (4-41)$$

Hierin is R_{LD} de weerstand van de belasting zonder kruiskoppeling en R_{cross} de weerstand van de kruiskoppeling ($-1/g_m$). De weerstand kan dus vergroot worden met de transconductantie van de kruislast. Hier moet opgelet worden dat deze voldoet aan volgende vergelijking:

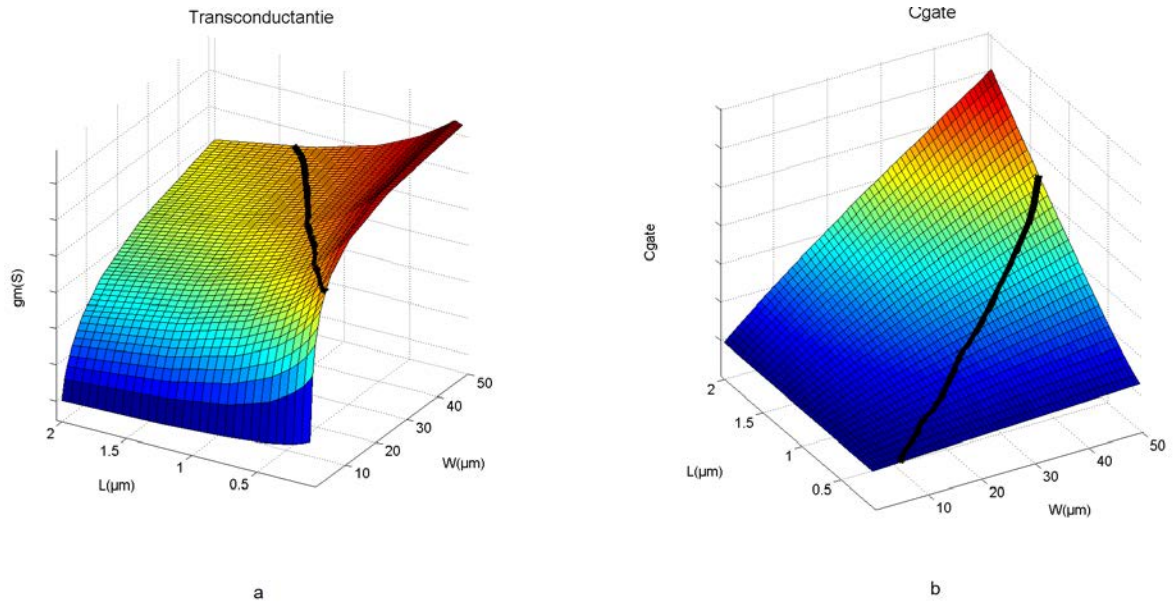
$$1 - R_{LD} g_m > 0 \rightarrow R_{LD} g_m < 1 \quad (4-42)$$

Wanneer hieraan niet voldaan is, zal het systeem niet meer voldoen aan de eigenschappen die hierboven besproken zijn.

Als de weerstand gekozen is kan de grootte van de ingangstransistor berekend worden. Hiervoor gelden twee vergelijkingen:

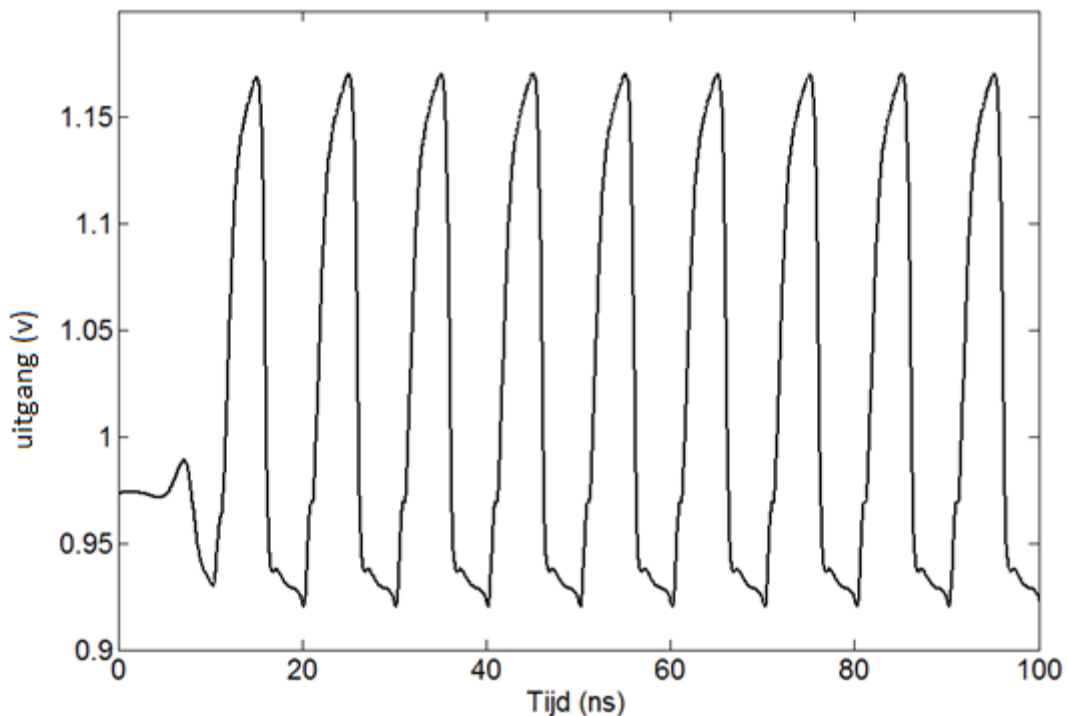
$$g_m R_{out} > 1 \text{ en } C_g R_{out} = \tau_{osc} \quad (4-43)$$

De eerste vergelijking geeft een minimum waarde voor g_m , de tweede vergelijking geeft een constante waarde voor de belastingscapaciteit, deze is bijna volledig gedomineerd door de gatecapaciteit van de volgende trap. Figuur 4-30a geeft de transconductantie van de ingangstransistor weer in functie van de afmetingen bij een constante stroom. De lijn die op de curve getekend is, is een lijn voor een constante g_m . Voor een gekende weerstand, kan een minimum g_m berekend worden. Er zijn verschillende W/L combinaties mogelijk voor eenzelfde g_m . De effectieve waarde voor g_m wordt bepaald door de gewenste gatecapaciteit. Dezelfde W/L curve is geïnterpoleerd op Figuur 4-30b. Op deze manier kan de waarde van W en L gekozen worden door een punt op die curve te kiezen. De uitgekomen waarden zijn enkel geldig voor het kleinsignaalgedrag. Voor grote signalen zal de oscillatiefrequentie iets kleiner zijn. De afmetingen kunnen dan tijdens simulatie nog aangepast worden.



Figuur 4-30: a) Transconductantie in functie van W en L bij een vaste stroom b) C_{gate} in functie van W en L . Zwarte lijn is constante g_m

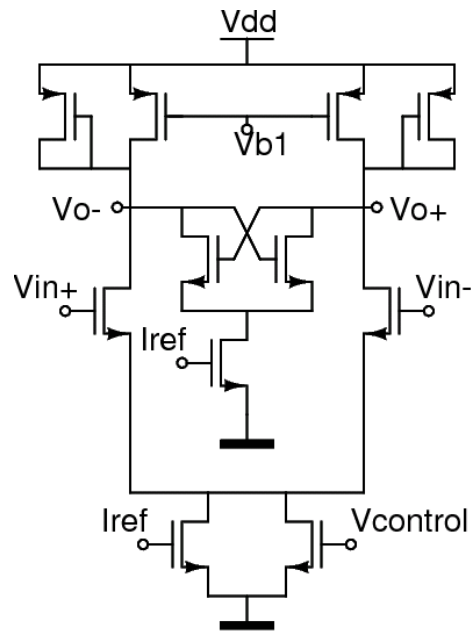
De VCO uit Figuur 4-28 werd geïmplementeerd en gesimuleerd. Deze simulatie is getoond in Figuur 4-31. De stroomspegel die de stroombron van het differentieel element stuurt werd gekozen zodat er een stroom van $100\mu\text{A}$ vloeit bij een controle spanning van 0.6V , net de halve voedingsspanning. Op dit moment is er ook op de uitgang van de charge pump (zie 6.3) de halve voedingsspanning aanwezig wat een beste matching teweeg brengt.



Figuur 4-31: Simulatie van de golfvorm van de gebruikte VCO

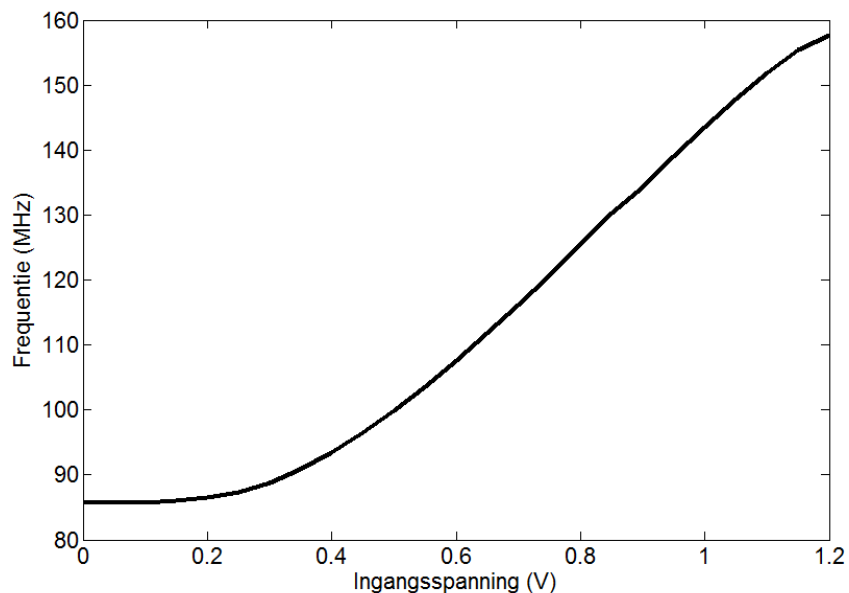
In principe is het een combinatie van een stroomspegel en een spanningsgestuurde stroombron die het differentieel element stuurt. (Figuur 4-32) Wanneer de controlespanning nul is, zal de spanningsgestuurde stroombron uit staan en is de stroom die loopt de ruststroom uit de vaste stroomspegel. De oscillatiefrequentie is

dan 84MHz. Als de spanning vergroot wordt, zal de stroom door de stroombron groter worden waardoor ook de frequentie toeneemt. Beide bronnen worden op elk van de acht differentiële elementen geplaatst en op de replica biasing, zodat deze dezelfde stroom voert, anders heeft dit geen effect.



Figuur 4-32: Differentieel element met stroombronnen

Een simulatie van verschillende frequenties is weergegeven in Figuur 4-33. De kwadratische eigenschap van een MOS stroombron is zichtbaar in de karakteristiek.



Figuur 4-33: Simulatie van de frequentie bij een variërende ingangsspanning

4.6 Faseruis

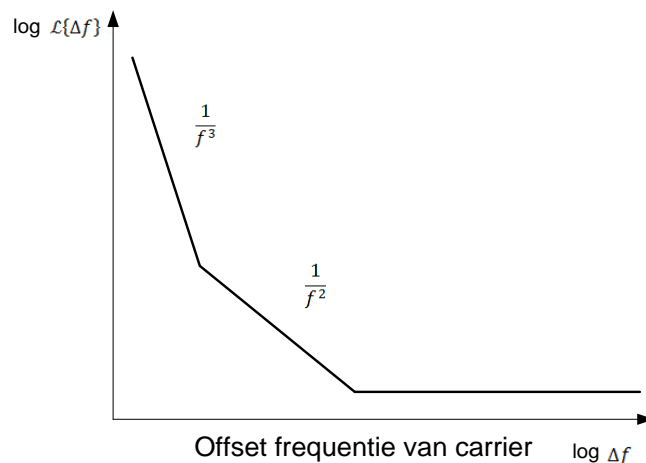
Een ideale oscillator kan beschreven worden als een sinus met constante frequentie en vaste beginfase. In de praktijk zal (zoals besproken werd in 3.4) dit echter niet het geval zijn. Een ideale oscillator heeft in het frequentiedomein als PSD een dirac impuls.

Dit is enkel wanneer de frequentie constant is. Wanneer er door ruis fasevariaties zijn (en dus ook frequentievariaties), zal het spectrum geen perfecte impuls meer zijn maar zal het spectrum breder worden rond de oscillatiefrequentie. Er wordt dan gesproken van "skirts" in het spectrum. Vanzelfsprekend moeten deze skirts best zo klein mogelijk zijn.

De faseruis wordt gedefinieerd als

$$\mathcal{L}(\Delta f) = \frac{S_V(\Delta f)}{P_{\text{signaal}}} \quad [\text{dBc}].$$

Dit wordt uitgedrukt in dBc, dit is dB's onder de carrier, of het vermogen van de ruis t.o.v. de carrier. De faseruis zal ook frequentieafhankelijk zijn. Een algemene vorm van de faseruis is weergegeven in Figuur 4-34. Hierin zijn verschillende gebieden zichtbaar. Het eerste gebied is het $\frac{1}{f^3}$ gebied. Deze ruis is afkomstig van de $\frac{1}{f}$ ruis uit de transistoren. We kunnen aannemen dat de ruis van de devices vermenigvuldigd wordt met een shaping functie die de vorm heeft van $\frac{K}{f^2}$, deze functie wordt berekend in 4.6. Hierdoor zal witte ruis die door de transistoren opgewekt wordt, op de uitgang van de VCO zichtbaar zijn als $\frac{1}{f^2}$ faseruis. Dit gebied kan goed analytisch berekend worden en zal vaak een vergelijking met andere oscillatoren vormen.

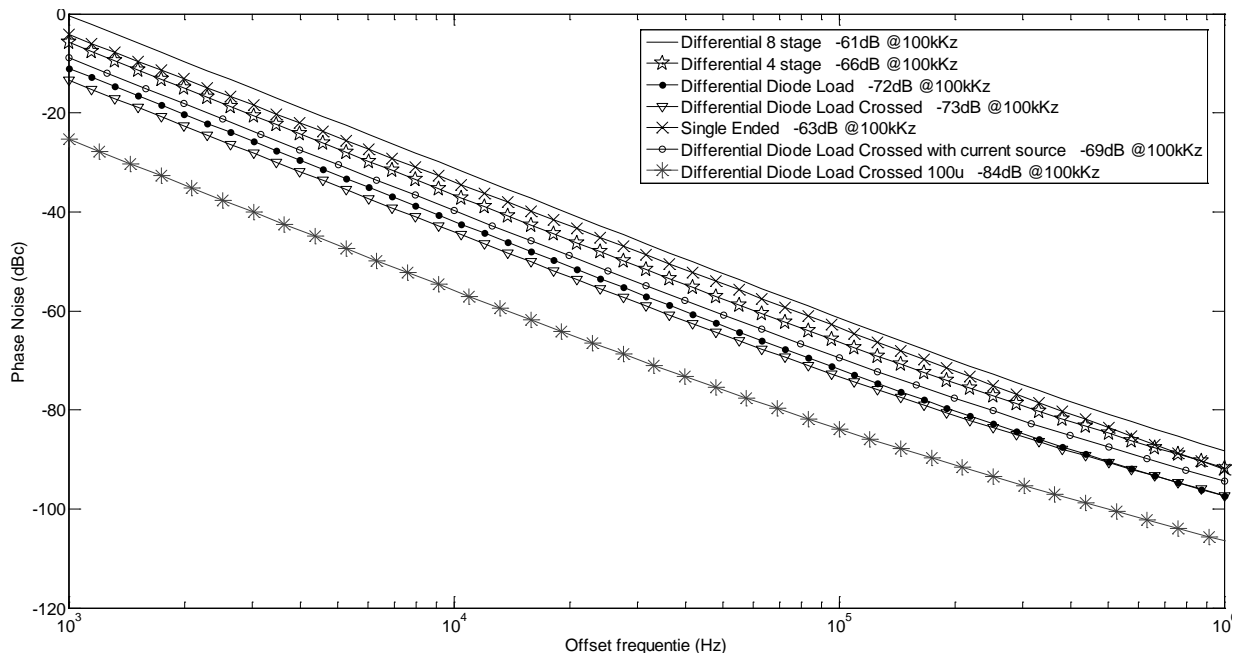


Figuur 4-34: Faseruis in een oscillator

Om de faseruis in het $\frac{1}{f^2}$ gebied te berekenen kunnen twee methodes gebruikt worden. De eerste methode is een lineair model (4.6.1), de tweede methode (4.6.2) gebruikt een impulsrespons die benaderd of gesimuleerd kan worden. Beide methodes zullen toegepast worden op de oscillatoren.

Figuur 4-35 toont een vergelijking van de faseruis van de verschillende oscillatoren die gesimuleerd werden. De instelstroom is $10\mu\text{A}$ tenzij anders vermeld. Zoals te zien is zal een oscillator met 4 elementen een lagere faseruis hebben dan 8 elementen. Toch zal een oscillator met 8 elementen gekozen worden omdat anders de toegevoegde jitter in de digital-to-time converter zal toenemen en de totale ruis groter wordt. De eerste twee hebben enkel een lineaire last, de derde heeft ook een diode in de belasting en de vierde heeft ook een kruisbelasting welke de beste blijkt te zijn voor die instelstroom. Ook een single-ended versie is weergegeven die geïmplementeerd is met een current-starved inverter met een schakelstroom van $10\mu\text{A}$. Deze presteert het minst en wordt niet gebruikt. Door het vergroten van de stroom naar $100\mu\text{A}$ zal een afname van de faseruis zichtbaar zijn zoals de laatste. De eerste vier implementaties gebruikten een

ideale stroombron als instelling. De zesde simulatie heeft de implementatie van de stroombron meegerekend en zorgt voor een kleine toename van de ruis.



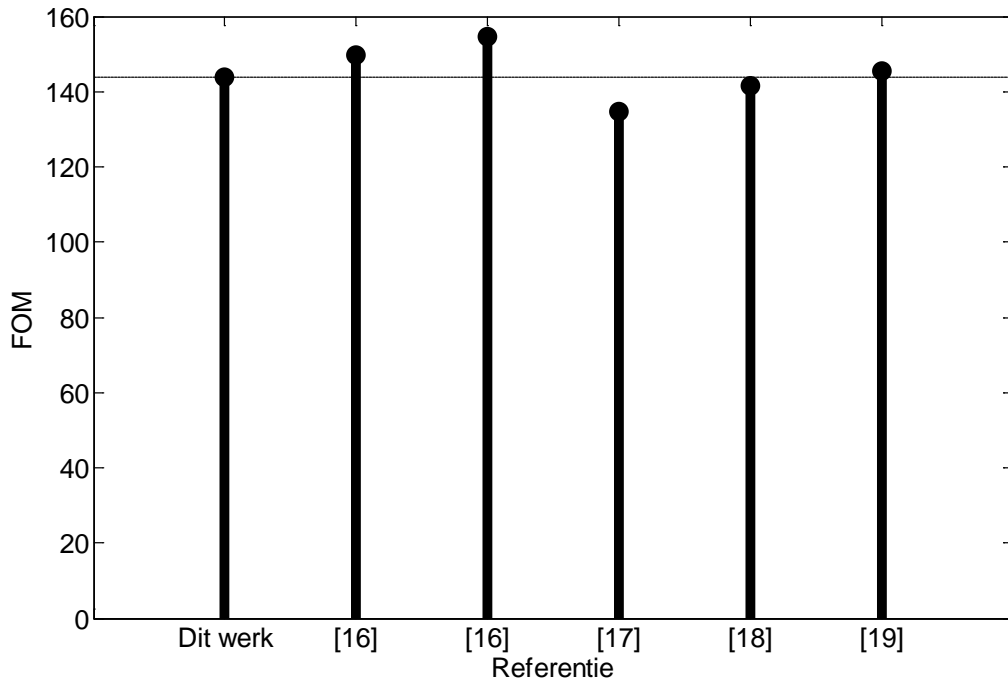
Figuur 4-35: Vergelijking faseruis van verschillende oscillatoren

Verder wordt de oscillator nog vergeleken met andere ring oscillatoren (Tabel 4-2 en Figuur 4-36). De FOM die gebruikt wordt is

$$FOM = -L + 20 \log \left(\frac{f_{center}}{f_{off}} \right) - 10 \log(P_{mw}). \quad (4-44)$$

Tabel 4-2: FOM vergelijking.

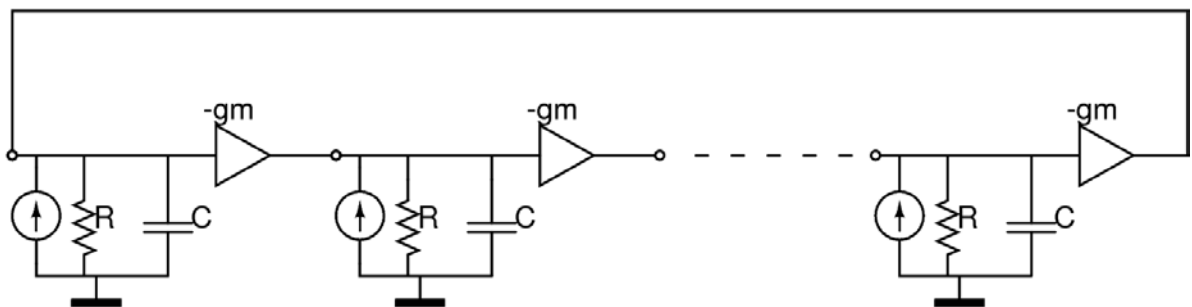
Referentie	Faseruis	Centerfrequentie	P(mW)	FOM(dB)
Dit werk	-104 @ 1MHz	100MHz	1,04	144
[16]	-85,3 @ 1MHz	5000MHz	9	149
[16]	-81.5 @ 1 MHz	10100MHz	5.1	154
[17]	-82 @ 1MHz	5000MHz	135	134
[18]	-90 @600kHz	900MHz	16	141
[19]	-82 @ 1MHz	370MHz	0.06	145



Figuur 4-36: FOM vergelijking

4.6.1 Lineair model

Een ring oscillator kan bekeken worden als een lineair systeem. Er wordt vanuit gegaan dat de oscillatie een zuivere sinus is. Op deze manier kan de ring oscillator voorgesteld worden zoals Figuur 4-37. De vorige trap stuurt zijn uitgangsweerstand R en de uitgangscapaciteit C die vooral de ingangscapaciteit van de volgende trap is. De spanning op de ingang van een element wordt door het ingangspaar omgezet in een uitgangsstroom door zijn transconductantie. Voor de versterkers die getekend zijn geldt dat de ingang een spanning is en de uitgang een stroom. Het model van de faseruis zal opgesteld worden door een uitgang op de ring te kiezen, en de transferfunctie te berekenen waarmee elke ruisbron vermenigvuldigd moet worden om de ruis op de uitgang te krijgen.



Figuur 4-37: Voorstelling van het lineair model van een ring oscillator

Omdat elke ruisbron niet gecorreleerd is met de andere, kan superpositie toegepast worden en de oscillator kan dan beschouwd worden als een systeem met negatieve terugkoppeling. De transferfunctie hiervan is steeds

$$H(s) = \frac{H_{OL}(s)}{1 + H_{OL}(s)} \quad (4-45)$$

In (4-45) is H_{OL} de open lus versterking van de ring. H_{OL} is dus de functie waarmee de ruis vermenigvuldigd moet worden om de effectieve invloed op de uitgangsknoop te kennen. Het $\frac{1}{f^2}$ gebied kan eenvoudig berekend worden door een eerste orde benadering te maken van $H(s)$ [20].

$$H_{OL}(\omega_0 + \Delta\omega) \approx H_{OL}(\omega_0) + \Delta\omega \left. \frac{dH_{OL}(\omega)}{d\omega} \right|_{\omega \rightarrow \omega_0} \quad (4-46)$$

Dit kan ingevuld worden in (4-45).

$$H(\omega_0 + \Delta\omega) \approx \frac{H_{OL}(\omega_0) + \Delta\omega \left. \frac{dH_{OL}(\omega)}{d\omega} \right|_{\omega \rightarrow \omega_0}}{1 + H_{OL}(\omega_0) + \Delta\omega \left. \frac{dH_{OL}(\omega)}{d\omega} \right|_{\omega \rightarrow \omega_0}} \quad (4-47)$$

Voor een oscillator die oscilleert op ω_0 zal $1 + H_{OL}(\omega_0) = 0$ (Barkhausen criterium). Vaak zal ook $\left| \Delta\omega \left. \frac{dH_{OL}(\omega)}{d\omega} \right|_{\omega \rightarrow \omega_0} \right| < 1$ zodat deze weggelaten kan worden. (4-47) kan dus vereenvoudigd worden tot

$$H(\omega_0 + \Delta\omega) \approx \frac{H_{OL}(\omega_0)}{\Delta\omega \left(\left. \frac{dH_{OL}(\omega)}{d\omega} \right|_{\omega \rightarrow \omega_0} \right)}. \quad (4-48)$$

H is een verhouding van stroom op stroom. Om de spanning op de knoop te kennen moet de transferfunctie nog vermenigvuldigd worden met de impedantie op de knoop zodat (4-48) herleid kan worden tot

$$\frac{v_n(\omega_0 + \Delta\omega)}{i_n(\omega_0 + \Delta\omega)} \approx \frac{H_{OL}(\omega_0)}{\Delta\omega \left(\left. \frac{dH_{OL}(\omega)}{d\omega} \right|_{\omega \rightarrow \omega_0} \right)} Z(\omega_0). \quad (4-49)$$

We nemen in (4-49) aan dat $Z(\omega_0 + \Delta\omega) \approx Z(\omega_0)$ omdat er geen resonante circuits gebruikt worden. Voor een ring oscillator kan één element bekeken worden met een transferfunctie van

$$H_{element}(s) = \frac{i_{out}}{i_{in}}(s) = -g_m Z(s) = -\frac{g_m R}{1 + RCs}. \quad (4-50)$$

In (4-50) zal $g_m R$ de laagfrequente versterking zijn en $\angle \frac{1}{1 + RCj\omega} = \frac{180^\circ}{8}$ voor een 8 elementen differentiële oscillator. Hieruit kan besloten worden dat $RC\omega = \tan\left(\frac{180^\circ}{8}\right) = 0.414$ dus

$$H_{element}(s) = \frac{i_{out}}{i_{in}}(s) = -g_m Z(s) = -\frac{A_{v0}}{1 + \frac{0.414}{\omega_0} s}. \quad (4-51)$$

Voor de totale open lus geldt $H_{OL}(s) = (H_{element}(s))^8$.

$$\overline{v_{n_{out}}}^2(\Delta\omega) = \frac{|H_{OL}(\omega_0)|^2}{\Delta\omega^2 \left| \left. \frac{dH_{OL}(\omega)}{d\omega} \right|_{\omega \rightarrow \omega_0} \right|^2} |Z(\omega_0)|^2 \cdot \overline{i_n}^2 \quad (4-52)$$

De faseruis in dBc is dan te schrijven als¹

$$\mathcal{L}(\Delta\omega) = 10 \log \left(\frac{\overline{v_{n_{out}}^2}(\Delta\omega)}{\overline{v_{out}}^2} \right). \quad (4-53)$$

Hierin is $\overline{v_{out}}^2$ het vermogen van de oscillatie. In (4-52) is $\overline{i_n}^2$ de totale stroom van alle ruisbronnen. Zowel kanaalruis als thermische ruis wordt in rekening gebracht. Voor de gebruikte oscillator gelden de waarden van Tabel 4-3.

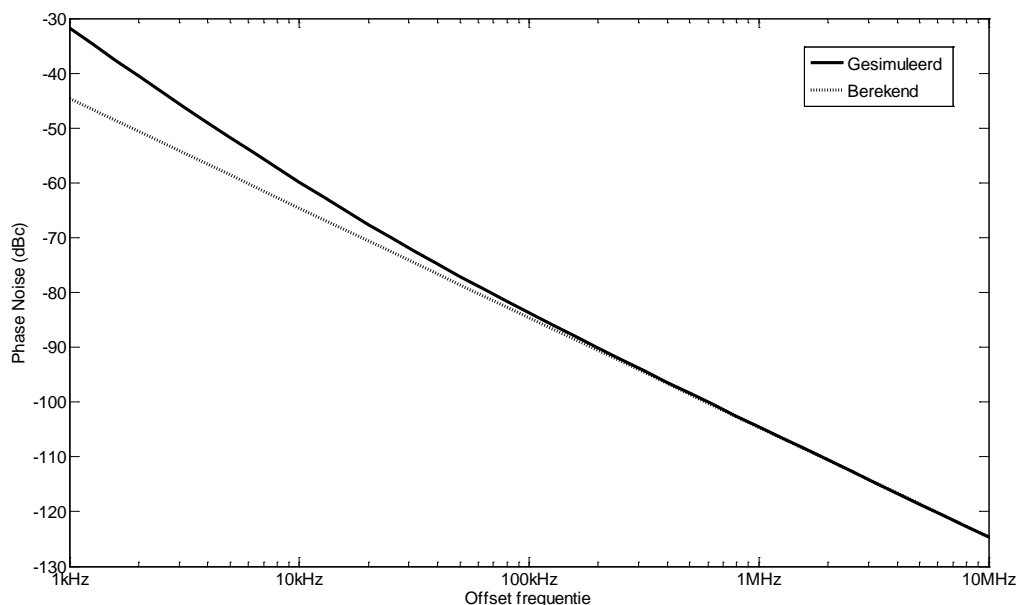
Tabel 4-3: Waarden van de gebruikte oscillator

A_v	2,04
$g_m; \text{Ingangspaar}$	938 μS
R	$\frac{A_v}{g_m} = 2,177 \text{ k}\Omega$
$\overline{i_{n; \text{Ingangspaar}}}^2$	$4kT\gamma g_m = 9,7 \cdot 10^{-24} \frac{\text{A}^2}{\text{Hz}}$
$\overline{i_{n; R}}^2$	$\frac{4kT}{R} = 7,1 \cdot 10^{-24} \frac{\text{A}^2}{\text{Hz}}$
$\overline{i_{n; \text{totaal}}}^2$	$8 \cdot 2 \cdot \left(4kT\gamma g_m + \frac{4kT}{R} \right)$

De extra 2 in Tabel 4-3 bij $\overline{i_{n; \text{totaal}}}^2$ komt omdat er in een differentieel paar twee belastingen en ingangstransistoren zijn. Figuur 4-38 toont de overeenkomst tussen de berekeningen en de simulatie. De berekening geldt alleen in het $\frac{1}{f^2}$ gebied. Het $\frac{1}{f^3}$ gebied is afkomstig van up-geconverteerde $\frac{1}{f}$ ruis, vaak afkomstig van de stroombron die het differentiële element stuurt. Door de oscillator zal de $\frac{1}{f^3}$ corner ook kunnen verschuiven zodat die niet hetzelfde is als de $\frac{1}{f}$ corner. Dit is afhankelijk van de symmetrie van de oscillatie, als de stijgende en dalende flank weinig verschillen, zal de $\frac{1}{f^3}$ corner kleiner worden.

Een ruissamenvatting kan gesimuleerd worden en is weergegeven in Tabel 4-4. Volgens de berekeningen is de ruis van het ingangspaar verantwoordelijk voor $\frac{4kT\gamma g_m}{4kT\gamma g_m + \frac{4kT}{R}} = 57\%$ van de ruis. Dit komt goed overeen met de simulaties. De bijdrage van de belasting is kleiner dan berekend (2%). Waarschijnlijk is dit een afwijking door een onnauwkeurige γ .

¹ $\left| \frac{dH_{OL}(\omega)}{d\omega} \right|_{\omega \rightarrow \omega_0}$ werd in analytisch in mathcad berekend en hiervoor werd een vaste waarde in MATLAB geïmporteerd.



Figuur 4-38: Faseruis vergelijking tussen gesimuleerde en berekende waarden

Tabel 4-4: Ruissamenvatting

Transistor	% bijdrage
Ingangspaar	55%
Belasting	30%
Lineaire belasting	16%
Diode belasting	13%
kruiskoppeling	<1%
Stroombron	11%

4.6.2 ISF model

Het model in 4.6.1 ging er vanuit dat het signaal een perfecte sinus is. In het model dat nu besproken wordt, is dat helemaal niet het geval. Er kan een willekeurige golfvorm aanwezig zijn in de oscillator. Nu wordt er gebruik gemaakt van een impulsrespons. Door een signaal (ruis) te convolueren met de impulsrespons, kan het uitgangssignaal bekomen worden. Het doel is om een impulsrespons te vinden die de faseverandering weergeeft wanneer er een impulsstroom (ladingsplaatsing) op één van de lijnen van de oscillator geplaatst wordt. Uit deze impulsrespons wordt de Impulse Sensitivity Function (ISF) gehaald [21]. Deze is net een schaalfactor anders.

Wanneer er een hoeveelheid lading geplaatst wordt op één van de nodes van de oscillator zal er een faseverandering optreden. Deze faseverandering is afhankelijk van het moment waarop de lading geplaatst wordt. Als de impuls tijdens een maximum optreedt, dan zal de hoeveelheid fasedraaiing minimaal zijn. Wanneer de impuls optreedt tijdens een flank, zal de fasedraaiing maximaal zijn. Dit omdat deze afhankelijk is van de helling van het signaal. De fasedraaiing na een stroomimpuls met lading Δq is

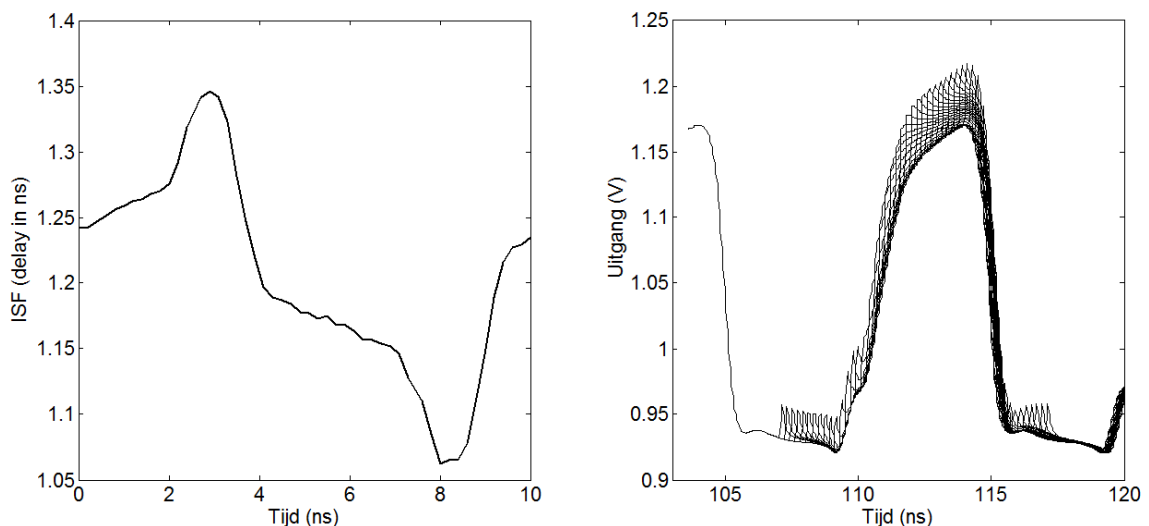
$$\Delta\phi = h_{\phi}(t, \tau)\Delta q(\tau). \quad (4-54)$$

Zoals blijkt uit (4-54) zal de faseverandering evenredig zijn met de lading en met de impulsrespons die functie is van de moment waarop de impuls optreedt. Deze variabele is τ . Intuitief kan al gesteld worden dat de $h_{\phi}(t, \tau)$ periodisch is in τ . Door een ladingstoevoeging springt de fase omhoog (of omlaag). Daarom kunnen we $h_{\phi}(t, \tau)$ schrijven als

$$h_{\phi}(t, \tau) = \frac{\Gamma(\omega_0 t)}{q_{\max}} u(t - \tau). \quad (4-55)$$

$\Gamma(\omega_0 t)$ wordt de ISF genoemd, die periodisch is. Deze wordt meestal op de x-as voorgesteld als fase in plaats van tijd. De ISF geeft de gevoeligheid van de fase weer voor een impulsstroom, de eenheidsstap geeft aan dat de fase een sprong maakt tijdens de ladingstoevoeging en q_{\max} is de hoeveelheid lading die per zwaai verplaatst wordt. $\Gamma(\omega_0 t)$ is echter niet analytisch te berekenen voor een ring oscillator. Deze kan wel gesimuleerd worden. Tijdens de simulaties wordt er op de knoop van de oscillator een stroompuls geplaatst. Deze moet een impulsstroom nabootsen maar dit is echter niet volledig mogelijk, daarom wordt er een korte puls opgeplaatst.

De vorm van de toegevoegde puls is echter niet belangrijk als hij kort genoeg is. Meer van belang is de hoeveelheid lading die tijdens de puls op de node geplaatst wordt. Voor een rechthoekige puls is dit simpelweg de stroom vermenigvuldigd met de lengte van de puls (oppervlakte). Door de stroompuls op verschillende momenten te starten (verschillende starttijdstippen) kan de invloed bekeken worden. Figuur 4-39b toont de uitgang van de oscillator, wanneer er op verschillende momenten een stroom van $100\mu\text{A}$ toegevoegd wordt gedurende 100ps . Door een referentieoscillator te starten die niet verstoord wordt door de stroomimpulsen, kan het tijdsverschil gemeten worden tussen de flanken. Dit tijdsverschil is weergegeven in Figuur 4-39a. Deze heeft al de vorm van de ISF maar de schalen zijn niet juist.



Figuur 4-39: a) Tijdsvertraging van de oscillator t.o.v. een referentie b) Impulsstromen op verschillende tijdstippen

De functie moet op een gemiddelde waarde van nul gebracht worden en het tijdsverschil moet omgezet worden naar een faseverschil ($\omega.t$). Ook moet de gesimuleerde waarde nog gedeeld worden door de hoeveelheid lading die in de puls zat omdat $h_{\phi}(t, \tau)$ de impulsrespons is voor 1C lading die plots op de lijn geplaatst wordt. Nu is de functie die bekomen wordt $h_{\phi}(t, \tau)$. Ook de x-schaal kan aangepast worden zodat deze varieert tot 2π .

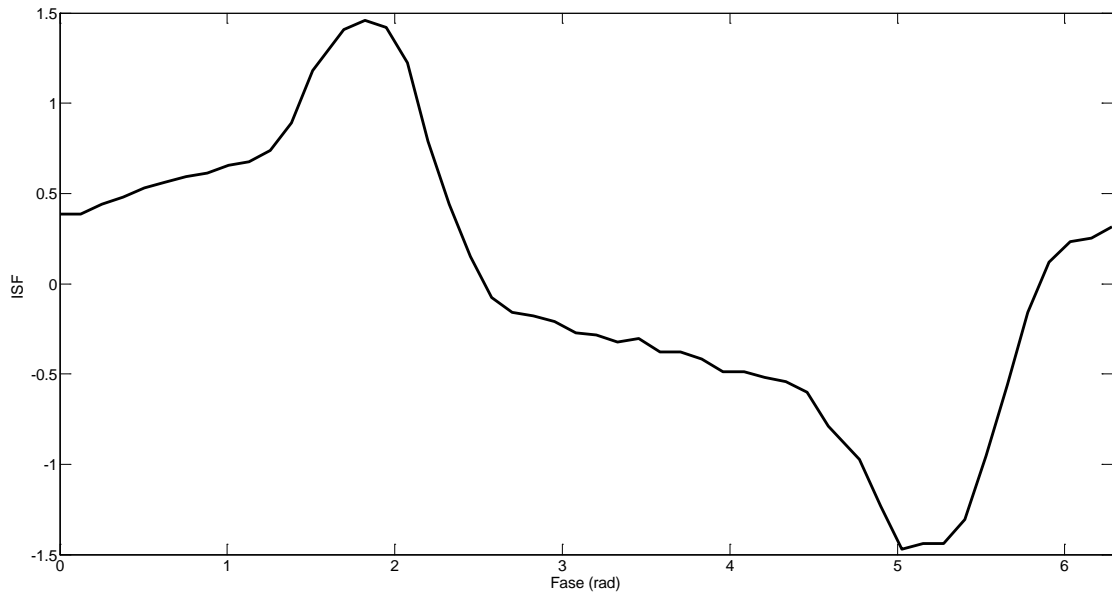
Hieruit kan ook de ISF berekend worden, uit (4-55) zien we dat $h_{\phi}(t, \tau)$ vermenigvuldigd moet worden met q_{\max} . Dit is de hoeveelheid ladingsverplaatsing tijdens een zwaai van de oscillator en wordt berekend door de nodecapaciteit te vermenigvuldigen met de zwaai (x2 omdat er twee nodes bewegen). Figuur 4-40 toont de ISF functie. De maximum waarde hiervan is ongeveer 1,5. De hoeveelheid fasedraaiing door een willekeurige stroom, kan berekend worden door de convolutie met $h_{\phi}(t, \tau)$.

$$\phi(t) = \int_{-\infty}^{\infty} h_{\phi}(t, \tau) i(\tau) d\tau = \int_{-\infty}^t \frac{\Gamma(\omega_0 t)}{q_{\max}} i(\tau) d\tau \quad (4-56)$$

In (4-56) worden de integratiegrenzen aangepast door de staprespons die start vanaf t. Van deze functie kan de fouriergetranformeerde genomen worden en omgevormd worden naar faseruis wanneer voor i de ruisstroom genomen wordt [21]. De faseruis op een offset frequentie f is gegeven door

$$\mathcal{L}(\Delta f) = 10 \log \left(\frac{\Gamma_{\text{rms}}^2 \Gamma_n^{-2}}{q_{\max}^2 8\pi^2 f_{\text{off}}^2} \right). \quad (4-57)$$

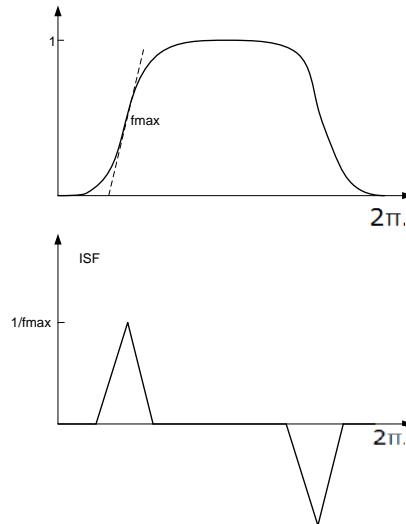
Opmerking: In principe zou de berekende integraal in 8 stukken opgedeeld moeten worden waar $\Gamma\left(\omega_0 t + \frac{2k\pi}{N}\right)$ voor de k-de integraal gebruikt wordt. Omdat de ruis wit aangenomen wordt en volledig ongecorreleerd is met de rest, kan dit weggelaten worden. Wanneer bijvoorbeeld substraat- en voedingsruis bekeken wordt moet dit wel gedaan worden.



Figuur 4-40: ISF functie

De functie uit (4-57) bevat enkel Γ_{rms}^2 . Deze waarde kan ook eenvoudig benaderd worden door [21]

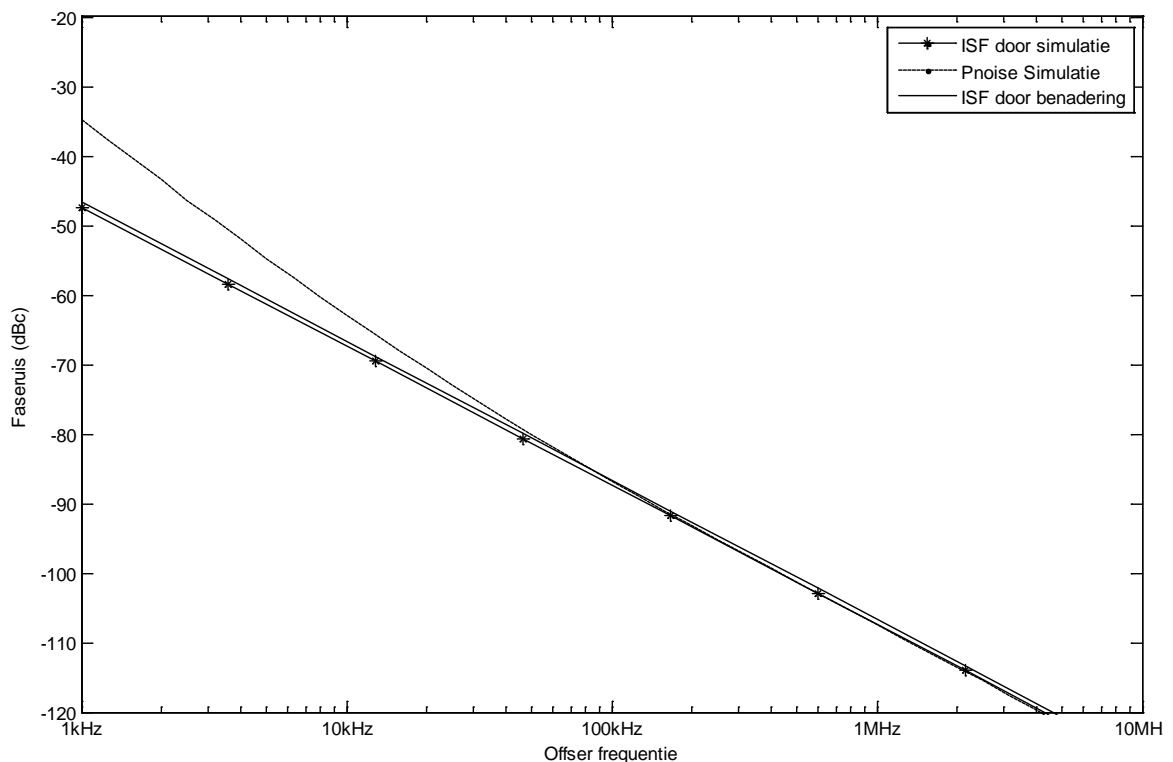
$$\Gamma_{\text{rms}}^2 = \frac{2}{3\pi} \left(\frac{1}{f_{\text{max}}} \right)^3. \quad (4-58)$$



Figuur 4-41: ISF benadering

f'_{max} in (4-58) is de maximale steilheid van de golfvorm als deze omgevormd wordt met een amplitude van 1 en de x-schaal een faseschaal is (Figuur 4-41). f'_{max} kan door de steilheid van de golf gehaald worden. Uit de simulaties blijkt dat de slope (S) gelijk is aan $1,19e8$ V/s. Deze moet eerst gedeeld worden door 0,28 (amplitude) en gedeeld door $2\pi\omega$ omdat de x-as naar fase omgezet wordt. De verkregen f'_{max} is 0,676. $\frac{1}{f'_{max}}=1,47$. Dit is net de maximum waarde van de ISF (Figuur 4-40). (4-58) werd bepaald door de ISF te benaderen met een driehoek, met hoogte $\frac{1}{f'_{max}}$ en breedte $\frac{1}{2f'_{max}}$.

Figuur 4-42 toont de faseruis in vergelijking met de simulatie. Deze sluit goed bij elkaar, ook de benadering van de ISF met een rechthoek wijkt weinig af.



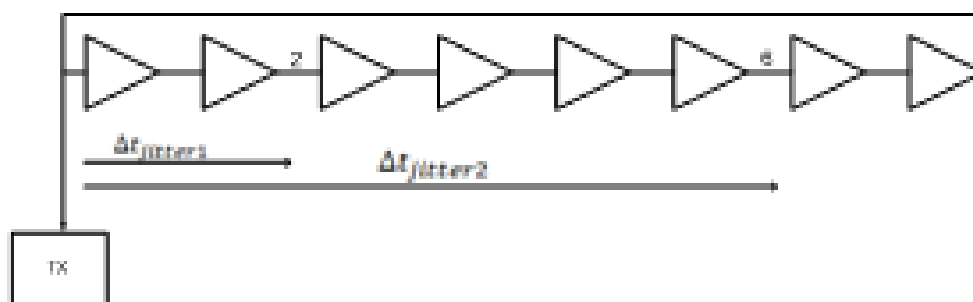
Figuur 4-42: Faseruis vergelijking met simulatie

4.7 Jitter

De jitter in de oscillator kan op twee manieren bekeken worden. De eerste manier is de fase vergelijken met een referentieklok die de PLL gebruikt. De tweede manier is de VCO te bekijken als een loslopende oscillator (ook al is deze door een PLL in lock). De jitter, die toegevoegd wordt tijdens één periode, kan hierdoor bekeken worden. Deze jitter is typisch kleiner dan de jitter t.o.v. een referentie klok. Voor veel toepassingen is de eerste vorm de belangrijkste. Hier kan toch de tweede vorm gebruikt worden wat toch een vermindering geeft.

Wanneer de transmitter van het systeem (pulsgenerator) niet gestuurd wordt door de referentieklok, maar door de eerste fase van de VCO, wordt elke periode de jitter terug op nul gezet. Dit komt omdat de vertraging, die toegevoegd wordt, afhankelijk is van het vertrekken van de puls. De eerste fase wordt als trigger gekozen om de puls te verzenden. Stel dat door ruis de eerste fase 1ps vroeger optreedt, dan zal de tweede fase en volgende ook 1ps later zijn, maar ook de uitgestuurde puls zal later uitgezonden zijn. Dit heft elkaar op. Als de puls uitgestuurd zou worden op de referentieklok dan was de jitter t.o.v. de referentieklok belangrijk. Het voordeel om de eerste fase als trigger te gebruiken is dat de werkelijke jitter dus kleiner zal zijn.

Wanneer de puls op de eerste fase vertrekt, en de multiplexer selecteert een van de eerste fasen (dicht bij de trigger fase), dan zal de geaccumuleerde jitter nog kleiner zijn dan de jitter tijdens één periode. Dit is weergegeven in Figuur 4-43. Toch zal er gewerkt worden met de jitter tijdens één periode. Dit geeft dan steeds het slechtste geval.



Figuur 4-43: Accumulatie van jitter in de ring

Voor de gebruikte ring oscillator kan een ruisanalyse gedaan worden. De jitter voor één periode is gelijk aan 2,8ps. Dit betekent dat wanneer er op de eerste fase een stijgende flank is, er na één periode 2,8ps onzekerheid is op de stijgende flank op dezelfde fase. Omdat vervolgens op diezelfde flank de transmitter getriggerd wordt, is de jitter die daarvoor optrad niet meer van belang.

4.8 Uitgangsbuffer

Wanneer enkel de VCO gemaakt wordt, zal een node naar buiten gebracht moeten worden. Hier treden twee problemen op:

- Uitgangscapaciteit
- Impedantie van de meettoestellen

De uitgangscapaciteit waarmee de VCO belast wordt zorgt ervoor dat niet elk element in de ring eenzelfde capaciteit ziet. Dit is niet gewenst. Hierdoor zal een buffer geplaatst moeten worden die steeds groter wordt zodat die de VCO bijna niet zal belasten. Een tweede probleem is de ingangsimpedantie van de meettoestellen. Laagfrequentie oscilloscopen hebben typisch een ingangsimpedantie van 100M Ω . Deze hebben echter een bereik tot een aantal honderden MHz. De meettoestellen die

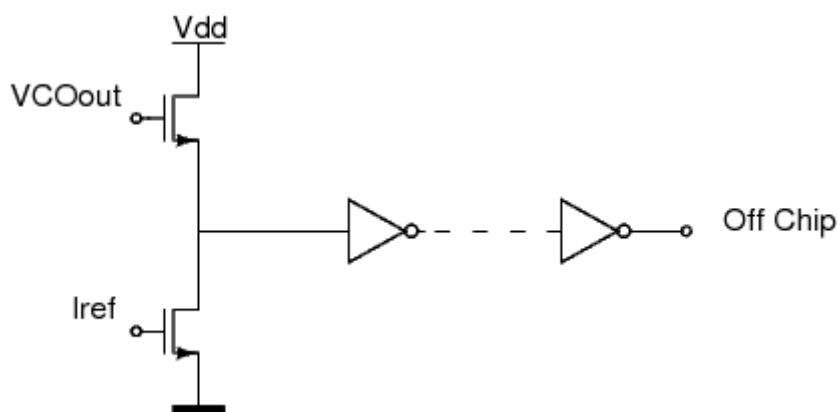
gebruikt worden om faseruis te meten, en hogere frequenties te meten, zullen typisch een ingangsweerstand hebben van 50Ω (bv R&S FSW spectrum analyzer). Dit is nodig omdat de signaaldraden tussen de chip en meettoestel een karakteristieke impedantie hebben van 50Ω . Om deze kabel juist af te sluiten moet het meettoestel 50Ω ingangsweerstand hebben om geen reflecties te veroorzaken. Hierdoor is het nodig dat de buffer de impedantie van 50Ω kan sturen. De uitgangsimpedantie moet niet gelijk zijn aan 50Ω omdat dit enkel een reflectie zou kunnen veroorzaken wanneer er een signaal naar de chip gereflecteerd wordt. De uitgangsimpedantie moet wel klein genoeg zijn zodat er geen grote spanningsval optreedt.

De uitgangsbuffer wordt gerealiseerd met een aaneenschakeling van meerdere invertoren. Elke inverter heeft een W/L die 4 keer groter is dan de vorige. Direct een grote inverter plaatsen zou een grote capacitieve last vormen aan de ring.

Ook een level shifter is nodig. De invertoren schakelen rond de spanning van $0,6V$. De VCO oscilleert tussen $1,2V$ en $0,9V$. Hierdoor is er een level shifter nodig van $1,05V$ naar $0,6V$. Dit wordt gedaan m.b.v. een sourcevolger. De V_{gs} wordt ingesteld om deze verschuiving tot stand te brengen. Figuur 4-44 toont de schakeling van de uitgangsbuffer. De V_{gs} wordt bepaald door de grootte van de stroom en de breedte van de stuurtransistor. De bandbreedte van de levelshifter is gegeven door

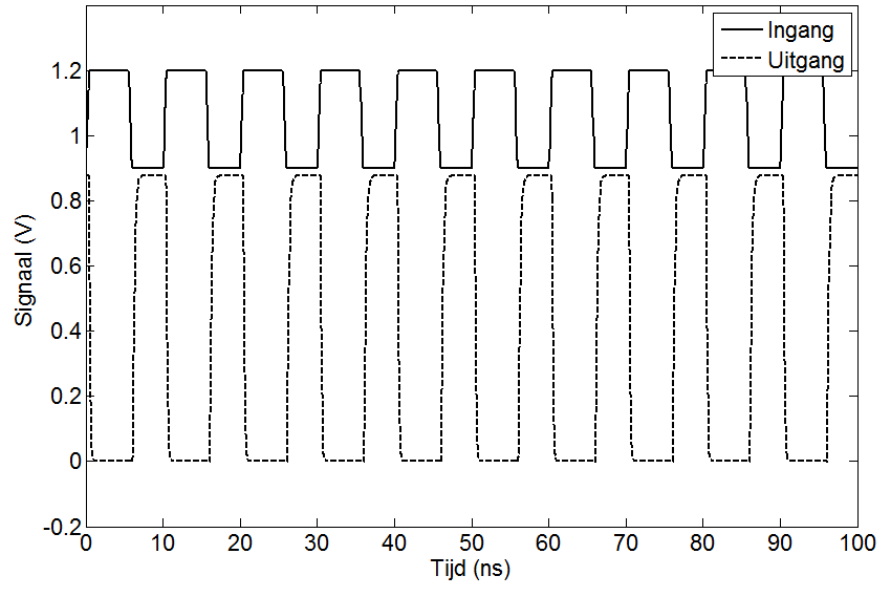
$$\omega = \frac{g_m}{C} \quad (4-59)$$

waarbij C de totale capaciteit is op de source van de stuurtransistor. Omdat V_{gs} constant is, kan de bandbreedte van de level shifter vergroot worden door de instelstroom te vergroten ($g_m = \frac{2I_d}{V_{gs} - V_t}$). De bandbreedte hiervan ligt op $500MHz$. De grootte van de bandbreedte van de level shifter is niet erg belangrijk. Uiteraard moet de $100MHz$ component doorgelaten worden. Als de derde harmonische ($300MHz$) echter geblokkeerd wordt, zal er aan de uitgang toch een blokgolf komen omdat de invertoren dit signaal rechtekken.



Figuur 4-44: Uitgangsbuffer

Figuur 4-45 toont de simulatie van de uitgangsbuffer. Aan de ingang werd een blokgolf aangelegd tussen $0,9V$ en $1,2V$. Zoals te zien is op de figuur is de vorm van het uitgangssignaal blokvormig, de afrondingen komen van de beperkte bandbreedte. Er werden 5 invertoren na elkaar geplaatst, elk $4x$ groter dan de vorige. Het oneven aantal zorgt enkel voor een inversie. De eerste inverter heeft minimale afmetingen zodat deze een lage ingangscapaciteit heeft. Verder is zichtbaar dat de amplitude aan de uitgang tot $877mV$ gaat. Dit komt door de spanningsdeling met de uitgangsweerstand. Tijdens de simulatie is de uitgangsbuffer belast met een weerstand van 50Ω en een capaciteit van $10pF$.



Figuur 4-45: Simulatie van de uitgangsbuffer

5 DIGITALE COMPONENTEN

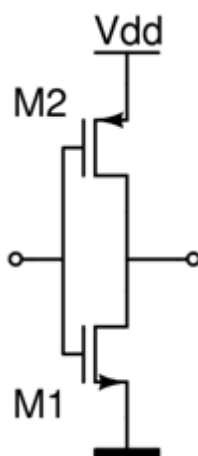
5.1 Basisbouwblokken

De basispoorten die nodig zijn in elk logisch circuit zijn NOT, NAND en NOR functies. Door deze eenvoudige functies in te bouwen, kan meer geavanceerde logica gebouwd worden. Er werd gekozen om de schakeling op te bouwen met deze basisblokken. Er kunnen een aantal invertoren uitgespaard worden wanneer verschillende logische functies gecombineerd worden in één And-Or-Inverter blok. Dit werd in dit ontwerp niet gedaan omdat dit de complexiteit van de schakeling zou verhogen en een hiërarchisch ontwerp onmogelijk maakt [22].

5.1.1 Inverter

De inverter is de meest eenvoudige logische poort die als booleaanse functie het inverse van hetingangssignaal heeft. Voor de digitale logica is dit enkel een inversie, maar deze poort moet voor de implementatie in CMOS analoog bekeken worden. De opbouw van een inverter is al besproken in 4.3.1. In Figuur 5-1 is de opbouw nogmaals weergegeven. Wanneer de ingang laag is, zal de PMOS actief zijn en zal de NMOS uitgeschakeld zijn. Hierdoor zal de uitgangsspanning gelijk zijn aan V_{dd} . Voor een hoge ingang is dit net tegengesteld. Het voordeel van CMOS digitale schakelingen is dat deze geen statisch vermogenverbruik hebben (als de lekstromen verwaarloosd kunnen worden). Het enige moment dat de schakeling vermogen verbruikt is tijdens het schakelen. Hierbij kunnen hoofdzakelijk twee stromen optreden:

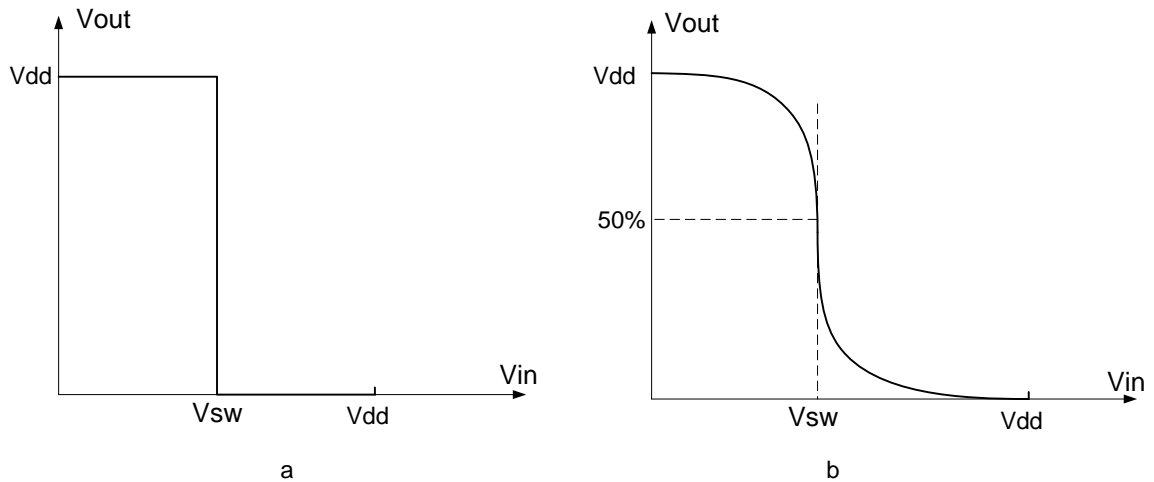
1. Kortsluitstroom: Tijdens het schakelen zal zowel de PMOS als de NMOS in saturatie geschakeld zijn. Hierdoor zal er een stroom vloeien tussen de voeding en de massa. De grootte van deze stroom is afhankelijk van de W/L van de transistoren. De stroom bereikt een maximum wanneer $V_{in} = V_{sw}$. V_{sw} is de schakelspanning van de poort wanneer $V_{in} = V_{out}$.
2. De belasting van de poort is hoofdzakelijk capacitief. Dit is de som van de draincapaciteiten van de inverter en de gatecapaciteiten van de volgende logica die door de inverter gestuurd wordt. Wanneer de poort schakelt zal er een hoeveelheid lading naar de capaciteit getransporteerd moeten worden. Bij het opnieuw omschakelen zal deze lading terug afgevoerd worden zodat er een netto, gemiddelde stroom gevloeid heeft.



Figuur 5-1: CMOS structuur van een inverter

Er kan besloten worden dat het vermogenverbruik in een CMOS poort evenredig is met de schakelfrequentie. Hoe vaker de poort op en neer schakelt, hoe vaker bovenstaande stromen optreden.

De schakelspanning V_{sw} van de poort is de spanning waarvoor de ingang gelijk is aan de uitgang. Het algemeen (statisch) schakelgedrag van de poort is weergegeven in Figuur 5-2a. Dit is het ideale gedrag. Zoals te zien is, zal bij een ingangsspanning V_{sw} , de poort van hoog naar laag omschakelen. Hier is uiteraard geen echte definitie van V_{sw} zoals eerder aangehaald. Figuur 5-2b toont de karakteristiek van een praktische poort. De overgang van hoog naar laag zal niet oneindig steil zijn. Nu kan V_{sw} goed gedefinieerd worden als de spanning waarvoor de ingangsspanning gelijk is aan de uitgangsspanning. Deze spanning is ideaal $V_{dd}/2$.



Figuur 5-2: Statische karakteristiek van een inverter

Om de afmetingen van de transistoren te bepalen is er vanuit gegaan dat het gedrag is zoals in Figuur 5-2a. Wanneer de voedingsspanning groter is dan $V_{TN} + |V_{TP}|$ zullen beide transistoren aan staan. Wanneer $V_{in} = V_{dd}/2$ zullen beide transistoren in saturatie staan ($V_{ds} = V_{gs}$). Hierdoor is de stroom enkel bepaald door de V_{gs} spanning (als de uitgangsweerstand verwaarloosd wordt). De uitgangsspanning is dus niet gedefinieerd. Op het schakelpunt stellen we beide stromen aan elkaar gelijk:

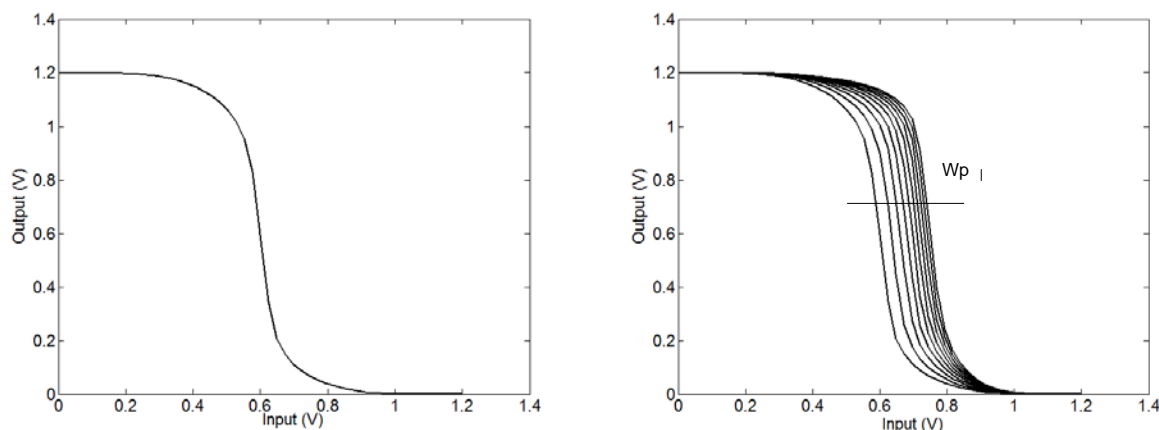
$$\frac{\mu_n C_{ox} W_N}{2 L_N} \left(\frac{V_{dd}}{2} - V_{TN} \right)^2 = \frac{\mu_p C_{ox} W_p}{2 L_p} \left(\frac{V_{dd}}{2} - |V_{TP}| \right)^2 \quad (5-1)$$

Als de threshold spanningen van beide transistoren gelijk zijn, kan gesteld worden dat

$$\mu_n \frac{W_N}{L_N} = \mu_p \frac{W_p}{L_p} \quad (5-2)$$

$$\frac{\mu_n}{\mu_p} = \frac{\frac{W_p}{L_p}}{\frac{W_N}{L_N}} \approx 2,5. \quad (5-3)$$

Wanneer de lengtes van beide transistoren gelijk worden genomen aan L_{min} kunnen de breedte verhoudingen aangepast worden zodat de breedte van de PMOS 2.5 keer groter is dan die van de NMOS. De karakteristiek voor de inverter die voor dit ontwerp gebruikt werd is weergegeven in Figuur 5-3a. De gebruikte afmetingen zijn $L_{min} = 90\text{nm}$ voor beide transistoren, $W_N = 160\text{nm}$ en $W_p = 480\text{nm}$. Dit geeft een verhouding van 3. Door enkel de grootte van de PMOS te wijzigen zien we dat de karakteristiek verschuift. Als de breedte van de PMOS groter wordt, zal de stroom van de transistoren bij een hogere ingangsspanning pas gelijk zijn. De karakteristiek schuift dus naar rechts (Figuur 5-3b).



Figuur 5-3: a) Transferkarakteristiek van de gebruikte inverter b) Verandering van de karakteristiek bij verschillende PMOS breedtes

Na het analyseren van het statisch gedrag van de poort moet ook het dynamisch gedrag bekeken worden. Dit is het gedrag tijdens het schakelen van de poort. Hier zal de vertragingstijd de belangrijkste factor zijn. De vertragingstijd van de poort is afhankelijk van de capacatieve belasting op de uitgang. Wanneer de poort belast wordt met 20 andere poorten zal de vertragingstijd groter zijn dan bij een belasting van 4 poorten. In de simulaties zal de poort belast worden met 4 andere poorten van hetzelfde type. De vertragingstijd van de poort kan berekend worden door de stroom door de transistor constant te beschouwen. Wanneer de ingang van laag naar hoog schakelt, zal de PMOS uitgeschakeld zijn, en de NMOS aanschakelen. De transistor zal eerst in saturatie geschakeld zijn, en daarna overgaan naar het lineair gebied. Een vereenvoudigde berekening gaat er vanuit dat de transistor steeds in saturatie is. De vertragingstijd is dan

$$t_p \approx \frac{C_{load} V_{dd}}{2I}. \quad (5-4)$$

Ook C_{load} zal wijzigen als de spanning aan het dalen is. Hierin zijn de junctiecapaciteiten opgenomen die spanningsafhankelijk zijn. De simulatie werd gedaan met een belasting van 4 poorten (Figuur 5-4). De vertragingstijd is hier 20ps. Algemeen geldt dat een toevoeging van een extra poort 3.5ps extra vertraging meebrengt. De verhouding C_{load}/I zal voor de poorten ongeveer constant zijn. Een grotere stroom komt door een grotere breedte (lengte is al minimaal). De grotere breedte zal een grotere gate capaciteit vormen. De aanname van (5-4) is een linearisatie van het eerste deel van Figuur 5-4. Dit geeft geen grote afwijkingen en is een goede berekening voor een benadering.

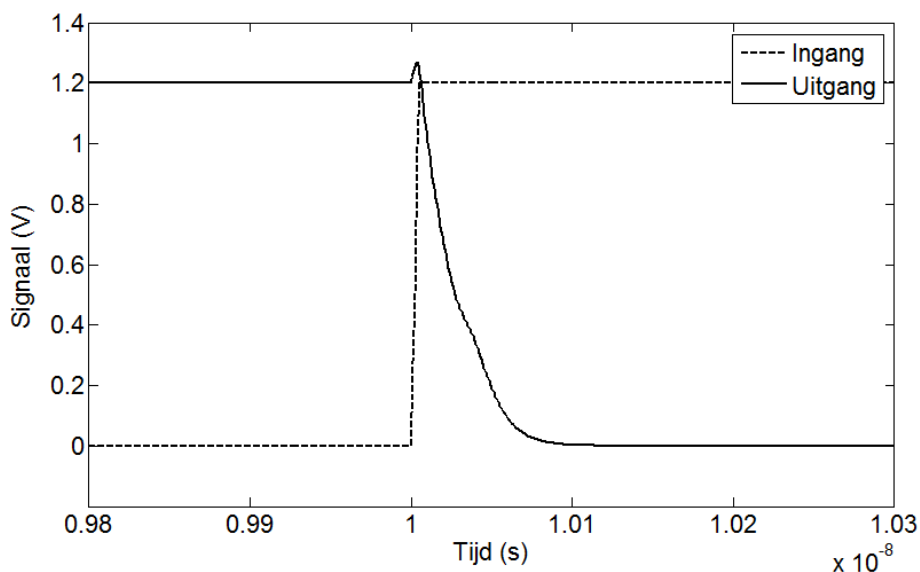
Op Figuur 5-4 is er ook nog een "spike" zichtbaar voor de spanning omlaag gaat. Deze spike is afkomstig van de steile flank op de ingang van de poort. Door de gate-drain capaciteit gaat deze flank gedeeltelijk doorgekoppeld worden naar de uitgangscapaciteit. De stroom die doorgekoppeld wordt naar de uitgang kan benaderd worden als

$$i_{gd} = C_{gd} \frac{\Delta V_{in}}{\Delta t_r}. \quad (5-5)$$

De stroom die de uitgangscapaciteit ontladst is dus

$$i_{out} = i_{Nmos} - i_{gs}. \quad (5-6)$$

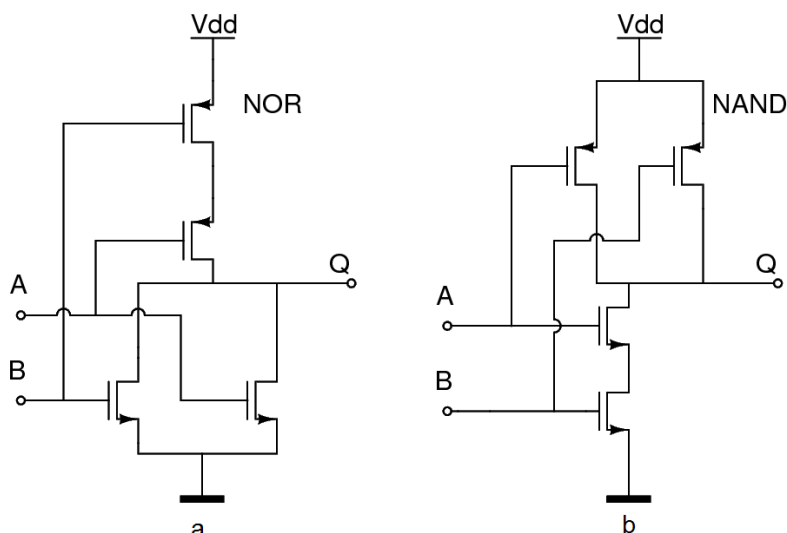
Hier zal i_{gs} voor een kleine stijging in de uitgangsspanning zorgen als de NMOS aangeschakeld wordt.



Figuur 5-4: Vertragingstijd van een inverter

5.1.2 NAND- en NOR-poort

Standaard CMOS schakelingen kunnen enkel inverterende schakelingen maken. Wanneer een AND-poort nodig is, zal een NAND en NOT in cascade geschakeld moeten worden. Dit kan wel vermeden worden door NAND-poorten te zoeken die eventueel naar een NOR-poort veranderd kunnen worden zodat dit uiteindelijk verder in de schakeling gecompenseerd wordt. Wanneer een geklokte SR LATCH gemaakt wordt kan de ingangs AND-poort een NAND-poort zijn. Hiervoor moet de SR LATCH actief lage ingangen hebben. Hier besparen we dus twee invertoren t.o.v. een ontwerp met een AND-poort en een actief hoge SR LATCH.



Figuur 5-5: a) CMOS NOR-poort b) CMOS NAND-poort

Figuur 5-5a toont de schakeling van een CMOS NOR-poort. De uitgang is laag als één of meerdere ingangen hoog zijn. Dit wordt gerealiseerd door twee NMOS transistoren parallel te plaatsen. Als één van de twee actief is, zal de uitgang laag zijn. De uitgang is hoog wanneer alle ingangen laag zijn. Dan zijn beide NMOS transistoren uitgeschakeld en beide PMOS transistoren aangeschakeld. Figuur 5-5b geeft de NAND-poort weer. Als

beide ingangen hoog zijn zullen de NMOS transistoren actief zijn en zal de uitgang laag zijn. In het andere geval zal de PMOS tak de uitgang hoogtrekken.

Voor de NOR schakeling kan de W/L verhouding van de PMOS bekeken worden als één PMOS transistor met

$$\left(\frac{W}{L}\right)_{\text{equivalent}} = \frac{1}{2} \left(\frac{W_p}{L_p}\right). \quad (5-7)$$

Dit is de serieschakeling van twee transistoren. Het equivalent is één transistor met dubbele lengte. Voor een parallelschakeling is het de breedte die dubbel genomen wordt. De NMOS W/L verhouding wordt dan

$$\left(\frac{W}{L}\right)_{\text{equivalent}} = 2 \left(\frac{W_N}{L_p}\right). \quad (5-8)$$

Door de equivalent W/L kan elke CMOS schakeling gezien worden als een inverter met één PMOS en één NMOS transistor met de equivalente breedte en lengte. Voor de NOR schakeling moet

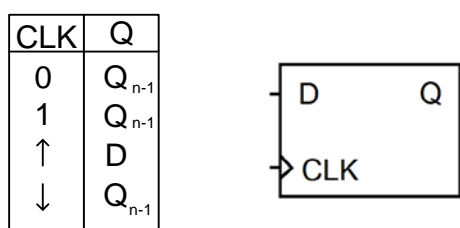
$$\left(\frac{W}{L}\right)_{\text{PMOS equivalent}} = \frac{\mu_N}{\mu_p} \left(\frac{W}{L}\right)_{\text{NMOS equivalent}} \quad (5-9)$$

$$\frac{1}{2} \left(\frac{W_p}{L_p}\right) \approx 2.5 \cdot 2 \left(\frac{W_N}{L_p}\right) \quad (5-10)$$

$$\left(\frac{W_p}{L_p}\right) \approx 2.5 \cdot 4 \left(\frac{W_N}{L_p}\right). \quad (5-11)$$

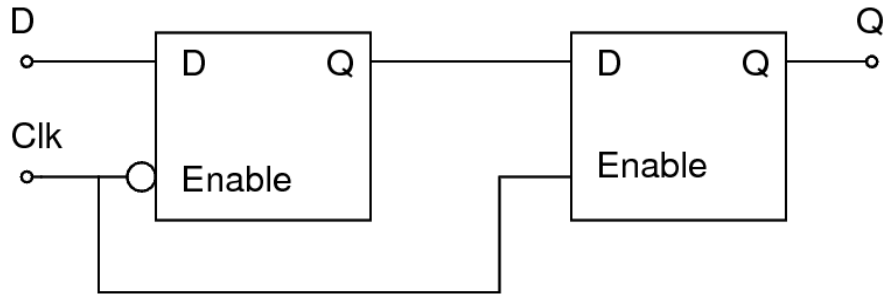
Voor de CMOS NAND-poort is het net delen door 4. De vertragingstijd van hoog naar laag is afhankelijk van de ingangen die omschakelen. Als er één NMOS actief wordt, zal de vertraging dubbel zo groot zijn dan wanneer er twee NMOS transistoren actief worden. Voor de vertraging van laag naar hoog geeft dit geen verschil omdat er geladen wordt via de PMOS transistor die in serie staat.

5.2 D-Flip Flop



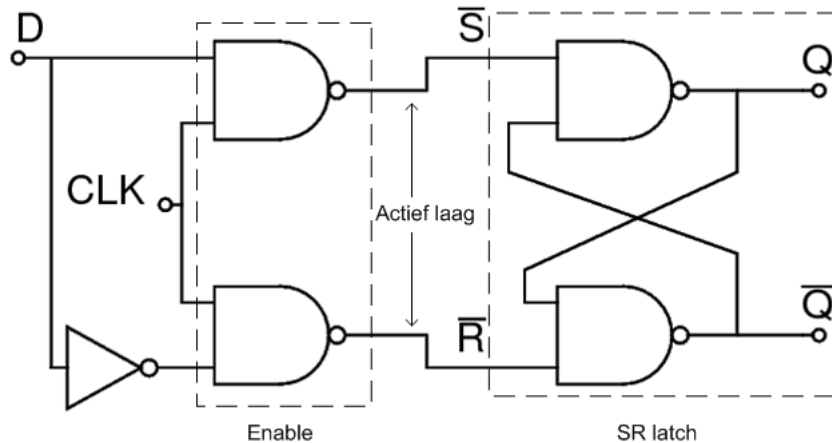
Figuur 5-6: D-Flip Flop

De D-flip flop is een flankgetriggerde component die de data ingang (D) naar de uitgang kopieert op een stijgende flank van de klok. De D-flip flop is een basiscomponent die in de teller en in de fase-detector van de PLL gebruikt wordt. Deze component kan op verschillende manieren geïmplementeerd worden. De implementatie die in dit ontwerp gebruikt werd is een master-slave flip flop. De flip flop wordt gemaakt door een cascade schakeling van twee niveau getriggerde D-latches (Figuur 5-7). De niveau getriggerde latch laat de D ingang door wanneer het enable signaal actief is. Als het enable signaal niet actief is zal de uitgang de laatste waarde van D zijn. De eerste latch heeft een actief lage ingang voor enable. Dit betekent dat de data naar de uitgang gaat wanneer Clk laag is, bij de tweede latch is dit omgekeerd.



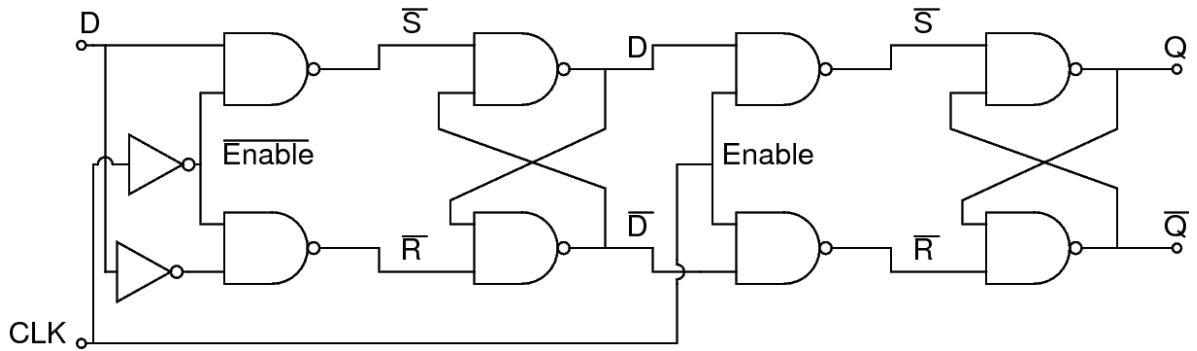
Figuur 5-7: Master slave flip flop

Als de klok laag is zal de enable van de eerste latch actief zijn dus zal de data doorgegeven worden naar de uitgang van de eerste latch. De tweede latch onthoudt de data van vorige keer. Wanneer de klok hoog wordt, zal de eerste latch de laatste data onthouden en doorgeven naar de uitgang van de tweede latch. Als de klok terug laag wordt, zal de data terug doorgegeven worden naar de uitgang van de eerste latch, maar de tweede latch onthoudt nog steeds de waarde van de ingang vlak voor de dalende flank. De implementatie van de D latch is weergegeven in Figuur 5-8. De D latch bevat een NAND SR latch, deze SR latch heeft actief lage ingangen. De twee NAND-poorten laten de D ingang door wanneer CLK hoog is. Als D hoog is gaat de set ingang van de latch actief zijn (laag), als D laag is gaat de reset ingang actief zijn. Als de klok laag is, gaat de uitgang van beide NAND-poorten hoog zijn, wat betekent dat de SR latch zijn vorige waarde onthoudt.



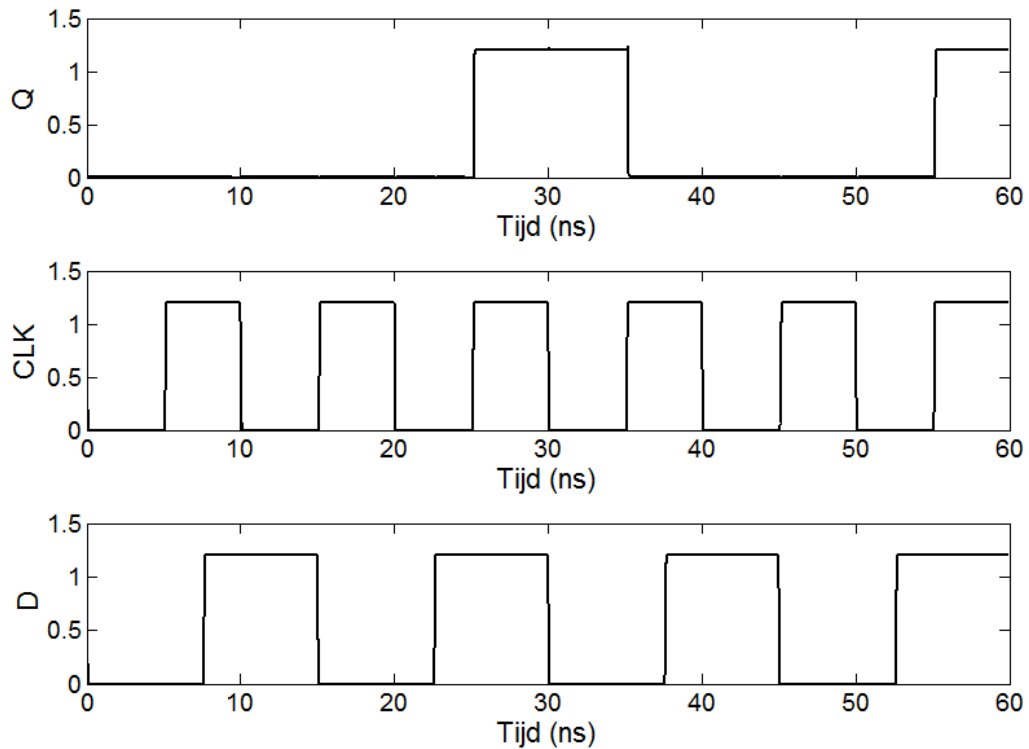
Figuur 5-8: Implementatie van een D latch met enable

Figuur 5-9 toont de volledige implementatie van de master slave flip flop. Dit zijn twee aaneenschakelingen van de schakeling in Figuur 5-8. Bij de eerste latch staat nog een extra inverter voor de actief lage enable ingang. De koppeling tussen de eerste en de tweede latch kan zonder inverter omdat de latch ook de geïnverteerde uitgang produceert.



Figuur 5-9: Implementatie van een D flip flop met NAND-poorten

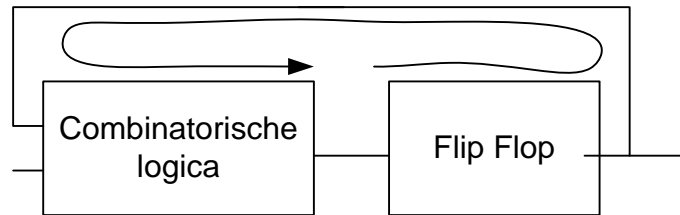
De D flip flop van Figuur 5-9 kan gesimuleerd worden met een wisselende D ingang. Deze simulatie is weergegeven in Figuur 5-10. Op de derde stijgende flank van de klok is de D ingang hoog, deze wordt naar de uitgang gekopieerd tot de volgende stijgende flank op de klok. Daarna is de D ingang terug laag en zal de uitgang ook laag zijn tot de laatste klokpuls, dan is de D ingang terug hoog. Hieruit blijkt dat de architectuur van de D flip flop werkt.



Figuur 5-10: Simulatie van de D flip flop

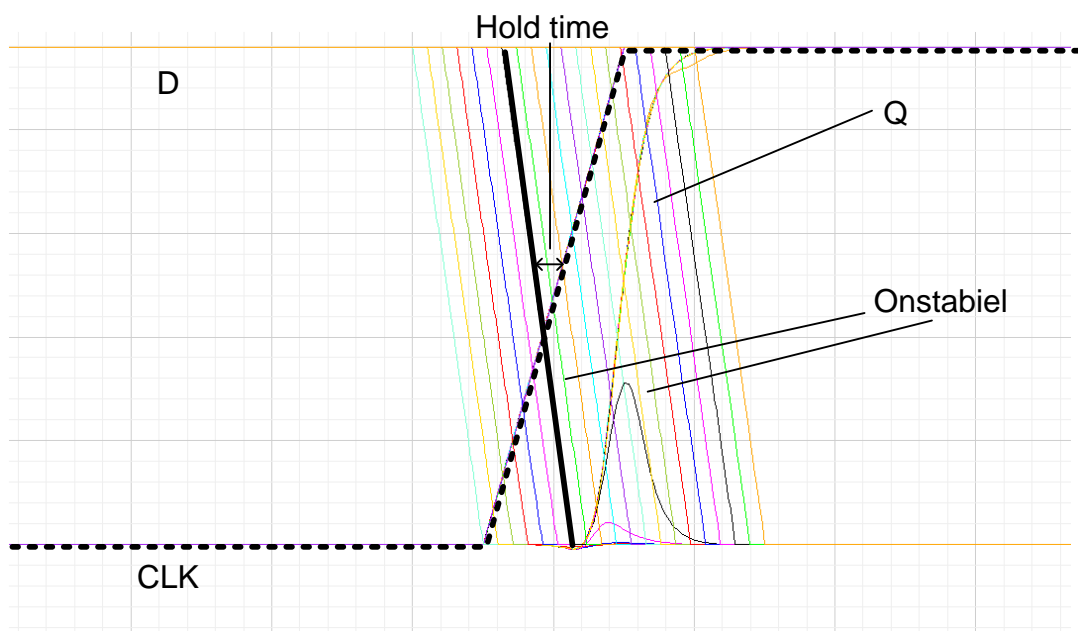
De hold time van de flip flop is belangrijk wanneer deze gebruikt wordt in terugkoppeling, Figuur 5-11 illustreert dit probleem. De hold time van een flip flop is de tijd dat de D-ingang nog stabiel moet blijven na de klokflank. Wanneer deze tijd te lang is, en de combinatorische logica snel is, kan het systeem onstabiel zijn. De vertraging tussen de klokflank en het moment dat er nieuwe data uit de combinatorische logica komt is

$$t_p = t_{p\text{FlipFlop}} + t_{\text{interconnect}} + t_{\text{combinatorisch}} \quad (5-12)$$



Figuur 5-11: Problemen met hold time

Wanneer deze vertragingstijd t_p kleiner is dan de hold time van de flip flop, verandert de data al voor dat de hold time verstreken is, zodat de flip flop een ongedefinieerde uitgang heeft. De hold time van de flip flop kan gesimuleerd worden door de data ingang na de klokflank te veranderen en deze verandering steeds dichterbij de klokflank te brengen. Figuur 5-12 toont deze simulatie. Het is duidelijk dat veranderingen op de data-ingang na de klokflank geen invloed hebben op de uitgang. Dit is al een zekerheid voor een stabiel systeem. Ook al is de vertragingstijd in de terugkoppeling nul, toch zal het systeem steeds stabiel zijn. Zoals blijkt is de hold time zelfs negatief, dit betekent dat de data al voor de klokflank mag veranderen. De set-up time van de flip flop is hier niet van belang. De klokfrequentie zal hier maximaal 100MHz zijn wat een periode van 10ns is. De set-up time kan pas geschonden worden wanneer de vertragingstijd van de terugkoppeling in de orde is van deze klokperiode. De vertraging is echter in de orde grootte van tientallen picoseconden.



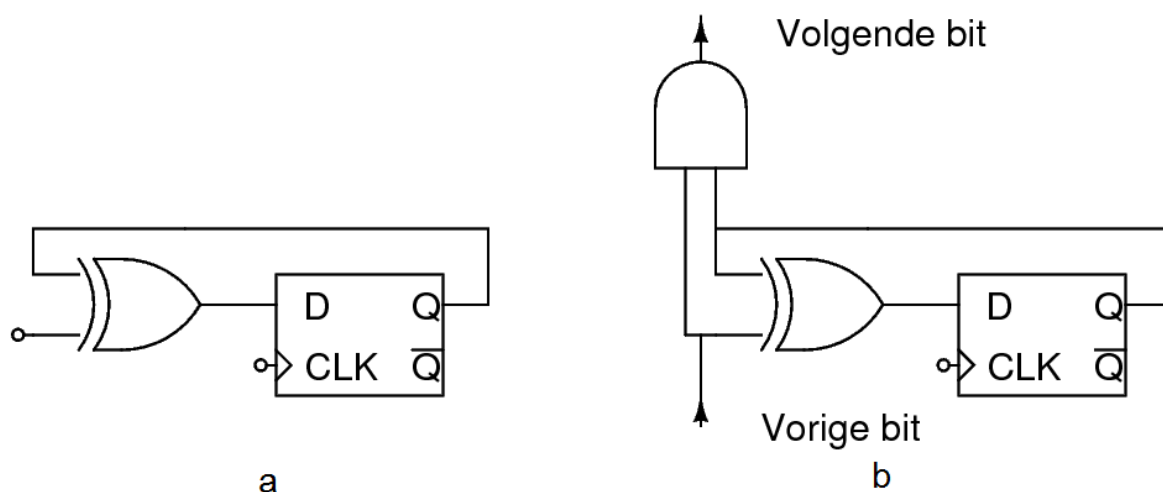
Figuur 5-12: Hold time simulatie

5.3 9 Bit teller

De 9 bit teller wordt gebruikt voor de interpolatie van het kloksignaal te sturen. De teller telt met een snelheid van 100MHz zoals het kloksignaal. De basiswerking van de teller kan bekeken worden in Figuur 5-13a. Hier wordt een XOR-poort gebruikt als selectieve inverter. Wanneer één van de ingangen laag is, zal de poort werken als een buffer voor de andere ingang naar de uitgang. Wanneer één van de ingangen hoog is,

zal de poort werken als een inverter voor de andere ingang. Deze werking wordt gebruikt in de teller.

Als de controle ingang op de XOR-poort laag is, zal de flip flop de huidige waarde behouden op de stijgende flank van de klok. Als de ingang hoog is, zal de XOR-poort als inverter werken en zal de flip flop omslaan. Voor een binaire teller moet de uitgang omslaan wanneer alle onderliggende bits één zijn. De selectie ingang van de XOR-poort kan een AND functie zijn van alle uitgangen van de lagere bits. Elke element per bit kan dus gemaakt worden als Figuur 5-13b. De ingang van de vorige bit is de AND functie van alle lagere uitgangen. Wanneer deze hoog is zal de flip flop omslaan. Om dit signaal verder te leveren naar de hogere bits wordt het signaal, dat uit de lagere bits komt, door een AND-poort gestuurd, samen met de uitgang van de flip flop. Zo wordt er een aaneenschakeling van AND-poorten bekomen waarbij telkens een nieuwe uitgang bijkomt. Per bit wordt er een XOR-poort geplaatst om de flip flop te inverteren. Enkel de laagste bit wordt niet uitgevoerd met en XOR-poort. Daar wordt steeds het inverse van de uitgang aangelegd zodat deze elke klokpuls omklapt. Dit betekent eigenlijk dat de ingang van de XOR-poort steeds 1 genomen wordt.

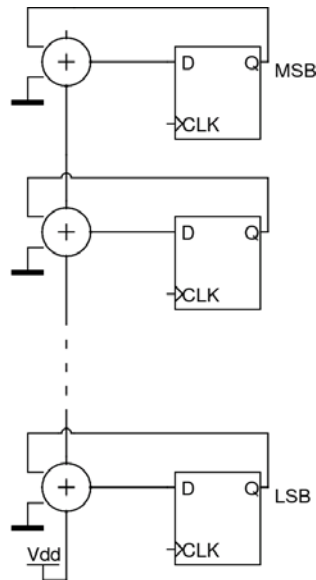


Figuur 5-13: a) XOR-poort als selectieve inverter b) Schema van een 1 bit element van de teller

Op deze manier kan door een beperkt aantal poorten te gebruiken een teller gemaakt worden die eenvoudig uitbreidbaar is. Eigenlijk is de logische schakeling in Figuur 5-13b een eenvoudige adder, waar de uitgang opgeteld wordt met de carry die door de lagere bit werd doorgezonden. De registers worden dus voorgegaan door een n-bit ripple adder. Aan de laagste bit wordt een 1 als carry aangelegd, voor de rest zijn alle ingangen van de adder 0. De ripple adder in combinatie met de flip flops is weergegeven in Figuur 5-14. Uiteraard zal de tweede ingang van de adder niet logisch geïmplementeerd worden omdat die steeds nul is (enkel de eerste bit is 1). Volgende optelling wordt elke cyclus uitgevoerd.

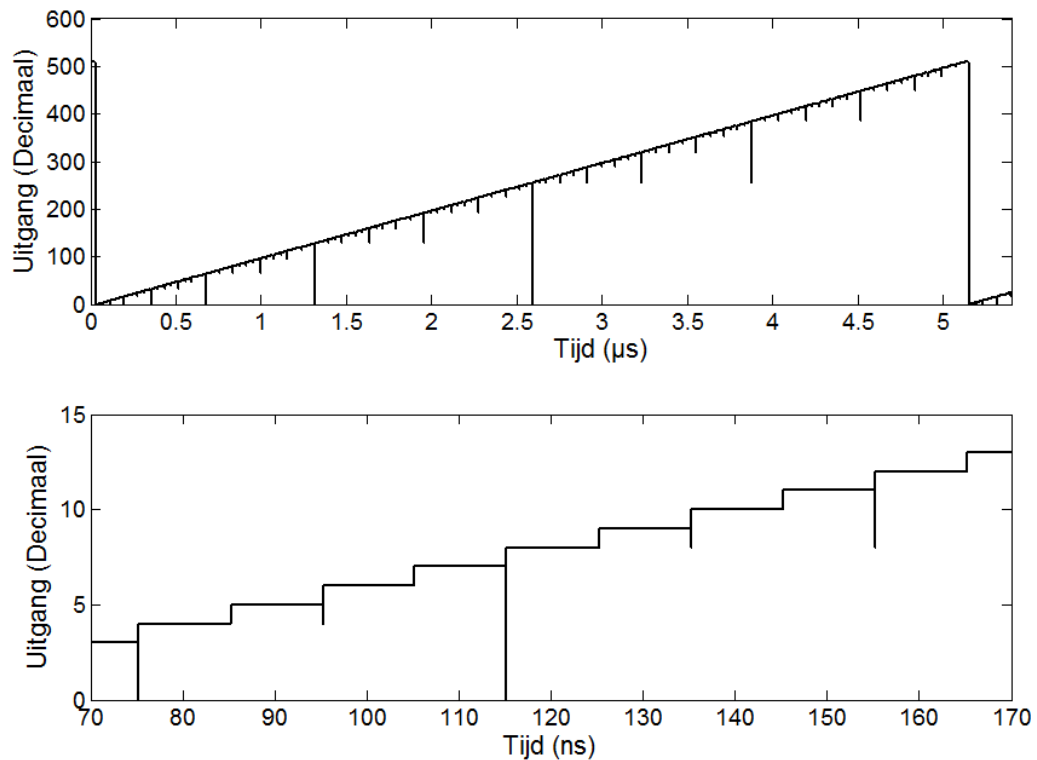
$$Q[n] = Q[n - 1] + 1$$

(5-13)



Figuur 5-14: Adder in combinatie met D-flip flops

Figuur 5-15 toont de simulatie van de teller. Dit is de som van alle uitgangen (binair gewogen). De teller loopt dus lineair op van 0 tot 511. In de onderste figuur is de trap van de teller zichtbaar. Er zijn wel spikes op deze figuur zichtbaar. Dit komt omdat het een continue tijd meting is. Niet elke uitgang gaat gelijktijdig omslaan. De laagstbeduidende bits zullen vroeger omslaan dan de hoogstbeduidende omdat de carry door de adder rimpelt. Daarom kan het zijn dat alle lage bits 0 zijn en dat een hogere bit 1 wordt. Als dit even later komt kan het zijn dat alle bits kortstondig nul zijn, vandaar de spikes. Voor de schakeling is dit niet belangrijk omdat dit enkel gebeurt tijdens het schakelen van de teller. Het schakelen gebeurt pas wanneer het signaal door de interpolator gelopen is.

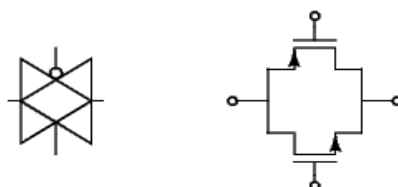


Figuur 5-15: Simulatie van de teller

De beginwaarde van de teller is niet vastgelegd. Tijdens het opstarten gaan de flip flops naar een willekeurige waarde. Dit is geen probleem omdat het samplen een cyclisch systeem is, waar geen beginpunt aan is. Het is mogelijk om een reset in te bouwen, maar als dit geen probleem vormt, is dit verspilling van oppervlakte. Mocht dit toch gewenst zijn, kan aan de ingang van de D-flip flop een AND-poort gehangen worden met een reset signaal. Als de reset dan laag is, zullen alle uitgangen op een stijgende klok nul worden.

5.4 Transmissiepoort

De transmissiepoort is een component die gebruikt gaat worden in de multiplexer. Figuur 5-16 toont de opbouw van een transmissiepoort. Hier is een NMOS transistor en een PMOS transistor parallel geschakeld. De reden hiervoor is dat de NMOS de uitgang kan laagtrekken tot 0V maar hij kan de uitgang maar opladen tot $V_{dd}-V_{Tn}$. Wanneer hier een PMOS parallel mee geplaatst wordt, kan de spanning wel tot V_{dd} opgeladen worden. De PMOS heeft hetzelfde probleem dat deze de spanning maar tot $|V_{Tp}|$ kan ontladen, maar de NMOS zal hier zijn werk doen. De schakeling kan steeds gezien worden als de parallelschakeling van de NMOS en PMOS.

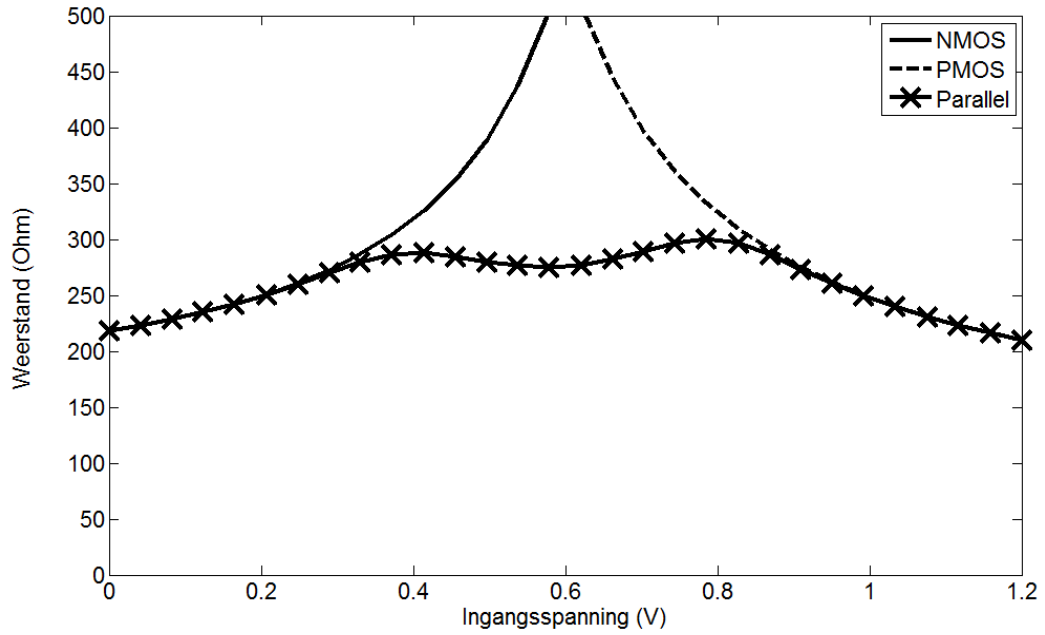


Figuur 5-16: Opbouw van een transmissiepoort

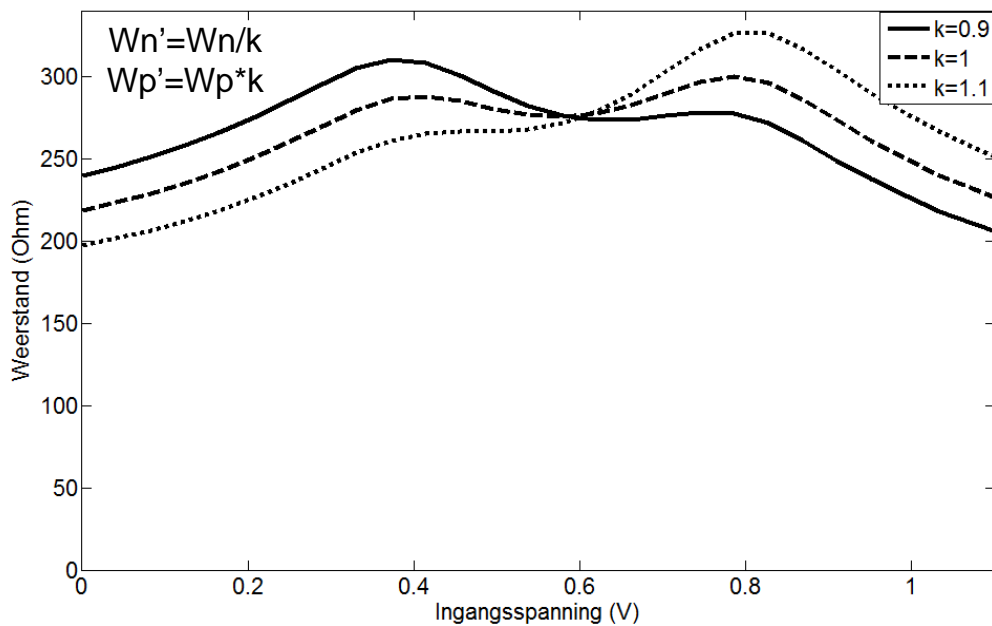
Er kan vanuit gegaan worden dat de spanning aan de uitgang ongeveer gelijk is als die aan de ingang. Hierdoor zal V_{ds} erg klein zijn en zal de transistor voor een groot deel in het lineair gebied werken. Als de transmissiepoort aan staat, zal de spanning op de gate van de NMOS gelijk zijn aan V_{dd} en de spanning op de PMOS gelijk zijn aan 0. Voor lage in- en uitgangsspanningen zal de NMOS volledig aangeschakeld zijn ($V_{gs} = V_{dd}$). De PMOS zal dan uitgeschakeld zijn ($V_{gs}=0$). Als de ingang hoger wordt, zal de V_{gs} van de NMOS afnemen en de V_{gs} van de PMOS toenemen tot deze op een bepaald moment gelijk zijn. Voor lage ingangsspanningen is de vervangingsweerstand bepaald door de NMOS. Voor hoge ingangsspanningen gaat de weerstand van de PMOS kleiner zijn en zal de totale weerstand bepaald worden door de weerstand van de PMOS (Figuur 5-17a).

Wanneer de breedte van de NMOS kleiner wordt en de breedte van de PMOS groter (Figuur 5-17b, $k>1$), dan zal het gebied van de NMOS hoger liggen en het gebied van de PMOS lager. Dit geeft dan een asymmetrische karakteristiek. Hier zal ook gelden dat

$$\left(\frac{W}{L}\right)_p \approx 3 \left(\frac{W}{L}\right)_n.$$



a



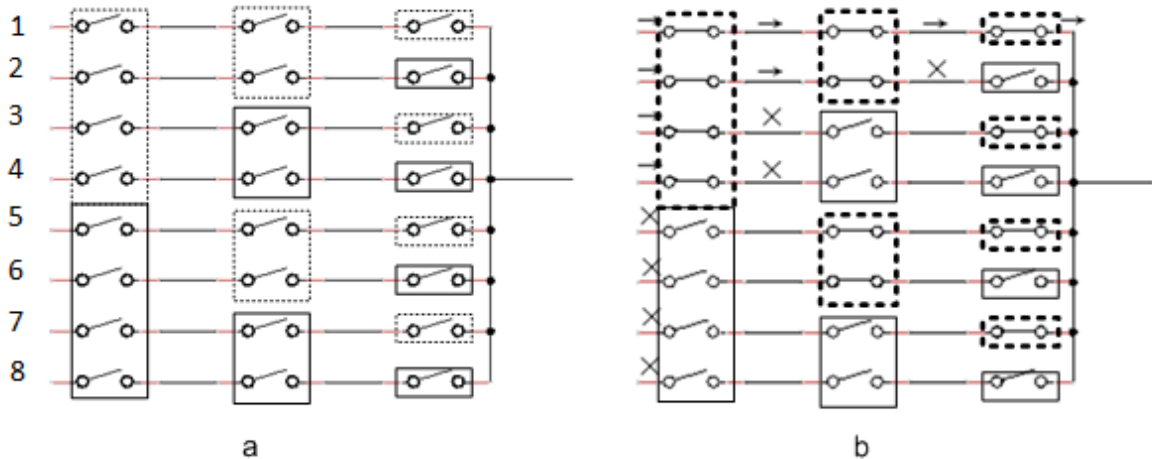
b

Figuur 5-17: Karakteristieken van de transmissiepoort a) Vergelijking met NMOS en PMOS weerstand b) Karakteristiek bij verschillende breedtes

5.5 8 naar 1 Multiplexer

De 8 naar 1 multiplexer wordt gebruikt om de signalen die afkomstig zijn van de VCO te interpoleren. Dit is dus een ruisgevoelig pad. Daarom zal op deze component een ruissimulatie nodig zijn. De opbouw van de multiplexer zal gebeuren met transmissiepoort logica. Figuur 5-18 toont de werking van de multiplexer. Per selectiebit wordt een rij van 8 schakelaars geplaatst. Een M naar 1 multiplexer heeft dus $\log_2(M)M$ transmissiepoorten nodig. In de eerste kolom worden de schakelaars per

4 aangestuurd, de bovenste vier of de onderste. De hoogst beduidende bit stuurt deze aan. In de tweede kolom worden de schakelaars per twee aangestuurd. Als de tweede bit 0 is gaan schakelaars op rij 1,2 en 5,6 dicht. In de laatste kolom worden de schakelaars afwisselend aangestuurd. Een voorbeeld van deze werking is getoond in Figuur 5-18b. Alle bits worden nul verondersteld. Hierdoor zal in de eerste kolom het bovenste blok schakelaars sluiten. De onderste vier zijn open en blokkeren het signaal verder. In de tweede kolom zullen de bovenste twee signalen doorgelaten worden. De lijnen 3 en 4 zijn onderbroken. De onderste vier hebben hier geen betekenis meer. In de laatste kolom wordt enkel signaal 1 nog doorgelaten omdat schakelaar 2 sluit. Op deze manier kan met 3 bits 8 signalen naar één signaal gebracht worden.



Figuur 5-18: a) Voorstelling multiplexer b) Voorbeeld van selectie van de eerste ingang

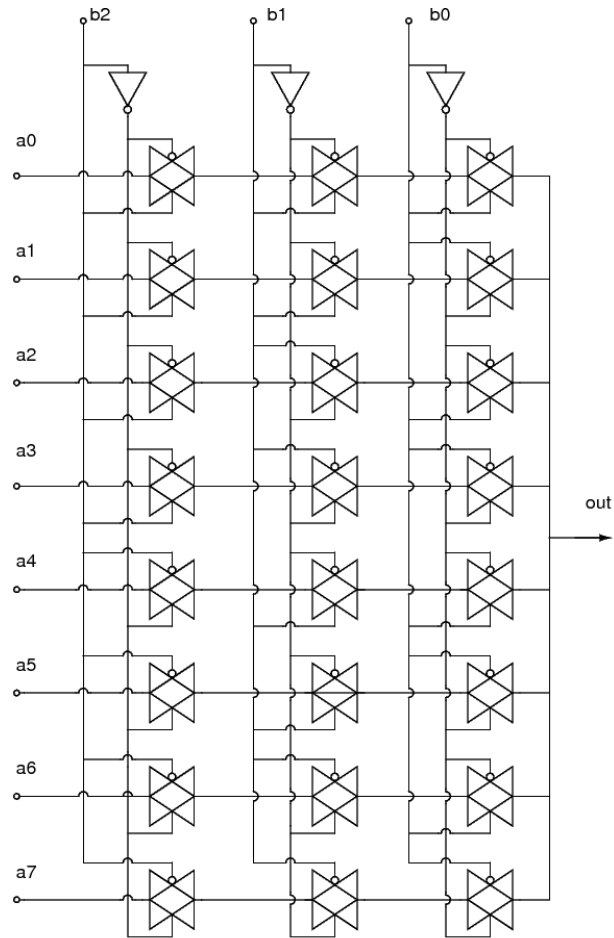
De toegevoegde jitter van deze component zal ook bekeken moeten worden. De schakeling kan bekeken worden als een serieschakeling van drie aanweerstanden van de transmissiepoorten. Om de jitter te berekenen, bereken we eerst de spanningsruis op de uitgang. Door die te delen door de steilheid van de flank kan de jitter berekend worden. De ruis op de uitgang van een transmission gate kan bekeken worden als KT/C ruis. De transmission gate kan als een eenvoudige weerstand bekeken worden.

$$slope = \frac{\Delta V_{noise}}{\Delta t_{jit}} \rightarrow \Delta t_{jit} = \frac{\Delta V_{noise}}{slope} = \frac{\sqrt{\frac{KT}{C}}}{\frac{1}{RC}} = \sqrt{KTCR} \quad (rms) \quad (5-14)$$

Hieruit blijkt dat lage jitter verkregen kan worden door zowel de capaciteit als de weerstand laag te houden. Dit geeft ook geen probleem met de bandbreedte van de gate omdat die evenredig is met $(RC)^{-1}$. De pnoise simulatie geeft een jitter van 3,1fs. Hier wordt er vanuit gegaan dat de flanken op de ingang oneindig stijl zijn. Wanneer dit niet is, kan het zijn dat de steilheid van de flank kleiner is dan de bandbreedte van de multiplexer, bijvoorbeeld de uitgang van de VCO stijgt in 625ps. Hierdoor zal de noemer in (5-14) vervangen moeten worden door de steilheid van de ingangsklok.

Een mogelijke oplossing hiervoor is een buffer te plaatsen tussen de VCO en de multiplexer die de flanken gaat rechtekken. Een eenvoudige schmitt trigger inverter volstaat hiervoor. Dit wordt niet gedaan omdat deze jitter klein is in vergelijking met die van de PLL.

De volledige opbouw van de multiplexer wordt getoond in Figuur 5-19. Voor elke transmissiepoort is het inverse van het stuursignaal nodig voor de PMOS. Er kan dan eenvoudig een inversie gedaan worden door de stuursignalen (b en /b) voor bepaalde gates om te draaien. Op deze manier wordt voor een lage b de ene helft aangestuurd en voor een hoge b de andere helft.



Figuur 5-19: Opbouw van de multiplexer met transmissiepoorten

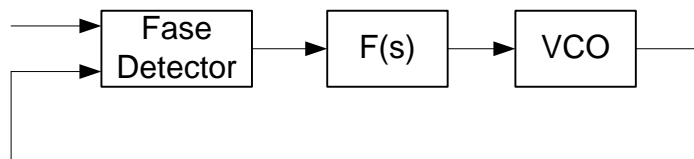
6 PLL

6.1 Opbouw van een PLL

Een PLL (Phase Locked Loop) is een regelsysteem dat een VCO stuurt die in fase is met de ingangsklok van de PLL. Het regelsysteem bevat volgende componenten:

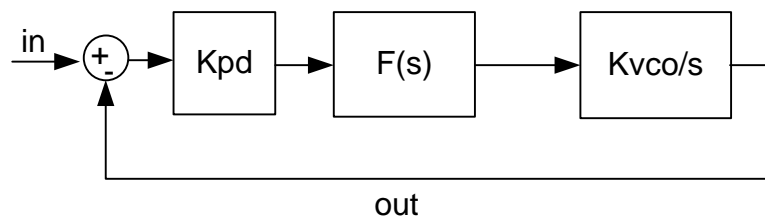
- Fasedetector
- Lusfilter $F(s)$
- VCO

Het blokschema van een PLL is voorgesteld in Figuur 6-1 [23].



Figuur 6-1: PLL blokschema

De ingangsklok wordt vergeleken met de uitgang van de VCO. Als de fase van de VCO voorijlt op de ingangsklok, zal de fasedetector een kleiner signaal sturen dat ervoor zorgt dat de VCO iets trager gaat lopen. Op deze manier komt de fase achter te lopen. Er wordt een stabiel punt verkregen wanneer beide aan elkaar gelijk zijn. De eigenschappen van de tracking van hetingangssignaal zijn afhankelijk van de lus transferfunctie van de PLL. Figuur 6-2 toont het lineair model van de PLL. Op de ingang en uitgang worden fase beschouwd. Deze grootheden zijn niet direct meetbaar en voor een blokgolf eigenlijk niet erg zinvol. Toch geeft dit model een goede indicatie voor het gedrag van de regellus. Op alle andere punten kunnen spanningen of stromen gedefinieerd worden. De bouwblokken zullen afzonderlijk verder besproken worden.



Figuur 6-2: Lineair PLL model

6.2 Oscillator

De oscillator heeft in het lineaire model de stuurspanning als ingang en de uitgangsfase als uitgang. De VCO kan gezien worden als een integrator wanneer sinusoidale signalen beschouwd worden. De uitgangspulsatie van de VCO is gedefinieerd als

$$\omega_{out}(t) = K_{vco} v_{in}(t) + \omega_0. \quad (6-1)$$

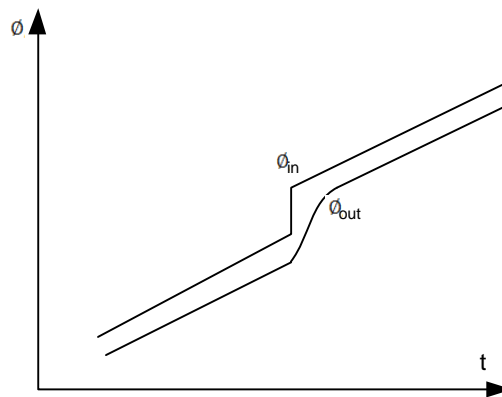
De uitgang in het model is echter de fase in plaats van de pulsatie. De fase is de integraal van de pulsatie dus

$$\phi_{out}(t) = \int_0^t \omega_{out}(t)dt + \phi_{out}(0) = K_{vco} \int_0^t v_{in}(t)dt + \phi_{out}(0). \quad (6-2)$$

Wanneer hiervan de laplacetransformatie genomen wordt, is

$$\phi_{out}(s) = \frac{K_{vco}V_{in}(s)}{s}. \quad (6-3)$$

Dit betekent dat een PLL minstens (als er geen nulpunt in de oorsprong van de lusfilter ligt) een type 1 systeem is. Elke fase­stap die aangelegd wordt zal worden weggewerkt. Dit betekent niet dat de ingangsfase gelijk is aan de uitgangsfase. Wanneer de ingangsfase naar een eindige waarde zou convergeren, zal de uitgangsfase dat ook doen, maar dan wordt er niet meer van een oscillatie gesproken ($f=0$). Door de integratie zal de fase lineair toenemen en zal er een faseverschil ontstaan door de volgfout van de PLL. Stel dat deze volgfout gekend is (en constant bij een bepaalde frequentie) dan zal, wanneer er op de ingang een fasesprong aanwezig is, het faseverschil terug convergeren naar het verschil daarvoor en gelijk worden aan de volgfout. Figuur 6-3 toont de respons op een fasesprong.



Figuur 6-3: Fasesprong aan de ingang

Bij een type 1 lus is er dus een fasefout nodig om de ingangsfrequentie gelijk te houden aan de uitgangsfrequentie. Dit is logisch omdat de ingang van de VCO evenredig is met het faseverschil tussen ingang en uitgang.

Als de fase toch nul moet worden, moet er overgestapt worden op een type 2 PLL. Er wordt nog een integrator geplaatst die ervoor zorgt dat er bij een faseverschil van nul toch een spanning op de ingang van de VCO kan staan. Deze integrator zal intrinsiek aanwezig zijn in de fasedetector.

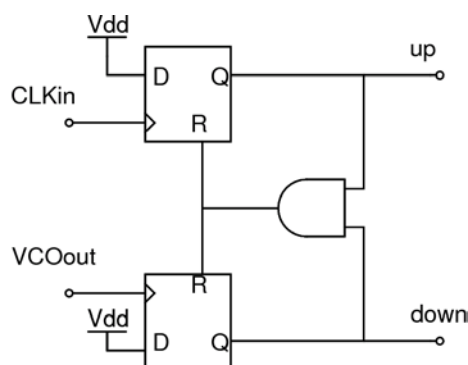
6.3 Fasedetector

Het doel van de fasedetector is een verschilsignaal aan te maken van de in- en uitgangsfase. Zoals eerder aangehaald zijn dit geen signalen die direct meetbaar zijn waardoor een andere aanpak nodig is.

Er zijn verschillende fasedetectoren mogelijk. Veel gebruikte zijn:

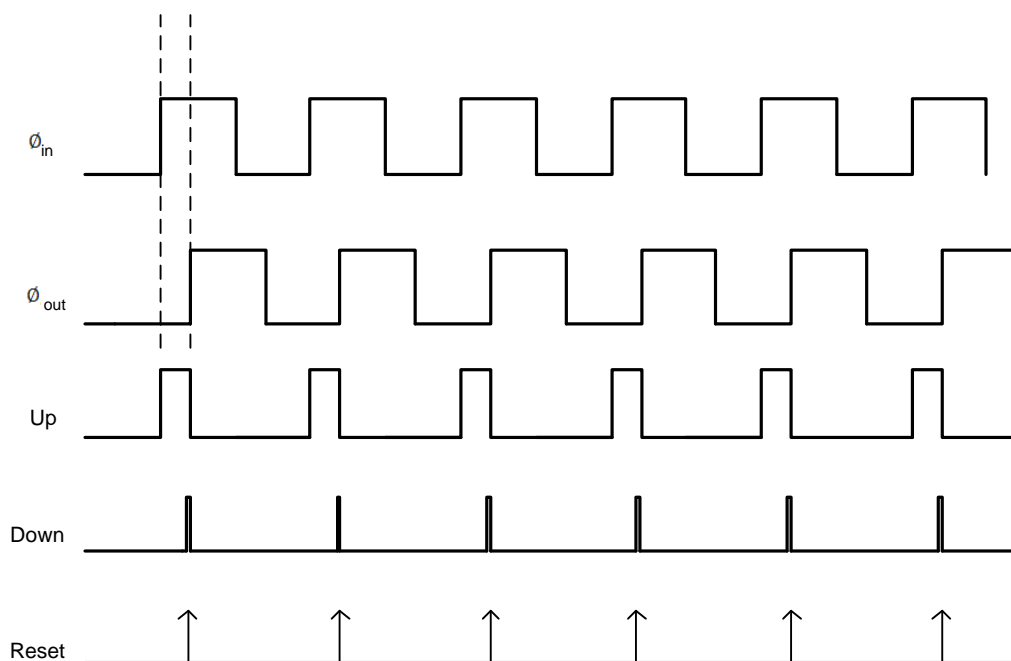
- XOR-poort
- Vermenigvuldiger
- Fasefrequentiedetector PFD (Phase-Frequency Detector)

In dit ontwerp is gekozen voor de PFD. Deze heeft in tegenstelling tot de andere detectoren een geheugenwerking. De werking van de PFD kan het best verklaard worden door de implementatie te bekijken.



Figuur 6-4: Implementatie PFD

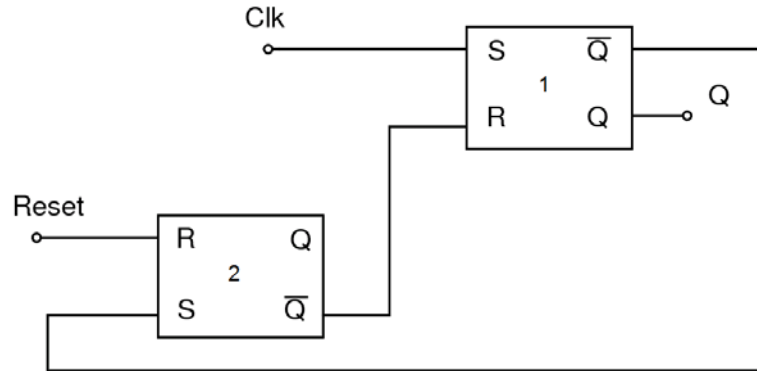
Figuur 6-4 toont de implementatie van de PFD die hier gebruikt werd. Dit zijn twee D-Flip Flops waarvan de D-ingang steeds verbonden is met V_{dd} . Wanneer de ingangsklok voorijlt op de VCO, zal eerst de bovenste flip flop hoog worden. Nu zal het Up signaal hoog zijn. Wanneer de uitgang van de VCO hoog wordt, zal ook deze flip flop hoog worden. Dit zorgt dat beide uitgangen hoog zijn, waardoor de AND-poort beide flip flops reset. Als het faseverschil groter wordt, zal het up signaal langer hoog zijn. Wanneer de uitgangsklok voorijlt, zal het down signaal hoog zijn. De gemiddelde waarde van Up-Down is een indicatie voor het faseverschil. Figuur 6-5 toont een voorbeeld van de werking.



Figuur 6-5: Voorbeeld PFD

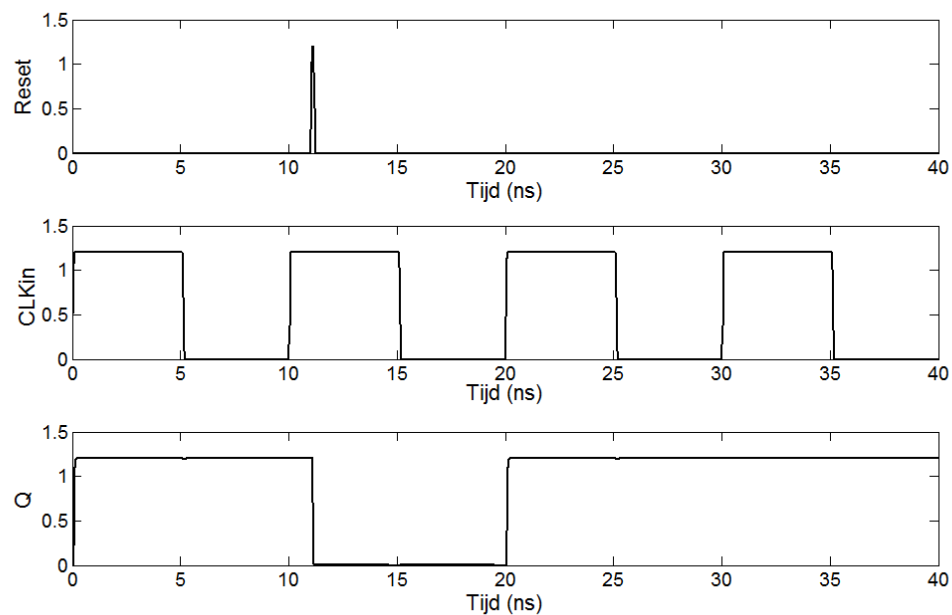
De werking die beschreven wordt, geldt voor fasevariaties waarbij de frequentie ongeveer gelijk is. Wanneer dit niet het geval is, zal de PFD als frequentiedetector werken. Als beide frequenties ongeveer gelijk zijn, zal er elke periode een reset gebeuren. Wanneer dit niet het geval is, zal er niet elke periode van de snelste klok een reset gebeuren. Als de ingangsklok bijvoorbeeld 5x sneller is dan de uitgang van de VCO, zullen er 5 pulsen op de bovenste flip-flop aankomen voor dat het systeem gereset wordt door een puls op de trage klok. Kort daarna zal direct de ingangsklok

terug hoog worden door de grote frequentie. Het gevolg is dat de PFD een uitgang geeft waarbij een up betekent dat de frequentie van de ingangsklok groter is. Deze werking is gunstig voor de PLL. De uitgang is echter niet evenredig met het frequentieverschil maar de gemiddelde waarde van Up-Down zal groter dan nul zijn bij een positief frequentieverschil.



Figuur 6-6: Implementatie van een D-flip flop met asynchrone reset

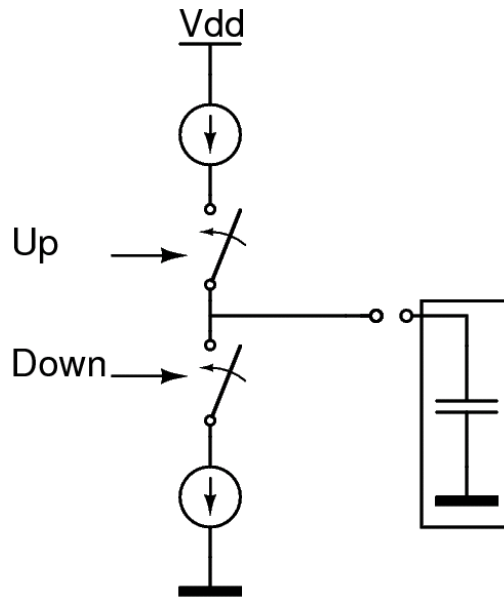
De flip flops uit Figuur 6-4 zijn geïmplementeerd zoals in Figuur 6-6 met NOR gebaseerde SR latches [7]. Deze werkt als volgt: stel een rusttoestand waar Clk laag is en Reset ook laag. Latch 1 is dan laag en latch 2 is hoog (geset door /Q van latch 1). Dit betekent dat de Reset ingang van latch 1 laag is. Wanneer Clk dan hoog wordt, zal latch1 setten en Q wordt hoog. /Q van latch 1 is dan laag. Wanneer Reset hoog wordt, zal latch 2 resetten waardoor /Q van latch 2 hoog wordt. Nu zijn beide ingangen van latch 1 hoog waardoor beide uitgangen laag zullen zijn (beide ingangen van NOR-poort 1). Q is nu al juist. De Reset mag nu al terug nul worden want beide uitgangen van latch 1 zijn laag en hebben geen invloed op latch 2. Wanneer nu ook CLK laag wordt, zal latch 1 laag worden (hoog op Reset) waardoor Q laag zal blijven en /Q hoog. Hierdoor komt het terug in de begintoestand.



Figuur 6-7: Simulatie van de D-flip flop met asynchrone reset

Als de begintoestand verschillend is, zou het kunnen dat er een aantal cycli nodig zijn om tot deze toestand te komen.

Figuur 6-7 toont de simulatie van deze flip flop. Zoals te zien is, zal een korte reset puls ervoor zorgen dat de uitgang gereset wordt.



Figuur 6-8: Basiswerking charge pump

Door de aanwezigheid van de Up en Down signalen kan er gebruik gemaakt worden van een charge pump. De basiswerking hiervan is weergegeven in Figuur 6-8. De Up/Down uitgangen van de PFD zullen de schakelaars aansturen. Door een Up signaal zal er een stroom naar de uitgang gestuurd worden. Bij een Down signaal zal de stroom onttrokken worden. De uitgang van de charge pump wordt verbonden met de lusfilter. Wanneer dit eenvoudig een condensator is, kan de integratiewerking simpel verklaard worden. De breedte Up/Down pulsen zijn evenredig met het faseverschil. Dit betekent dat de gemiddelde uitgangsstroom evenredig is met het faseverschil. Wanneer er net geen 2π faseverschuiving is, zal de Up uitgang constant hoog zijn en is de uitgangsstroom constant geschakeld. Dit betekent dat de uitgangsstroom geschreven kan worden door

$$\overline{i_{out}} = \frac{\Delta\phi}{2\pi} i_0 \quad (6-4)$$

waarbij i_0 de grootte van de uitgangsstroom is. De spanning op de uitgang van het filter zal toenemen bij een positieve uitgangsstroom. Er geldt hiervoor

$$V_{out}(t_1) = V_{out}(t_0) + \frac{\overline{i_{out}}}{C} (t_1 - t_0). \quad (6-5)$$

Wanneer de oscillatiefrequentie en het aantal fasevergelijkingen veel groter is dan de bandbreedte van de PLL, kan de uitgang op de condensator continu beschouwd worden en benaderd worden door een integraal.

$$V_{out}(t_1) = V_{out}(t_0) + \frac{\overline{i_{out}}}{C} (t_1 - t_0) \quad (6-6)$$

$$V_{out}(t_1) - V_{out}(t_0) = \frac{\overline{i_{out}}}{C} (t_1 - t_0) \quad (6-7)$$

$$V_{out}(t + dt) - V_{out}(t) = \frac{\overline{i_{out}}}{C} (t + dt - t) \quad (6-8)$$

$$dV_{out} = \frac{\overline{i_{out}}}{C} dt \quad (6-9)$$

$$V_{out} = \int \frac{\Delta\phi(t)}{2\pi C} i_0 dt \quad (6-10)$$

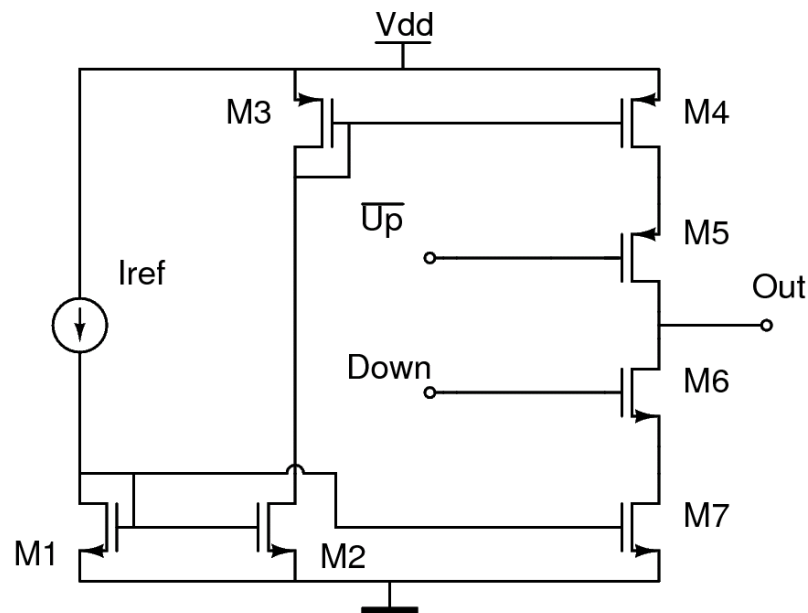
Zoals te zien is zal een fasedetector, met charge pump en capacitieve last, een integrerende werking hebben. Het lusfilter kan ook complexer zijn dan alleen een capaciteit. Als van (6-10) de laplace transformatie genomen wordt, kan de impedantie van de condensator afgezonderd worden. Hierdoor kan de fasedetector en charge pump als een versterkend element gezien worden die aan de uitgang een stroom stuurt.

$$V_{out}(s) = \frac{\Delta\phi(s)}{2\pi C s} i_0 = \frac{\Delta\phi(s)}{2\pi} i_0 Z_c(s) \quad (6-11)$$

De versterking is dan

$$\frac{I_{out}(s)}{\Delta\phi(s)} = \frac{i_0}{2\pi} \quad (6-12)$$

Door deze manier toe te passen kan het lusfilter voorgesteld worden met de impedantie van het filter. Figuur 6-9 toont de implementatie van de charge pump. Signalen Up en Down zijn afkomstig van de fasedetector. Deze sturen M5 of M6 die als doorlaattransistoren gaan werken. M4 en M7 zijn stroombronnen die gevoed worden uit de stroomspiegel die ze vormen met M1. M2 en M3 zorgen voor een spiegeling naar M4. Zoals verder besproken zal worden zal de grootte van de stroom een invloed hebben op het gesloten lus gedrag van de PLL.

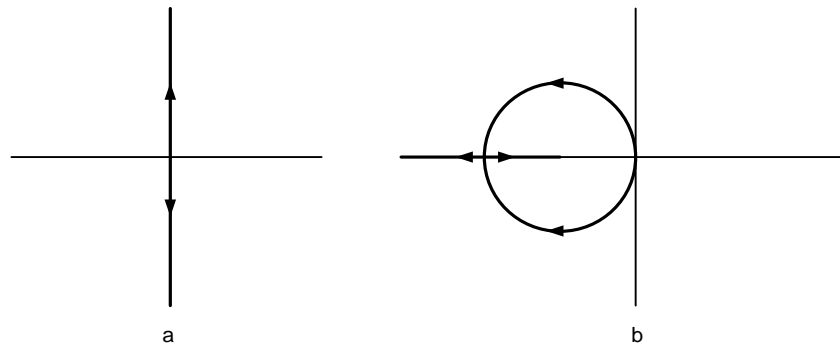


Figuur 6-9: Implementatie van de charge pump

6.4 Lusfilter

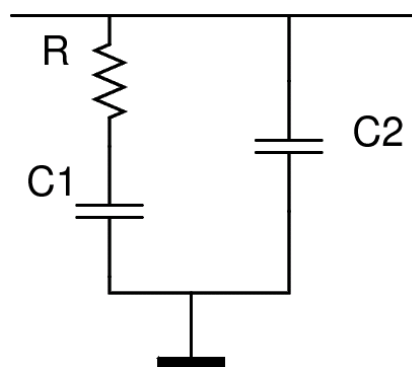
Het lusfilter zal gestuurd worden door de charge pump. Wanneer dit enkel een condensator is, zal het systeem niet stabiel zijn. De fasedetector samen met de charge pump en condensator zorgen dan voor een tweede integrator (VCO is ook een integrator). Hierdoor staan er twee integratoren in een lus, wat onstabiel is [7]. Het

lusfilter zal aangepast moeten worden naar een condensator in serie met een weerstand. Dit zorgt voor een extra nulpunt wat het systeem wel stabiel maakt. Figuur 6-10a toont de root locus met enkel een capaciteit als lusfilter. Deze zorgt ervoor dat er enkel polen op de imaginaire as liggen wat niet stabiel is. Figuur 6-10b toont hetzelfde maar met een extra nulpunt. We wensen steeds complex toegevoegde polen omdat de overgang dan plots -40dB/dec wordt in plaats van twee reële polen. Dan is de filtering beter. Toch moet de dempingsfactor best groter dan 0.7 gekozen worden zodat er geen opslingering optreedt, dit zou een ongewenste toename van de faseruis met zich meebrengen.



Figuur 6-10: a) Root locus met enkel een condensator b) Root locus door extra nulpunt

De analyse die werd gedaan ging er vanuit dat de gemiddelde stroom een continu signaal is. Dit is niet het geval want de stroom is pulserend, waarbij de gemiddelde waarde gebruikt werd. Het gevolg van de pulserende stroom is dat de uitgang van het lusfilter, door de toegevoegde weerstand, deels zal pulseren. Dit is een ongewenste stoorbron op de ingang van de VCO waar het lineair gedrag geen rekening mee houdt. Om dit stoorsignaal weg te werken, zal parallel met de RC serieschakeling nog een capaciteit geplaatst worden (Figuur 6-11). Dit heeft tot gevolg dat het systeem al direct derde orde wordt en dat stabiliteit in gevaar kan komen. Om deze redenen wordt de parallelcondensator steeds 10 keer kleiner genomen dat de capaciteit die in serie staat.



Figuur 6-11: Lusfilter

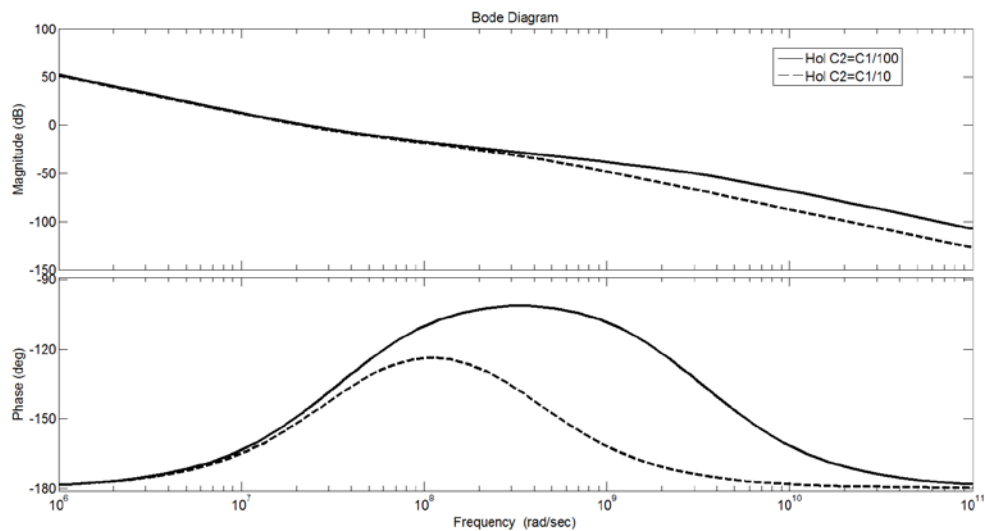
Voor de openlus transferfunctie geldt

$$H_{ol}(s) = \frac{K_d Z_{filter}(s) K_{vco}}{s} \quad (6-13)$$

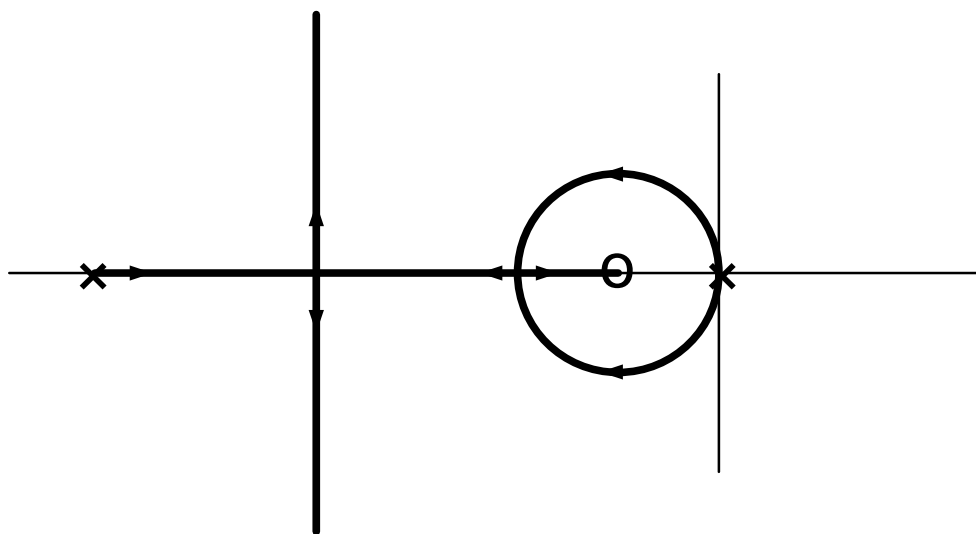
Hierin is K_d de versterking van de fasedetector en charge pump. Deze is gelijk aan $\frac{i_0}{2\pi}$. K_{vco} is de helling van de pulsatiekarakteristiek van de oscillator. Z_{filter} is de impedantie van de filter. Voor Z_{filter} geldt

$$Z_{filter}(s) = \frac{sRC_1 + 1}{sC_1 \left(1 + \frac{C_2}{C_1}(1 + sRC_1)\right)} = \frac{sRC_1 + 1}{sC_1 \left(\left(1 + \frac{C_2}{C_1}\right) + sRC_2\right)} \quad (6-14)$$

Het totale systeem is dus van derde orde met twee polen in de oorsprong, een nulpunt op $\frac{1}{RC_1}$ en een pool op $\frac{1}{R\frac{C_1 C_2}{C_1 + C_2}}$ welke de serieschakeling van C1 en C2 is. Deze pool kan benaderd worden met $\frac{1}{RC_2}$ omdat C2 veel kleiner is dan C1. Het nulpunt zal dus voor de pool komen. Figuur 6-12 toont de bodeplot met verschillende C2. Als C2 groter wordt, zal de pool dichterbij het nulpunt gaan liggen. De fasemarge wordt dan kleiner en het systeem wordt minder stabiel. Er moet dus een trade-off gedaan worden tussen stabiliteit voor het lineair gedrag en filtering van de pulsen wat hier niet zichtbaar is. C2=C1/100 geeft een goede respons.



Figuur 6-12: Open lus respons

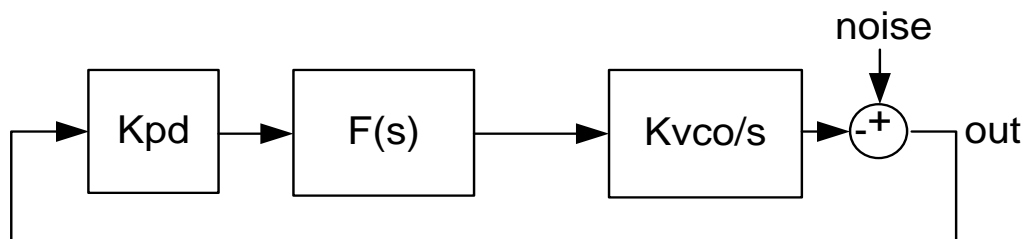


Figuur 6-13: Root locus van het 3de orde systeem

Als de root locus (Figuur 6-13) van het derde orde systeem bekeken wordt, zien we dat er complexe polen ver van de oorsprong kunnen optreden. Deze zullen echter weinig invloed hebben op het systeem omdat de dominantie polen gelegen zijn aan de cirkel,

die veel dichterbij de oorsprong ligt. De afstand heeft alles te maken met de keuze van C2. Wanneer de pool te dicht bij het nulpunt komt, kunnen er stabiliteitsproblemen optreden.

De belangrijkste curve is de transferfunctie van de uitgang t.o.v. de uitgang van de VCO. Deze transferfunctie zal bepalen hoe de faseruis van de VCO naar de uitgang gaat. Hier is het belangrijk dat opslinging vermeden wordt. Om deze transferfunctie te berekenen, wordt de uitgang van de VCO als ingang van het systeem gekozen. De VCO kan voorgesteld worden als een ideale oscillator, met als som de ruis ervan welke de ingang van het systeem is. Figuur 6-14 toont het blokschema hiervan. De optelling is negatief voor de ingang van de VCO, dit werd overgenomen uit vorig blokschema omdat er een inversie optreedt aan de fasedetector die nu gebeurt aan de optelling. Voor de rest van de analyse maakt dit geen verschil en is het eenvoudig om de invloed van de ruis op de uitgang te berekenen.



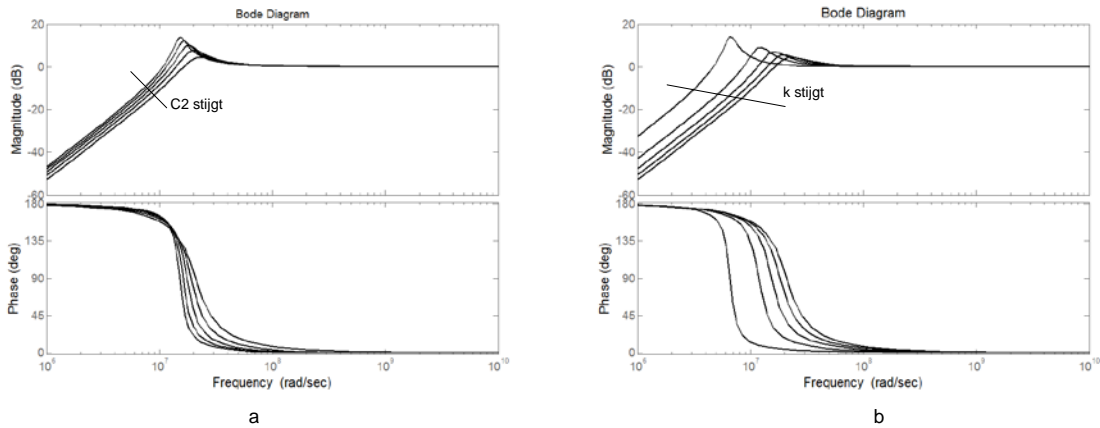
Figuur 6-14: Ruis toevoeging in gesloten lus

Zoals in 4.6 kan de faseruis van een oscillator berekend of gesimuleerd worden. De faseruis die daar bekomen werd is de ruisingang van Figuur 6-14. Eerst moet de transferfunctie van de ingang naar de uitgang berekend worden. Dit is

$$\begin{aligned}
 H_{noise}(s) &= \frac{\Phi_{out}(s)}{\Phi_{noise}(s)} = \frac{H_{voorwaarts}(s)}{1 + H_{ol}(s)} = \frac{1}{1 + H_{ol}(s)} \\
 &= \frac{1}{1 + \frac{K_d Z_{filter}(s) K_{vco}}{s}}
 \end{aligned}
 \tag{6-15}$$

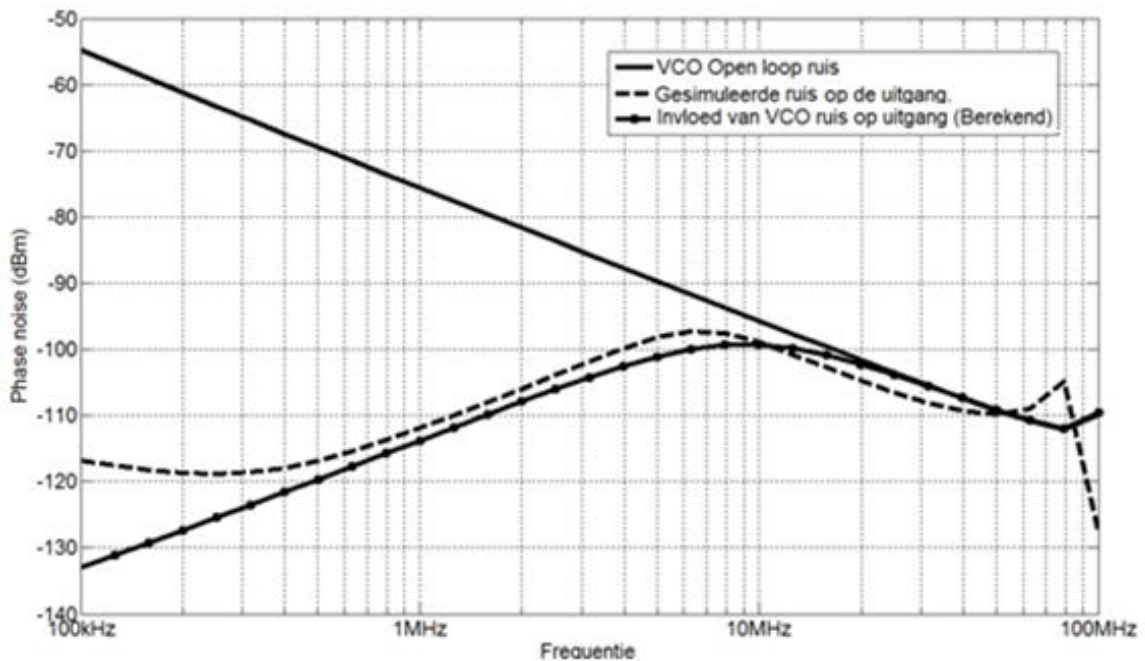
Het is duidelijk dat dit een hoogdoorlaat filter is op de ruis van de VCO waarbij de gesloten lus transferfunctie een laagdoorlaat filter is. Beide afsnijfrequenties zullen gelijk zijn. Hierdoor moet een trade-off gemaakt worden voor deze keuze. Wanneer de bandbreedte van de PLL klein genomen wordt, zal de ruis van de ingangsklok door de PLL sterk onderdrukt worden en zal de ruis op de uitgang bepaald worden door de ruis van de VCO. Wanneer de bandbreedte groot genomen wordt, zal de ingangsruis weinig onderdrukt worden, maar zal de ruis van de VCO meer onderdrukt worden. In dit geval wordt de ruis van het systeem bepaald door de ruis op de ingangsklok. Hiervoor kunnen echter zeer accurate referentieklokken gekozen worden waarvan de faseruis ver onder die van de VCO ligt. In deze klokken wordt gebruik gemaakt van kristallen.

Figuur 6-15a toont de ruis transferfunctie bij stijgende C2. Doordat C2 dichterbij C1 komt te liggen, gaat de pool het nulpunt sneller opheffen. Hierdoor wordt het systeem minder stabiel omdat het nulpunt nodig is voor stabiliteit.



Figuur 6-15: a) Invloed van C2 op de ruistransferfunctie b) Invloed van K op de ruistransferfunctie

Figuur 6-15b toont de functie bij stijgende versterking, dit is door een grotere stroom in de charge pump. De versterking van de VCO is constant (tuning range van de oscillator). De toename van stabiliteit is duidelijk uit de root locus. Als de versterking vergroot, zal de complexe pool op een hogere dempingsfactorlijn liggen als die over de cirkel schuift (laatste deel van de cirkel voor dat de reële as bereikt is). Figuur 6-16 toont de faseruis karakteristieken van de PLL. (—) Is de open lus faseruis van de VCO zoals gegeven in 4.6 (gesimuleerde waarde). De ruistransferfunctie van (6-15) werd eerst gekwadrateerd en vermenigvuldigd met de open lus ruis van de VCO. Dit is weergegeven met (—●—). Hierin komt het hoogdoorlaat gedrag tevoorschijn.



Figuur 6-16: Faseruis invloed van VCO op de uitgang

Voor lage frequenties wordt de faseruis van de VCO onderdrukt, voor hogere frequenties wordt deze volledig doorgelaten. (—●—) Toont de faseruis op de uitgang van de PLL die door de simulatie berekend is. Voor hoge frequenties is de faseruis van de PLL, die met de ruistransferfunctie vermenigvuldigd werd, een goede benadering. De gesimuleerde en berekende waarde zijn niet exact dezelfde. Dit komt omdat er nog meerdere ruisbronnen in de PLL aanwezig zijn (weerstand in filter, charge pump, fasedetector). Elke transistor zal ruis genereren. Toch is bij hoge frequenties de ruis van de VCO dominant. Bij lagere frequenties zal 1/f ruis belangrijk worden. Niet alleen

de VCO zal $1/f$ ruis genereren, maar ook andere componenten in de PLL zullen $1/f$ ruis maken. Uit een 'noise summary' blijkt dat de fasedetector een grote hoeveelheid $1/f$ ruis toevoegt. Deze ruis is afkomstig uit de digitale blokken. De digitale blokken werden minimum sized gekozen, maar kunnen beter opnieuw gemaakt worden voor de digitale poorten in de PLL met eenzelfde W/L maar grotere lengtes en breedtes om $1/f$ ruis te verminderen. Met deze ruis werd uiteraard in de berekening geen rekening gehouden waardoor de uitgangsrui hiervan afwijkt onder de $1/f^3$ corner.

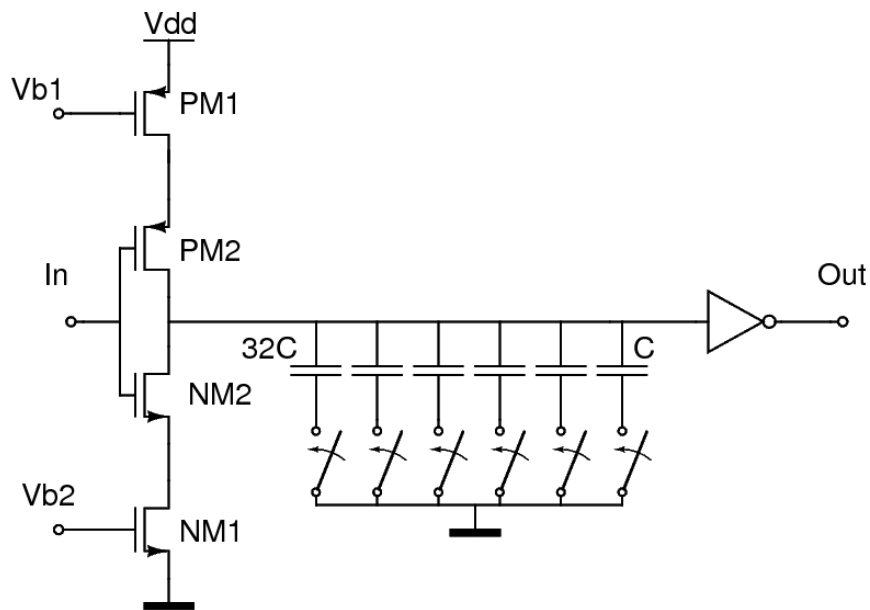
7 DIGITAL TO TIME CONVERTER

Een Digital to Time Converter of digitaal naar tijdsomzetter is het laatste blok dat de interpolatie gaat uitvoeren. De bedoeling van dit blok, is dat een 6-bit ingangswoord (64 combinaties) vertaald wordt naar een vertraging van de ingangsklok tussen 0 en 1,25ns (10ns/8, 100MHz frequentie) [24]. Net zoals de PLL de frequentie van de VCO fijn regelt, zal hier een gelijkaardige methode nodig zijn om de vertraging juist 1.25ns te maken, anders zou dit door temperatuurs- of procesvariaties verschillend zijn. Voor deze schakeling zal de stapgrootte gelijk zijn aan $\frac{1,25ns}{64} = 19,5ps$.

7.1 Vertragingselement

Het gebruikte vertragingselement is weergegeven in Figuur 7-1. Dit is dezelfde structuur als de current-starved inverter uit 4.3.2. De spanning V_{b1} wordt gegenereerd uit een stroomspiegel die de stroom door NM1 spiegelt. Door de spanning op V_{b2} te regelen is de oplaad- en ontladstroom gelijk en regelbaar. Dit is belangrijk voor de instelling.

PM2 en NM2 zullen werken als schakelaar die de uitgang oplaadt of ontladst met een constante stroom. Op de uitgang worden 6 condensatoren geplaatst, met waarden $C, 2C, 4C, \dots$. Deze zijn binair gewogen. De 6 ingangsbits sturen een schakelaar die de condensatoren actief of niet maken. Als de schakelaar open is, zal de condensator geen invloed hebben op de uitgang en zal deze de vertraging niet beïnvloeden. Als de schakelaar wel gesloten is, zal de uitgang een extra vertraging ondervinden.



Figuur 7-1: Vertragingselement voor de DTC

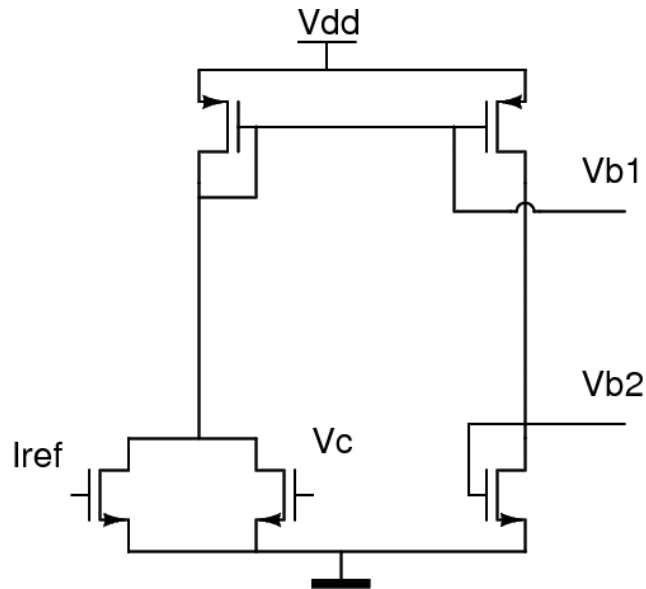
De vertraging van de klok, is (benaderd) gegeven door

$$\tau_d = \frac{V_{dd} C_{load}}{2I} \quad (7-1)$$

Hieruit is duidelijk dat de vertraging lineair evenredig is met de belastingscapaciteit. Deze wordt opgesplitst in twee delen:

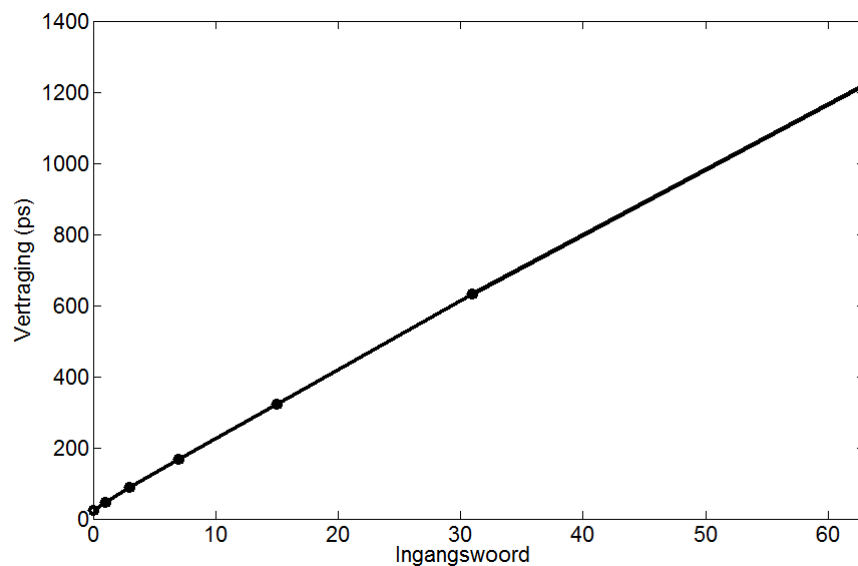
$$\tau_d = \frac{V_{dd} C_0}{2I} + \frac{V_{dd} C_{bin}}{2I} \quad (7-2)$$

Het eerste deel is een vaste capaciteit die alle parasitaire condensatoren omvat. Deze vormen een constante vertraging die altijd hetzelfde is bij eenzelfde stroom. De offsetvertraging vormt geen probleem omdat die steeds constant is en een vaste vertraging op de sampleklok gezien kan worden als nul. Het tweede deel is een regelbare vertraging op de uitgang door de schakelaars aan of uit te zetten. Deze vormen de regelbare vertraging die voor de werkelijke interpolatie zorgt. Het voordeel om dit op deze manier te doen is de lineariteit.



Figuur 7-2: Stroomspiegel voor de instelling van de DTC

Figuur 7-2 toont de stroomspiegel die Vb1 en Vb2 aanmaakt voor het vertragingselement. Deze stroom is regelbaar door Vc. Een ruststroom werd voorzien zodat er een minimale stroom loopt wanneer Vc nul is. Dit is belangrijk omdat er een terugkoppeling gevormd wordt die initieel een stuurspanning van nul zal aanmaken. Als dit niet gedaan wordt, treden er onverwachte overgangsverschuivingen tijdens het opstarten op. Dit zou de opstarttijd vergroten.

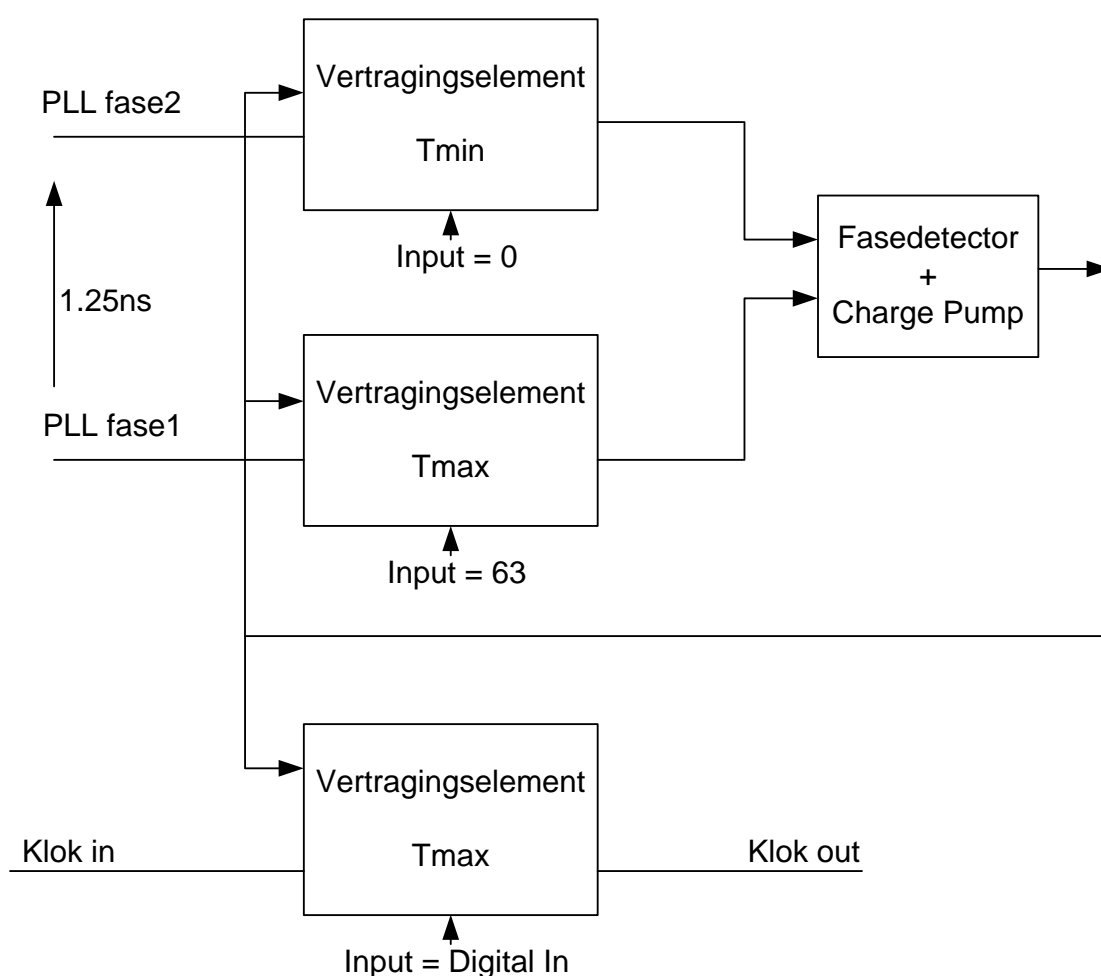


Figuur 7-3: Vertraging bij verschillende digitale ingangen

Figuur 7-3 toont een simulatie van verschillende vertragingstijden. Zoals te zien is er bij een ingang van 0 nog steeds een vertraging. Deze is afkomstig van de parasitaire capaciteiten.

7.2 Regellus

De vertraging moet uiteraard perfect afgestemd zijn om te regelen tussen 0 en 1,25ns. Dit is enkel mogelijk wanneer er feedback gebruikt wordt die de fout wegwerkt. Figuur 7-4 toont de architectuur van de DTC. Hierin worden 3 dezelfde vertragingselementen gebruikt. De bovenste twee vertragingselementen worden gebruikt voor de instelling. De onderste zal de klok, die afkomstig is uit de multiplexer, verder interpoleren. Het doel van de bovenste twee elementen is de controlespanning V_c aan te maken die de juiste stroom door het vertragingselement stuurt voor een correcte vertraging.



Figuur 7-4: Regellus voor de instelling van de DTC

Het bovenste vertragingselement heeft een digitale ingang van nul. Dit betekent dat de vertraging hiervan minimaal is. Dit is de vertraging die afkomstig is van de parasitaire capaciteiten.

$$T_{min} = \frac{V_{dd}C_0}{2I} \quad (7-3)$$

Het tweede vertragingselement heeft een maximale vertraging. Hierin zijn alle bits 1. De vertraging hiervan is

$$T_{max} = \frac{V_{dd}C_0}{2I} + \frac{V_{dd}C_{bin}}{2I}. \quad (7-4)$$

De afstemming van de extra vertraging op 1,25ns komt door het verschil in ingangsklokken. Het element dat een minimale vertraging geeft, heeft als ingangsklok een volgende fase uit de PLL. Beide ingangsklokken van de twee vertragingselementen verschillen dus 1,25ns.

De uitgang van beide vertragingselementen worden met elkaar vergeleken bij de fasedetector (dit is dezelfde als bij de PLL) en zal de uitgangsspanning aanpassen zodat de uitgangen in fase zijn. Wanneer dit het geval is geldt

$$T_{max} = T_{min} + 1,25ns \quad (7-5)$$

of

$$\frac{V_{dd}C_0}{2I} + \frac{V_{dd}C_{bin}}{2I} = \frac{V_{dd}C_0}{2I} + 1,25ns. \quad (7-6)$$

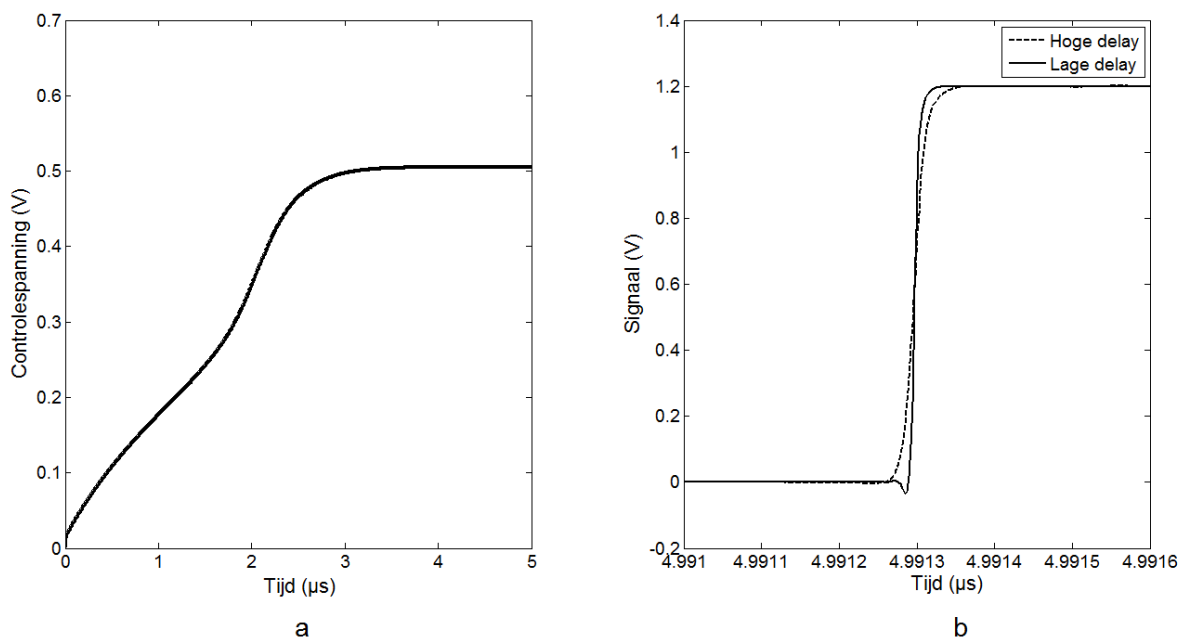
$$\frac{V_{dd}C_{bin}}{2I} = 1,25ns \quad (7-7)$$

$\frac{V_{dd}C_{bin}}{I}$ is de maximale vertraging wanneer de digitale ingang 63 is. Dit betekent dat de extra vertraging nu perfect afgestemd is en regelbaar tussen 0 en 1,25ns. De uitgang van de fasedetector regelt de controlespanning van de vertragingselementen waardoor het verschil tussen T_{min} en T_{max} geregeld wordt.

De regellus zelf is uiteraard niet lineair. De bandbreedte van deze lus werd klein genomen door een grote capaciteit op de uitgang van de charge pump te zetten. De dynamische eigenschappen worden hiervan niet bekeken omdat de regellus een DC instelling vormt en zo traag mogelijk moet zijn. Dit heeft als voordeel dat de jitter die tussen de twee fasen van de PLL optreedt sterk onderdrukt wordt naar de DTC.

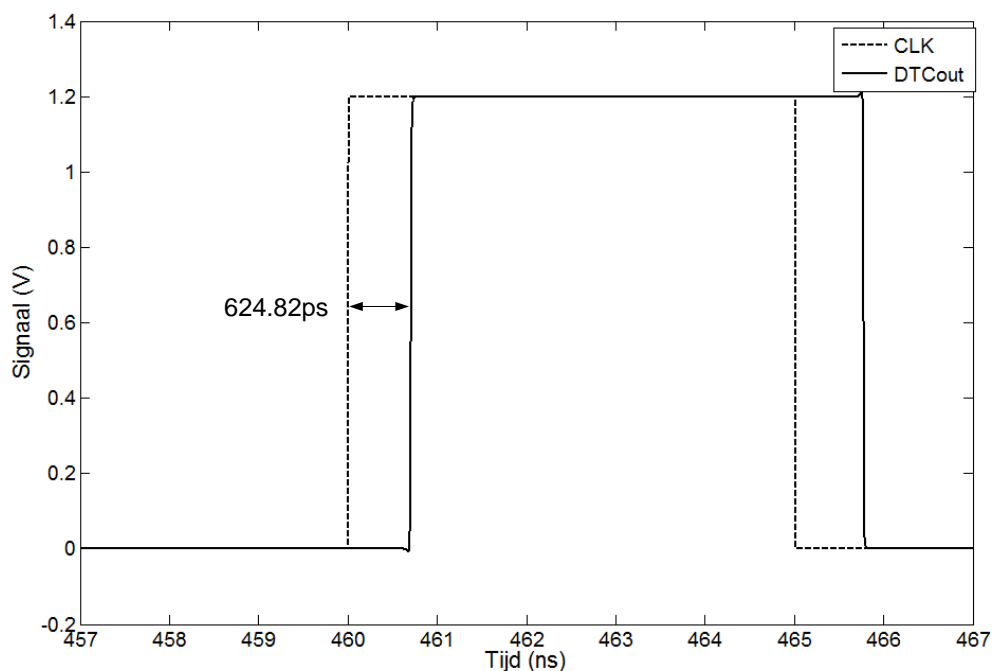
Het is belangrijk dat de uitgang van het snelle element aan de referentie-ingang van de fasedetector (PLL referentieklok) gekoppeld is. Wanneer de ingangen gewisseld worden treedt er geen negatieve terugkoppeling meer op.

Figuur 7-5b toont een simulatie nadat de opstartverschijnselen verdwenen zijn. Dit zijn de blokgolven op de ingang van de fasedetector. Duidelijk zijn deze in fase. Figuur 7-5a toont de uitgang van de charge pump, welk de stuurspanning is van de vertragingselementen. Een opstarttijd van 4µs is nodig.



Figuur 7-5: a) Lock toestand van beide elementen b) Opstartverschijnsel van de instelspanning

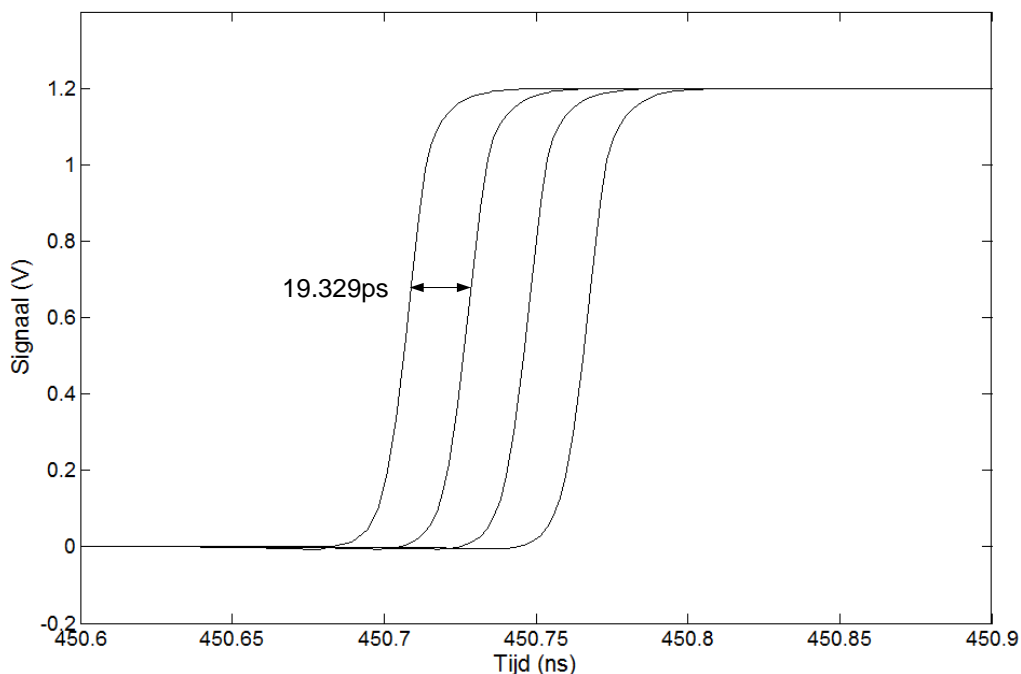
Figuur 7-6 toont een simulatie waarbij de referentielus al gelocked is. Het ingangswoord van het vertragingselement is '100000' (32), wat de helft van het bereik is. De simulatie toont een vertraging van 624,89ps, wat slechts een afwijking is van 110fs. Hierin werd geen ruis gesimuleerd om de werking aan te tonen.



Figuur 7-6: Simulatie met 100000 (32) als ingangswoord

Figuur 7-7 toont 4 opeenvolgende fasen. Zoals te zien is liggen twee fasen 19,3ps uit elkaar. Dit is $1250\text{ps}/64$. Normaal zou dit 19,5ps moeten zijn, wat 200fs fout is. Deze fout is afkomstig van de lock op de referentielus. Deze is niet perfect in lock en er ontstaat een klein faseverschil (30ps) tussen de twee ingangen van de fasedetector. Dit faseverschil zal voor de fout zorgen. Wanneer er op één van de ingangen van de

fasedetector een extra vertraging gezet werd, dan zijn de twee uitgangen van de referentievertraging in fase. Op dat moment is het tijdsverschil tussen twee opeenvolgende fasen 19,5ps. Uiteraard is dit geen praktische aanpak van het probleem maar dit toont aan wat hiervan de oorzaak is.



Figuur 7-7: 4 Opeenvolgende interpolaties

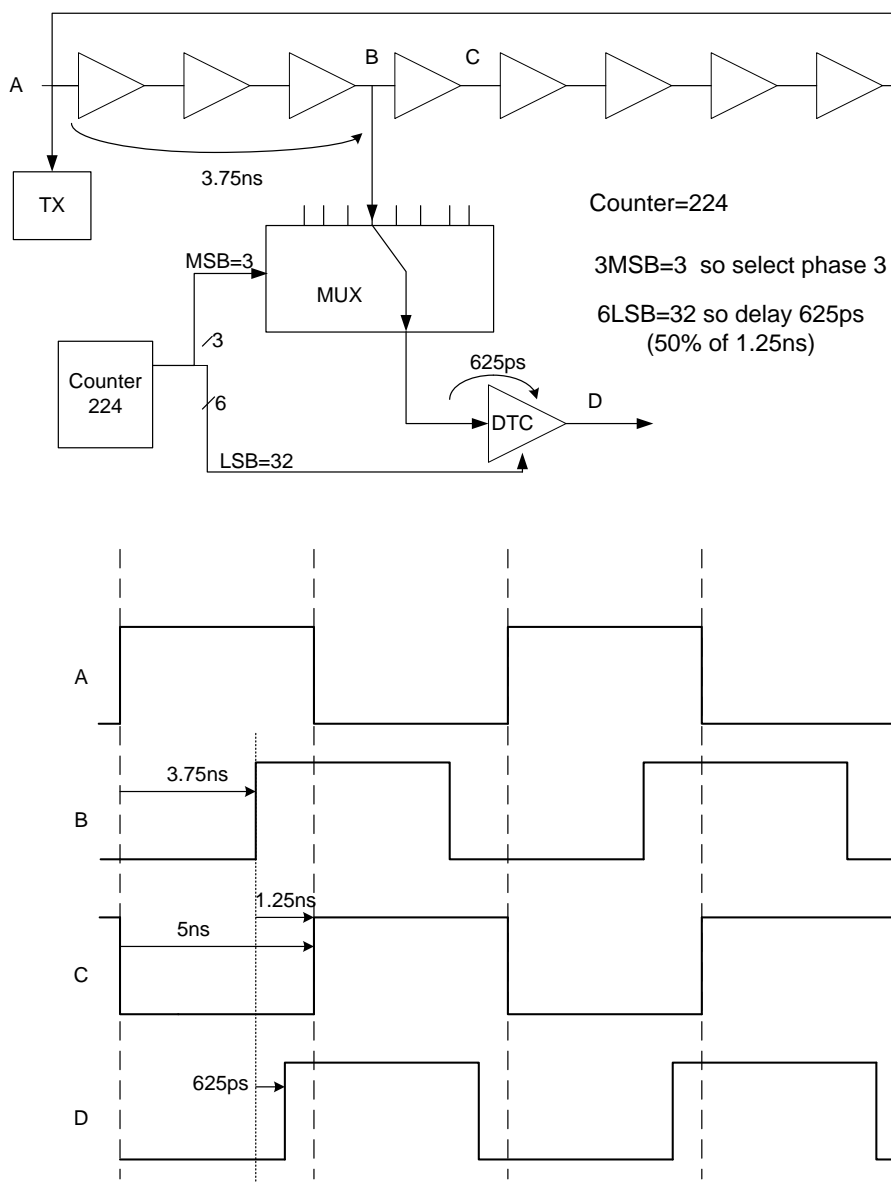
Figuur 7-8 toont de werking van de DTC in het volledige systeem. Veronderstel dat de teller op een waarde van 224 staat. Dit is binair 011100000 waarbij de hoogste drie bits onderlijnt zijn. De 3 MSBs zijn 011(3) en de 6 LSBs zijn 100000(6). Dit betekent dat de multiplexer de derde fase gaat selecteren (als de beginfase fase 0 is). Dit geeft een vertraging van $3 \times 1,25\text{ns} = 3,75\text{ns}$. De DTC zal een interpolatie uitvoeren van 625ps. Dit geeft een totale vertraging van 4,375ns, wat 43,75% van 10ns is. Dit is hetzelfde als de verhouding van de teller tot 512 ($224/512 = 43,75\%$). Onderaan is ook de golfvorm weergegeven.

7.3 Jitter

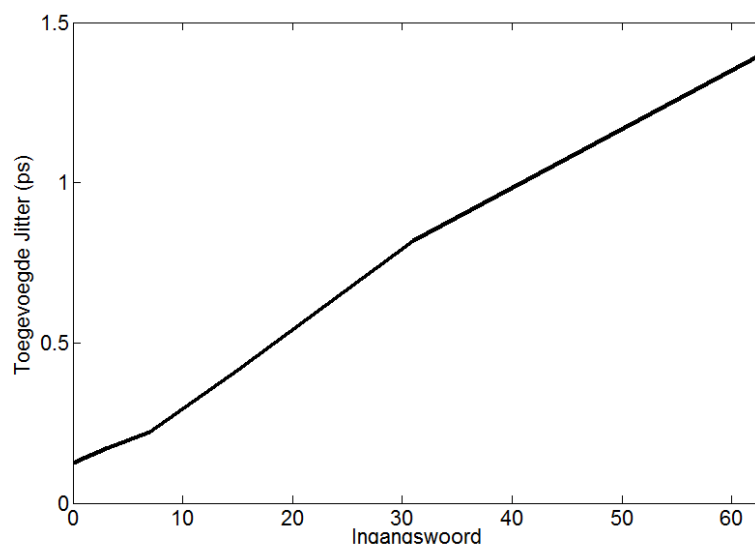
Een belangrijke eigenschap van de DTC is dat deze zo weinig mogelijk jitter mag toevoegen. Wanneer de vertraging stijgt, stijgt ook de jitter. Dit betekent dat bij kleine vertragingstijden de jitter veel minder is dan bij grote vertragingstijden. Voor een maximale vertraging (1,25ns) is de jitter hiervan 1,4ps rms. Dit is uiteraard het slechtste geval. In het beste geval, wanneer de vertragingstijd minimaal is, is de jitter slechts 124fs. Figuur 7-9 toont de toegevoegde jitter in het DTC-element. Zoals te zien is deze ongeveer lineair evenredig met de vertraging.

In principe zal de gemiddelde jitter ergens tussenin liggen. Voor de performantie van de klok wordt uitgegaan van het slechtst geval (1,4ps bij 270 μ A). De jitter kan verbeterd worden door de stroom, die de capaciteit laadt, te vergroten. Dit brengt meer vermogenverbruik met zich mee en grotere capaciteiten. Wanneer de jitter twee maal kleiner gewenst wordt, moet er vier keer meer stroom voorzien worden. Dit brengt ook met zich mee dat de capaciteiten vier keer groter genomen moeten worden omdat $\frac{C}{I}$ constant gehouden moet worden voor eenzelfde vertraging (4.3.3).

Het DTC-element kan nog verder geoptimaliseerd worden door de $1/f$ ruis te verminderen. Het gevolg hiervan is dat de transistoren een veel groter oppervlak in beslag gaan nemen.



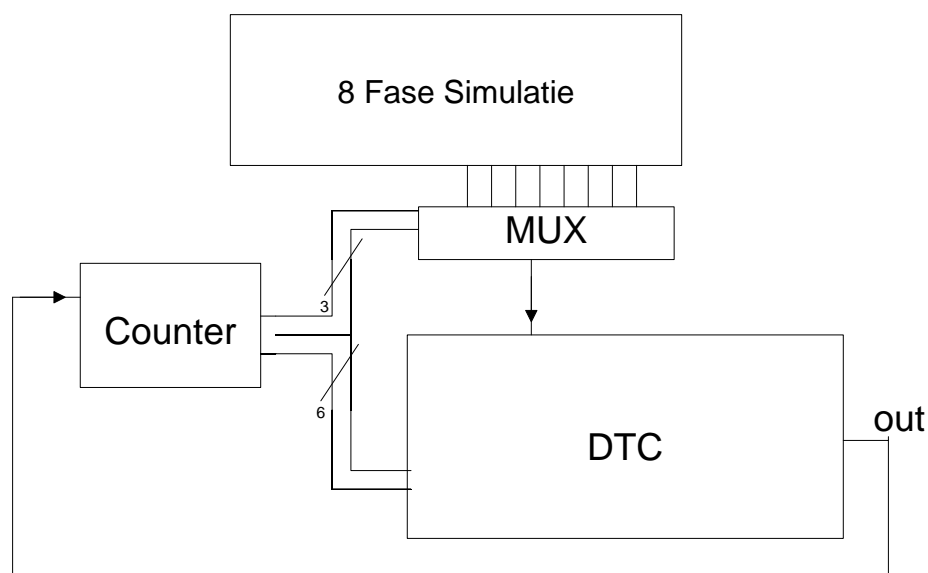
Figuur 7-8: Voorbeeld van de DTC in het complete systeem. A: fase 0 van de VCO B: fase 3 van de VCO (3,75ns t.o.v. fase 0) C: fase 4 van de VCO D: Uitgang van de DTC (625ps t.o.v. B)



Figuur 7-9: Jitter in functie van het ingangswaarde

7.4 Simulatie DTC zonder VCO

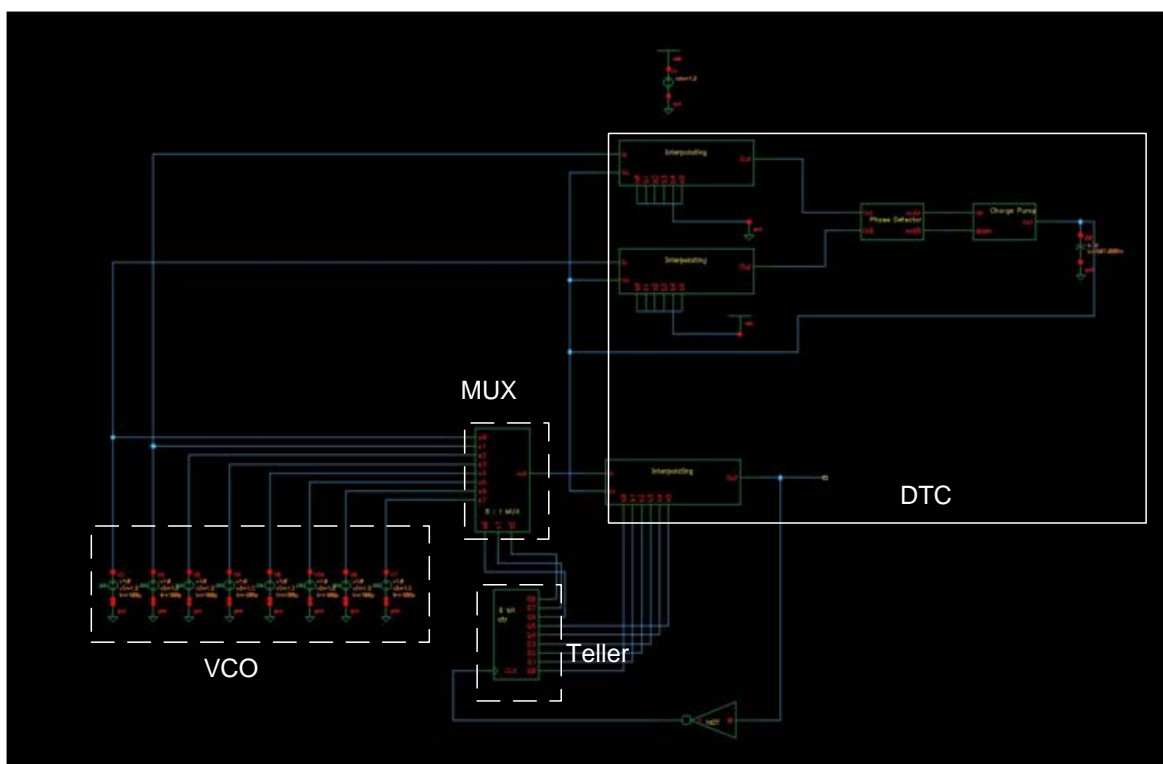
Om de werking van de DTC te integreren in het volledige systeem, kan de VCO, multiplexer en teller bijgevoegd worden. Omdat er soms convergentieproblemen zijn bij het simuleren van de VCO, zullen er door het toevoegen van de DTC (waar ook een terugkoppeling inzit) nog meer simulatieproblemen optreden. Daarvoor werd de VCO niet meer geplaatst bij deze simulatie. Deze werd vervangen door acht blokgolven die elk 1,25ns verschoven zijn.



Figuur 7-10: Blokdiagramma van de simulatie

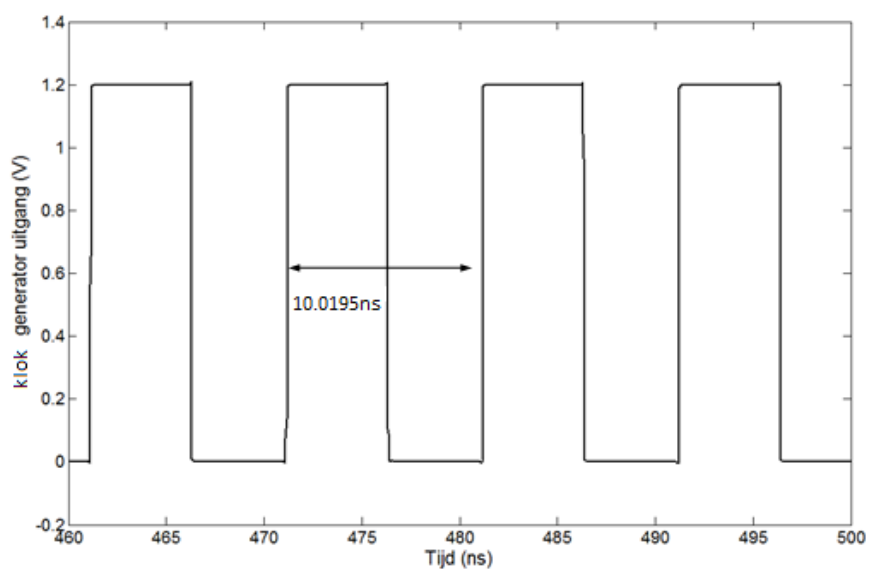
Zoals weergegeven in Figuur 7-10 zal de teller niet gestuurd worden door de ingangsklok (die is hier niet aanwezig maar zal in het volledige ontwerp wel aanwezig zijn voor de PLL te sturen) maar worden verhoogd op een dalende flank van de uitgang van de DTC. Dit is nodig omdat de teller niet op een vast tijdstip mag verhogen. Anders zou het kunnen (bij de eerste fasen) dat de teller verandert wanneer de flank door de schakeling loopt. Dit geeft dan een fout resultaat. Door de teller te verhogen op de

dalende flank van de uitgang is er nog 5ns over om de teller bij te werken voor er een nieuwe flank door de schakeling gaat.



Figuur 7-11: Opstelling van de simulatie

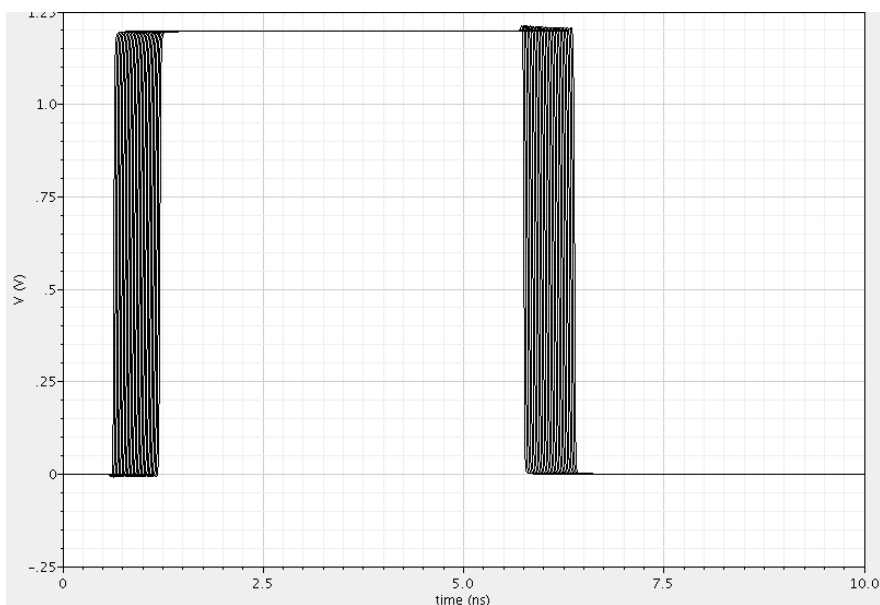
Figuur 7-11 toont deze simulatie. Het verhogen van de teller op de dalende flank werd gerealiseerd door een inverter te plaatsen. Hierop is ook zichtbaar dat de laagstbeduidende bits van de teller naar de DTC gaan en de hoogstbeduidende bits naar de multiplexer gaan. De referentielus van de DTC gebruikt twee opeenvolgende fasen van de (gesimuleerde) VCO.



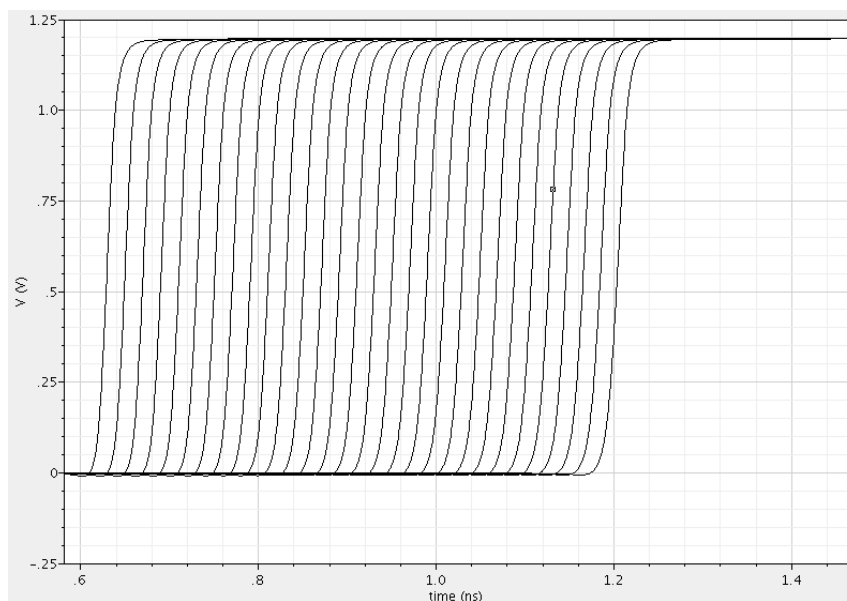
Figuur 7-12: Uitgangsklok met VCO-klok van 10ns

Het resultaat op de uitgang van de DTC is getoond in Figuur 7-12. Het is hier duidelijk dat de periode gelijk is aan de periode van de VCO plus 19,5ps die de interpolator toevoegt. Dit is het resultaat dat gewenst was.

Figuur 7-13a toont het oogdiagramma van de uitgangsklok. De periode van het oogdiagramma is 10ns. Op deze manier is het mogelijk om de interpolatie visueel weer te geven. Er worden steeds stukken van 10ns uit de uitgang genomen en over elkaar geplakt. Omdat er bij elke stijgende klok, 19,5ps na de uitgang bijgeteld wordt, zal dit in het oogdiagramma zichtbaar zijn als flanken die 19,5ps van elkaar verschoven zijn. Op deze manier is het duidelijk dat de interpolator werkt. Figuur 7-13b toont een uitvergrootte versie van Figuur 7-13a.



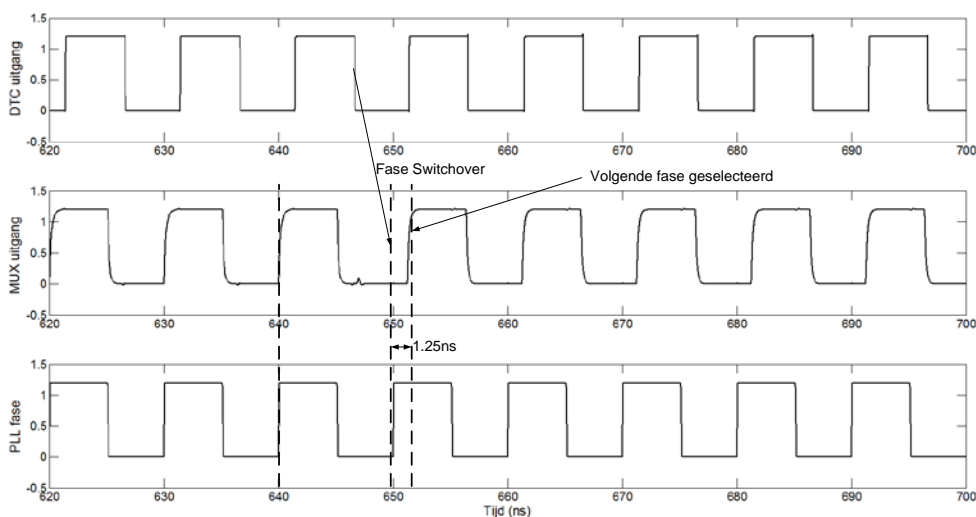
a



b

Figuur 7-13: a) Oogdiagramma van de uitgang met 10ns periode b) Vergroting van de stijgende flanken

Wanneer ook de uitgang van de multiplexer bekeken wordt, kan gezien worden dat na 64 klokpulsen, deze de volgende fase van de VCO gaat kiezen. Omdat die 1,25ns verschoven is, zal een extra vertraging zichtbaar zijn. Figuur 7-14 toont dit verschijnsel. Tijdens de derde dalende flank van de uitgang (DTC out) gaat de 3MSBs verhogen. Hiervoor was de uitgang van de multiplexer in fase met "PLL fase" omdat die dezelfde waren (multiplexer liet die fase door). Wanneer de teller zijn 3MSB met één verhoogt, neemt de multiplexer de volgende fase en is er 1,25ns vertraging tussen de uitgang van de multiplexer en PLL fase.



Figuur 7-14: Fase switchover op de multiplexer

Er kan besloten worden dat de werking van deze schakeling voldoet aan de voorgestelde eigenschappen. De jitter in één klokcycclus van de VCO is maximaal 2,8ps. De toegevoegde jitter in de DTC is maximaal 1,4ps. De ruis die de multiplexer toevoegt is verwaarloosbaar. Deze twee ruisbronnen kunnen kwadratisch opgeteld worden zodat de totale jitter gelijk is aan 3,2ps, wat minder is dan 5ps wat opgegeven was. Het totale vermogenverbruik dat de simulatie gaf, was 3mW. Hiervan gaat 1mW naar de VCO (PLL verbruikt bijna geen vermogen in lock omdat de charge pump normaal niet naar de uitgang stuurt in lock).

8 LAYOUT VAN DE VCO

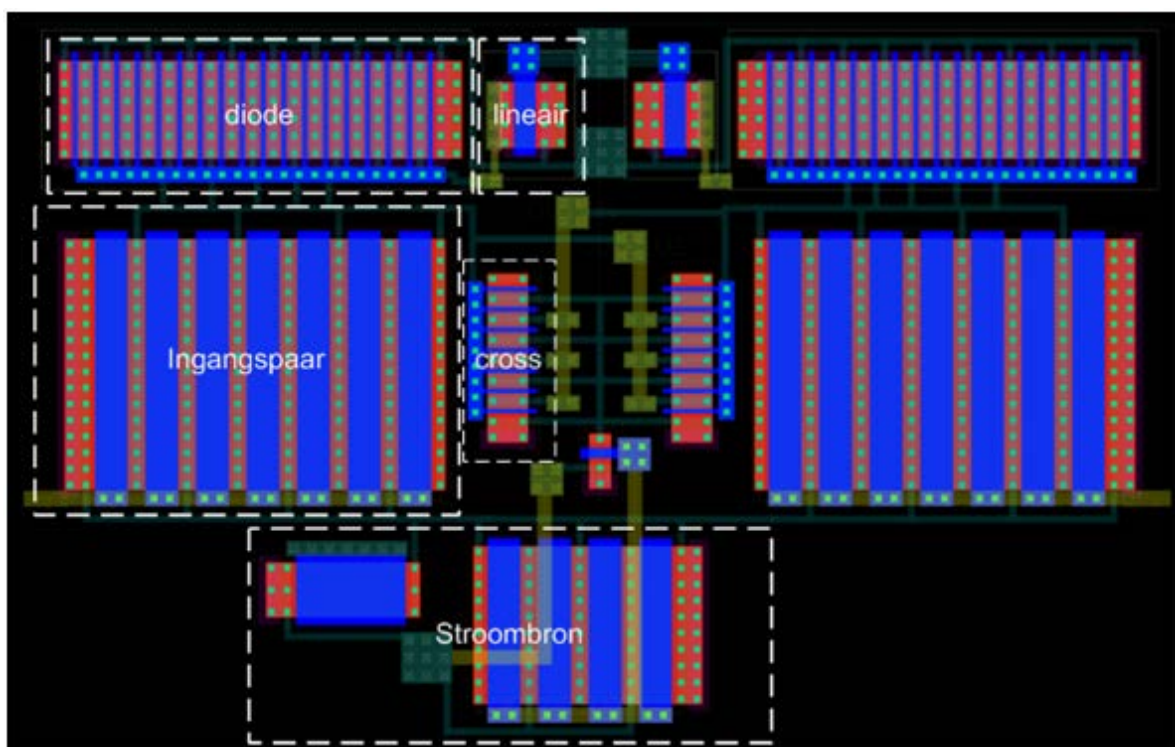
Enkel de layout van de VCO werd gedaan, niet de volledige klokgenerator. De VCO zal hiërarchisch getekend worden. Differentieel element, replica biasing, opamp en uitgangsbuffer zullen afzonderlijk ontworpen worden en later samengevoegd worden. Het is belangrijk dat de differentieële elementen symmetrisch gemaakt worden om zoveel mogelijk CMRR te hebben.

De transistoren moesten niet meer getekend worden, deze waren beschikbaar in de design kit. Deze werden automatisch met de juiste afmetingen gegenereerd met het aantal opgegeven vingers. Voor PMOS transistoren werden automatisch N-wells geplaatst met bijhorende bulkcontacten. De werking van de schakelingen werd eerder besproken.

8.1 Differentieel ring element

Het differentieel ring element is de basis van de ring oscillator. Het hele element moet zo goed mogelijk symmetrisch geplaatst worden. Figuur 8-1 geeft dit weer. Bovenaan werd de diode en lineaire last geplaatst. Om de transistoren ongeveer vierkant te maken werd volgende formule gebruikt om het aantal vingers te berekenen.

$$n = \sqrt{\frac{W}{L}} \quad (8-1)$$

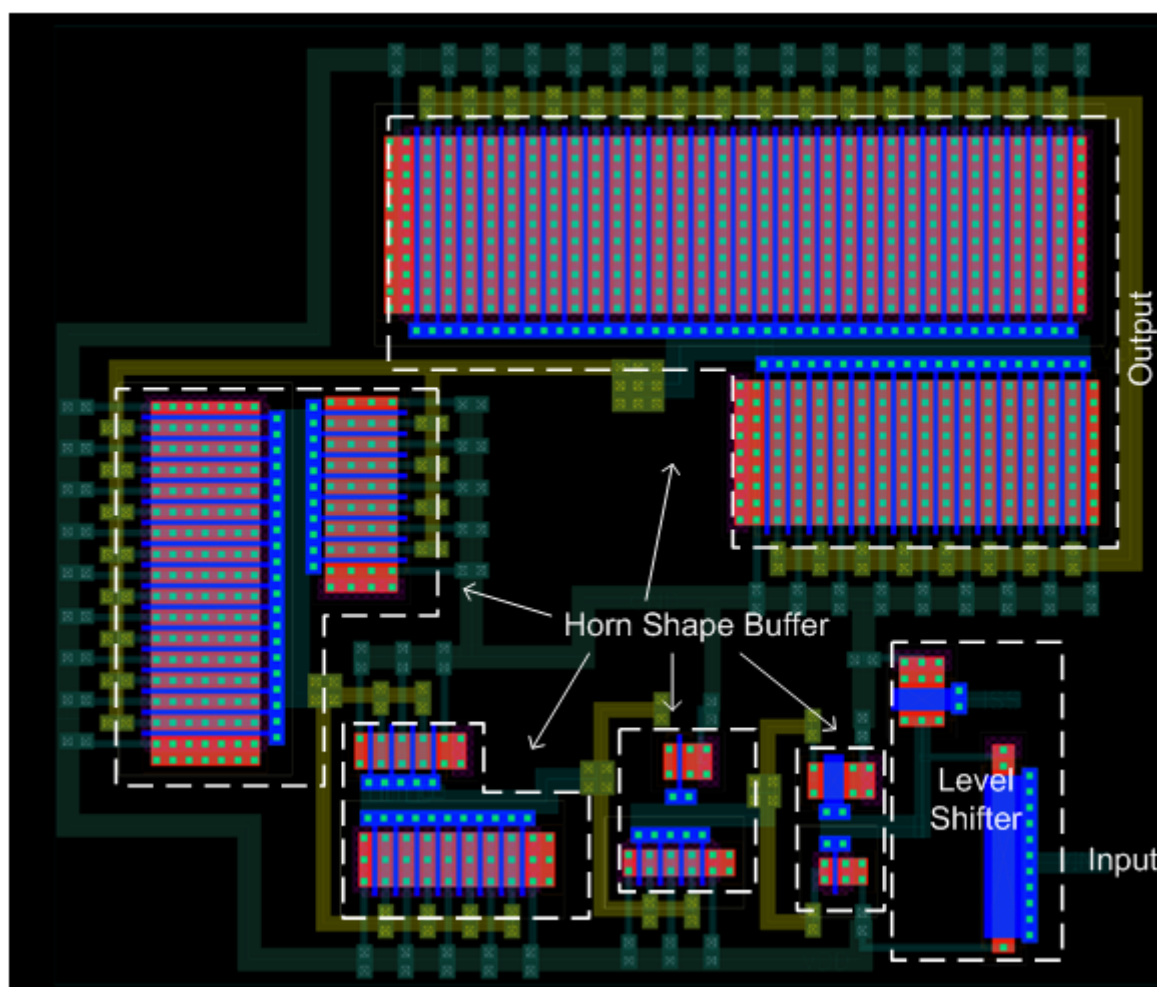


Figuur 8-1: Layout differentieel element

Verbindingen op het laagste niveau werden beperkt tot metaal 2. Hiervoor werden minstens twee via's gebruikt en waar mogelijk nog meer. Tijdens het proces is het mogelijk dat er een via mislukt waardoor een deel niet zou werken (betrouwbaar). Ook is de weerstand van een via vrij groot (tientallen ohm) waardoor meerdere via's de weerstand verlagen. Dit geldt ook voor de contacten van de transistor naar metaal 1.

8.2 Uitgangsbuffer

De uitgangsbuffer is nodig om een koppeling mogelijk te maken tussen de VCO en een meetinstrument. Hierdoor is de uitgangscapaciteit ontzettend groot. Directe koppeling zou ervoor zorgen dat de VCO niet symmetrisch oscilleert. Om een grote uitgangscapaciteit te sturen werd een hoorn-vormige uitgangsbuffer gekozen. Op de layout hiervan is de hoorn zichtbaar in uurwijzerzin (Figuur 8-2). 5 Groter wordende invertoren zijn achter elkaar geschakeld met een schalingsfactor van 4. Het eerste deel is nog een level shifter om de oscillatie naar een gemiddelde waarde van 0,6V te brengen. De voedingsspanning loopt rond de invertoren. Hier is het belangrijk dat dit pad dikker getekend wordt, het is hier dat er meer stroom gaat lopen en dit zou anders kunnen zorgen voor een daling van de voedingsspanning op de uitgangsbuffer tijdens het schakelen. Via's voor voeding en massa zijn dan ook voorzien van veel meervoudige via's om de weerstand laag te houden.

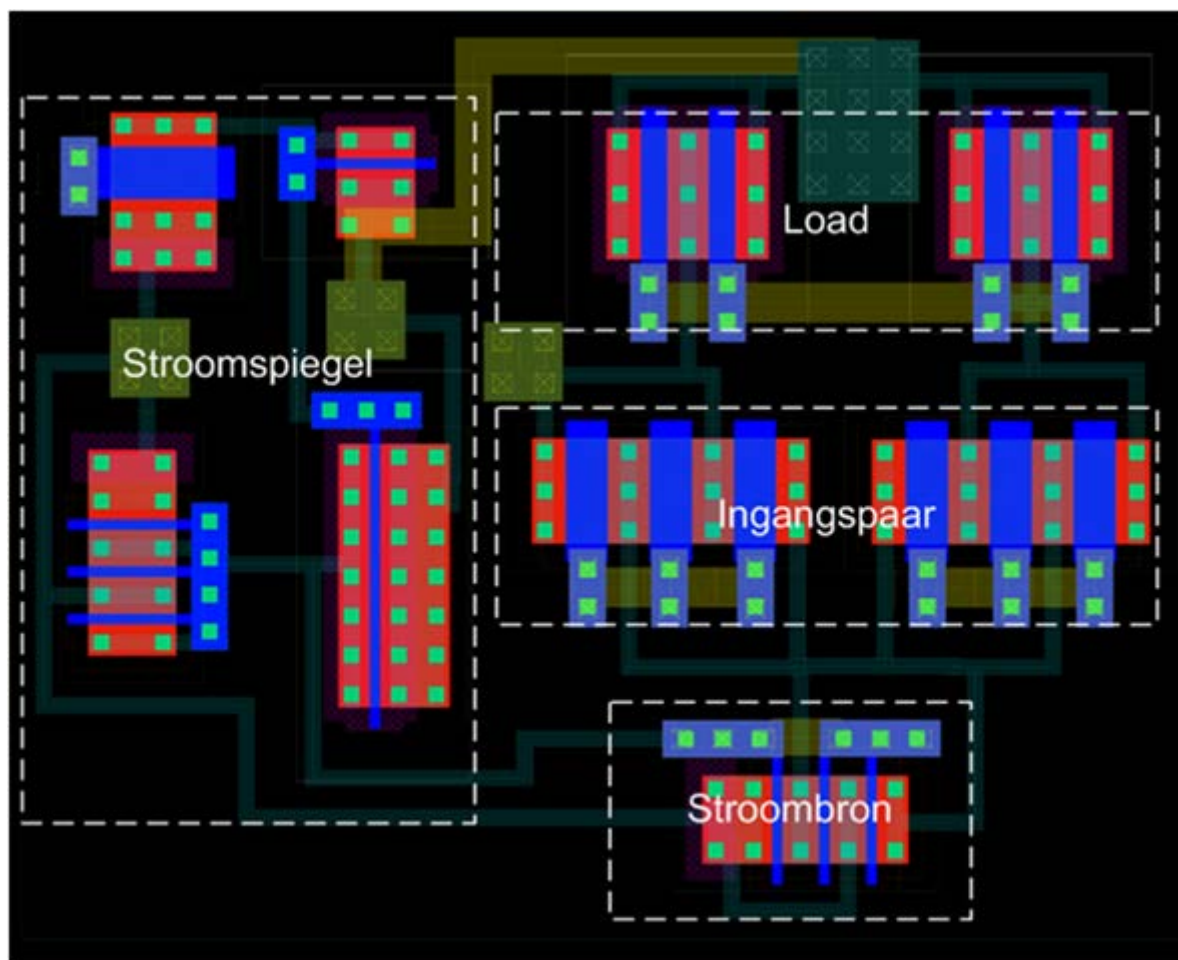


Figuur 8-2: Uitgangsbuffer

8.3 Opamp

De opamp zorgt voor de replica biasing van de ring oscillator. Zoals te zien is op Figuur 8-3 werd het ingangspaar en de belasting van de opamp symmetrisch getekend. De opamp zelf moet eigenlijk weinig hoogfrequente signalen verwerken omdat deze enkel voor de instelling gebruikt wordt. Daarom moet al zeker de stroomspiegel niet symmetrisch zijn omdat daar enkel trage signalen doorlopen. Ook door de ingangstrap

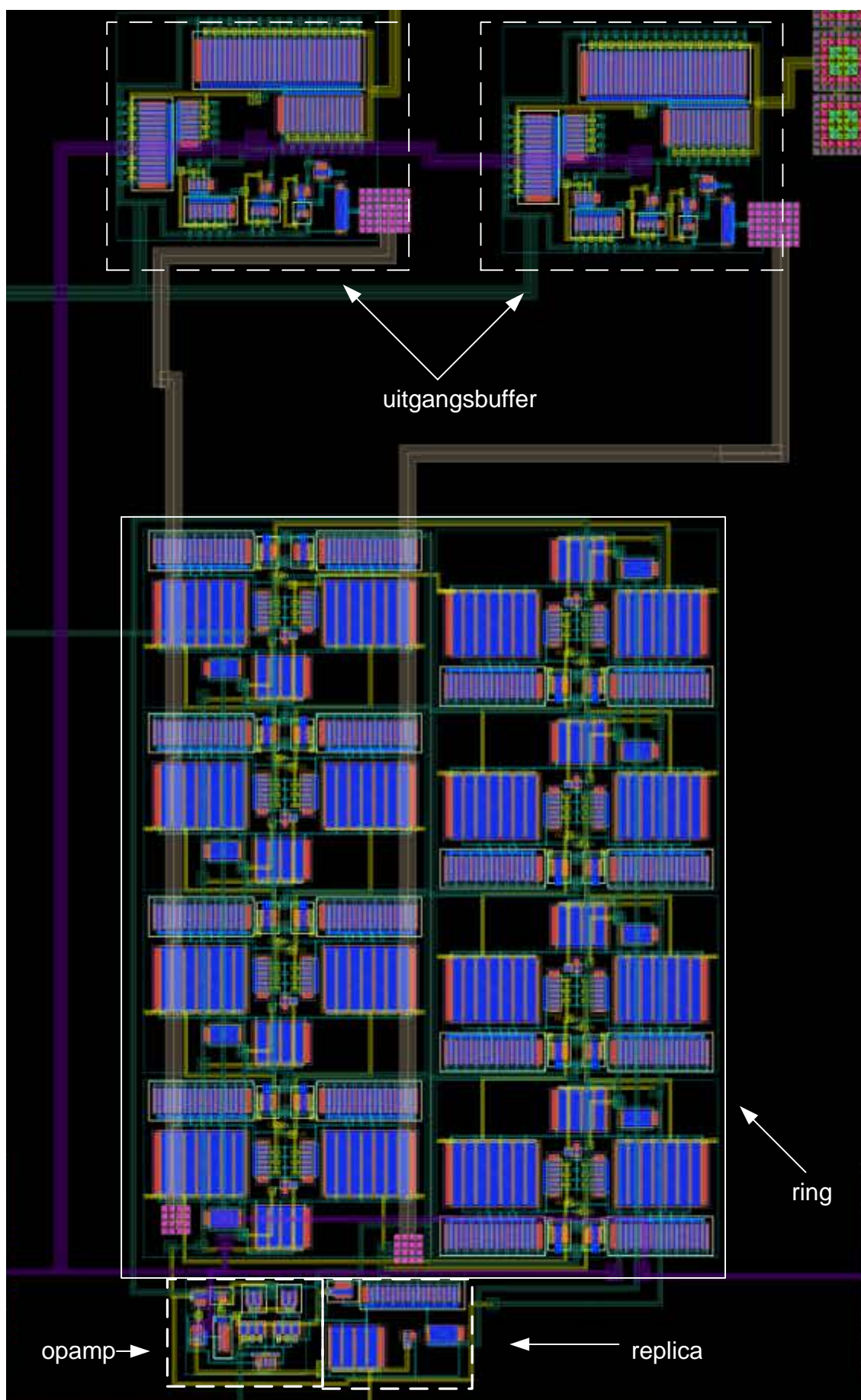
en belasting zullen normaal enkel trage signalen lopen. Toch zal het steeds beter zijn om dit symmetrisch te tekenen om de invloed van de externe storingen te verminderen.



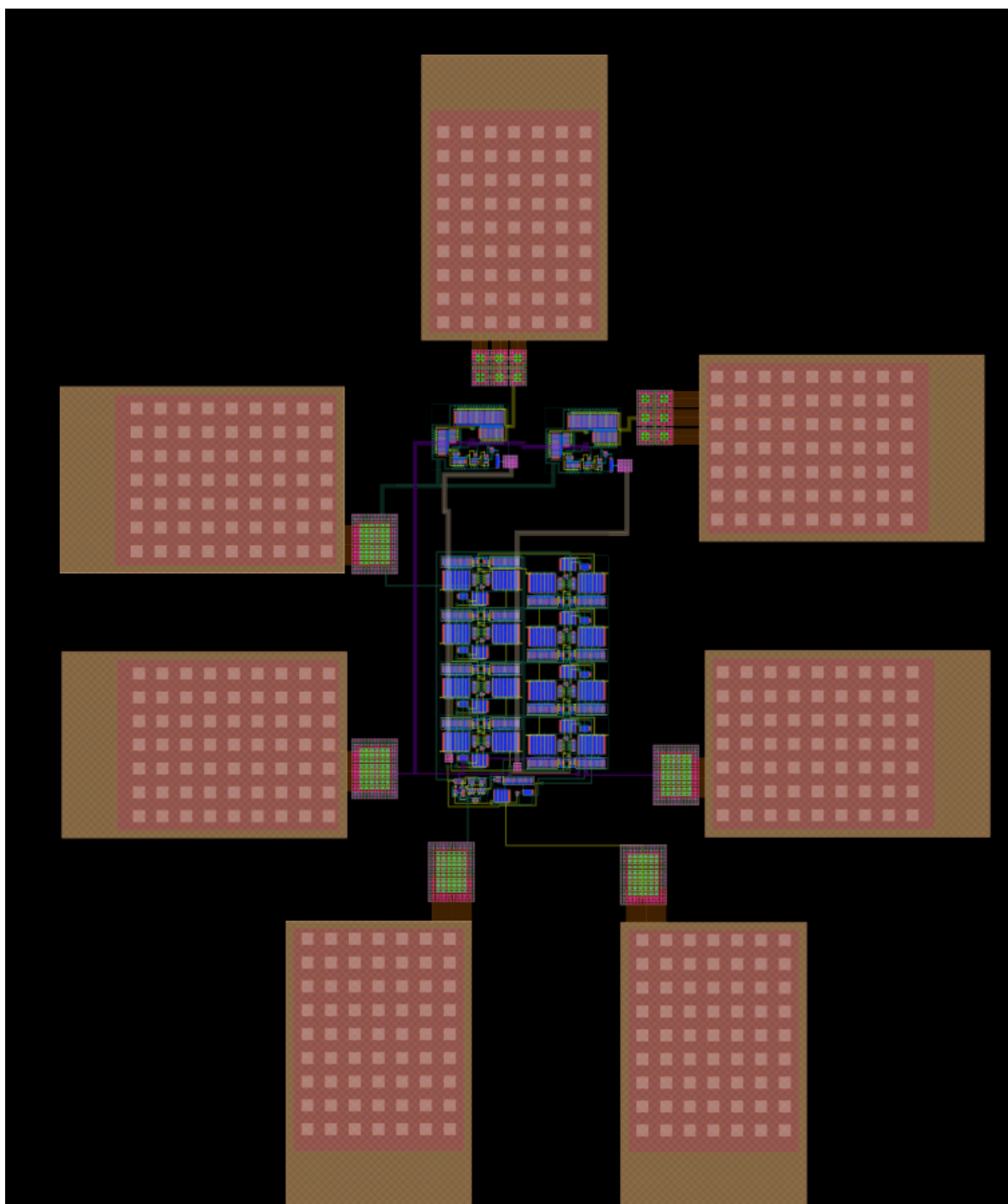
Figuur 8-3: Layout van de opamp

8.4 Layout VCO

Figuur 8-4 toont de layout van de VCO wanneer alle componenten werden samen gezet. De uitgangsbuffer staat niet zo dicht mogelijk bij de ring maar zo dicht mogelijk bij het bond pad. Figuur 8-5 toont de layout met bond pads. Hier is het duidelijk dat de oppervlakte van de chip grotendeels bepaald wordt door de bond pads.



Figuur 8-4: Layout van de volledige VCO



Figuur 8-5: Layout met bond pads

8.5 Andere praktische aspecten

Uiteraard is de voorgestelde layout nog niet klaar voor praktische implementatie van de IC. Een eerste belangrijke component die hieraan ontbreekt zijn ontkoppel condensatoren van de voedingslijn. Deze zijn ontzettend belangrijk bij oscillerende circuits. Als dit niet gedaan wordt, kan het zijn dat door de inductantie, gezien naar de voeding toe, mee oscillaties ontstaan (zelfs op andere frequenties) wat zeker ongewenst is. Ontkoppeling met grote capaciteiten gaat dit tegen. Meestal zal de ongebruikte oppervlakte van de chip opgevuld worden met ontkoppeling.

Een tweede praktische component, die noodzakelijk is om te voorkomen dat de schakeling stuk gaat bij het hanteren, zijn ESD-protectie diodes. Deze zorgen ervoor dat, wanneer er een te grote spanning (bijvoorbeeld kortstondig door ESD ontlading) op één van de poorten geplaatst wordt, deze niet op de gates van de transistoren komt maar afgevoerd wordt langs de voedingslijnen. Als dit niet gedaan wordt, kan bij aanraking van de chip, door de hoge ESD-spanning, de transistor doorslaan.

BESLUIT

In dit eindwerk werd de volledige architectuur van een klokgenerator geïmplementeerd in 90nm CMOS, die gebruikt kan worden om een UWB puls over de volledige bandbreedte te digitaliseren. De klokgenerator kan voor periodische signalen de sample-and-hold schakelaar aansturen met een samplefrequentie van 51,2 GSa/s equivalent-time samplesnelheid, wat overeenkomt met een tijdsresolutie van 19,5 ps. De equivalent-time architectuur werd geïmplementeerd als een digitaal fase-interpolator. Deze is opgebouwd uit een 8-fase ring oscillator en een 6 bit DTC, die deze fasen verder gaat interpoleren. Tijdens het ontwerp van de schakelingen werd vooral rekening gehouden met de ruis, die door de componenten werd toegevoegd, om tenslotte een kleine jitter te bekomen. De bijhorende jitter is slechts 3,2 ps RMS waarvan 2,8 ps afkomstig is van de VCO en 1,4 ps van de DTC. Deze getallen zijn voor het slechtste geval. Het vermogen verbruik van de schakeling is slechts 4 mW.

De performantie kan nog verbeterd worden door het vermogenverbruik te laten stijgen. Hierdoor zal het chip oppervlak ook toenemen, omdat alle capaciteiten bijhorend geschaald moeten worden.

De voorgestelde jitter (5 ps) is met deze schakeling behaald. Voor een praktisch gebruik van de klokgenerator zal echter nog een lagere jitter nodig zijn om voldoende bits over te houden bij het samplen. Rekening houdend met de mogelijkheid om het gemiddelde te nemen, is een resolutie van 7 bits op 10 GHz mogelijk mits kalibratie van de front-end schakelingen en lange acquisitie tijd. Het is hierdoor nodig om nog verder onderzoek te doen naar klokcircuits met extreem lage jitter (~ 100 fs), om nog een hogere resolutie bij de ADC mogelijk te maken. Hierbij zijn minder periodes nodig om het signaal uit te middelen, waardoor het beeld van eventueel bewegende delen scherper zal worden.

BIBLIOGRAFIE

- [1] M. Strackx, E. D'Agostino, P. Leroux en P. Reynaert, „Analysis of a digital uwb receiver for biomedical applications using equivalent-time sampling,” *Radar Conference (EuRAD)*, pp. 206-209, 2011.
- [2] M. Strackx, E. D'Agostino, G. Vandenbosch, P. Reynaert en P. Leroux, „Measuring material/tissue permittivity by uwb time-domain reflectometry techniques,” *Applied Sciences in Biomedical and Communication Technologies (ISABEL)*, nr. 3rd International Symposium on, pp. 1-5, 2010.
- [3] M. Takamiya, M. Mizuno en K. Nakamura, „An On-chip 100GHz-Sampling Rate 8-channel Sampling Oscilloscope with Embedded Sampling Clock Generator,” NEC Corp, Kanagawa, Japan, 2002.
- [4] M. Safi-Harb en G. W. Roberts, „70-GHz Effective Sampling Time-Base On-Chip Oscilloscope in CMOS,” *IEEE J. Solid-State Circuits*, vol. 42, nr. 8, pp. 1743-1757, August 2007.
- [5] K. Inagaki, D. Dwi Antono, M. Takamiya en S. Kumashiro, „A 1-ps resolution on-chop sampling oscilloscope with 64:1 tunable sampling range based on ramp waveform division scheme,” University of Tokyo, Japan, 2006.
- [6] H. Chung, D.-K. Jeong en W. Kim, „An 128-phase PLL using interpolation technique,” in *Journal of Semiconductor Technology And Science*, Vol. 3, No. 4, 2003.
- [7] B. Razavi, *Design Of Analog CMOS Integrated Circuits*, New York: McGraw-Hill, 2001.
- [8] J. A. McNeil en D. Ricketts, *The Designer's Guide to Jitter in Ring Oscillators*, New York: Springer, 2009.
- [9] W. Kester, „Understand SINAD, ENOB, SNR, THD, THD + N, and SFDR so You Don't Get Lost in the Noise Floor,” Analog Devices, 2009.
- [10] B. Razavi, *RF Microelectronics*, New Jersey: Pearson, 2012.
- [11] M. Tiebout, *Low Power VCO Design in CMOS*, Berlin: Springer, 2006.
- [12] G. Jovanovic, M. Stojcev en Z. Stamenkovic, „A CMOS Voltage Controlled Ring Oscillator with Improved Frequency Stability,” *SCIENTIFIC PUBLICATIONS OF THE STATE UNIVERSITY OF NOVI PAZAR*, 2010.
- [13] Y. Cao, W. De Cock, M. Steyaert en P. Leroux, „1-1-1 MASH Delta Sigma Time-to-Digital Converters With 6 ps Resolution and Third-Order Noise-Shaping,” *IEEE Journal of Solid-State Circuits*, vol. 47, nr. 9, pp. 2093-2106, 2012.
- [14] T. H. Lee en R. Betancourt-Zamora, „LOW PHASE NOISE CMOS RING OSCILLATOR VCOs FOR FREQUENCY SYNTHESIS,” Stanford University.
- [15] J. G. Maneatis, „Low-Jitter Process-Independent DLL and PLL Based on Self-Biased Techniques,” *IEEE JOURNAL OF SOLID-STATE CIRCUITS*,, vol. 11, nr. 31, pp.

1723-1732, 1996.

- [16] M. Parvizi, A. Khodabakhsh en A. Nabavi, „Low-Power High-Tuning Range CMOS Ring Oscillator VCOs," *ICSE2008*, 2008.
- [17] A. Rezayee en K. Martin, „A Coupled Two-Stage Ring Oscillator," *IEEE Symposium on systems and circuits*, vol. 2, p. 878 – 881, August 2001.
- [18] L. Severino de Paula, S. Bampi, E. Fanris en A. Amadeu Susin, „A Wide Band CMOS Differential Voltage-Controlled Ring Oscillator," Federal University of Rio Grande do Sul.
- [19] L. Tianwang, J. Jinguang, Y. Bo en H. Xingcheng, „Ultra low voltage, wide tuning range voltage controlled ring oscillator," Faculty of Computer & Information Engineering, Shanghai University.
- [20] B. Razavi, „A Study of Phase Noise in CMOS Oscillators," *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, vol. 3, nr. 31, pp. 331-343, 1996.
- [21] A. Hajimiri, S. Limotyrakis en T. H. Lee, „Jitter and Phase Noise in Ring Oscillators," *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, vol. 6, nr. 34, pp. 790-804, 1999.
- [22] S.-M. Kang en Y. Leblebici, *CMOS Digital Integrated Circuits*, New York: Mc Graw Hill, 2003.
- [23] W. F. Egan, *Phase-Lock Basics*, Wiley-Interscience, 1998.
- [24] F. Baronti, D. Lunardini, R. Roncella en R. Saletti, „Picosecond-Accuracy Digital-to-Time Converter phase-interpolation DDS," *35th Annual Precise Time and Time Interval Meeting*, pp. 347-358.
- [25] A. Hajimiri en T. H. Lee, *Low Noise Oscillators*, New York: Kluwer, 2003.
- [26] A. Hajimiri, S. Limotyrakis en T. H. Lee, „Jitter and Phase Noise in Ring Oscillators," *IEEE Journal Of Solid-State Circuits*, vol. 6, nr. 34, pp. 790-804, 1999.

**BIJLAGE 1:
WETENSCHAPPELIJKE PAPER**

A Low Jitter Clock Generator for a UWB Receiver with 51.2 GSa/s Equivalent Time Sampling Rate

J. Prinzie², M. Strackx^{1,2}, P. Reynaert¹, P. Leroux^{1,2}

¹K.U.Leuven, Dept. Elektrotechniek ESAT-MICAS, Kasteelpark Arenberg 10, B-3001 Leuven, Belgium

²Thomas More Kempen, IBW-RELIC, Kleinhofstraat 4, B-2440 Geel, Belgium

Abstract—Ultra-wideband (UWB) time-domain reflectometry has recently gained interest for biomedical applications. This work provides a method for generating the sample clock using a Phase-locked Loop (PLL) and a Digital-to-Time Converter (DTC) with picosecond time resolution. This clock can be used to sample signals up to 51.2GSa/s. The system works as a 9-bit phase interpolator which interpolates a 100MHz input clock over a whole period so it can be used to equivalent-time sample a high frequency signal. The clock generator features an RMS jitter of 3.2 ps at a power consumption of only 4 mW.

Keywords—ultra-wideband; equivalent time sampling; subsampling; clock generator

I. INTRODUCTION

ULTRA-wideband time-domain reflectometry (TDR) can be used to measure electrical characteristics of materials and tissues by determining the reflections of the transmitted UWB pulse that appear when the permittivity of the material changes in the path of the pulse. This causes the pulse to be partially reflected, and phase shifted. By examining the reflected signal, the properties of the Material Under Test (MUT) can be determined [1].

To analyze the reflected energy from the MUT, the received signal must be digitized and stored for later data processing. Because the frequencies that are used are extremely high for direct sampling, equivalent-time sampling can be used to digitize the signal. This can be done because the signal is transmitted periodically. Using equivalent-time sampling to sample a high frequency signal, the Analog to Digital Converter (ADC) and Digital Back End (DBE) may work at lower frequencies than the bandwidth of the signal, which is not the case for direct sampling methods. This reduces the power dissipation in the digital circuits. However, the bandwidth of the sample-and-hold switch should have the same bandwidth as in direct sampling methods. The architecture of the complete receiver is proposed in [2]. This work provides the sample clock for the ADC's sample and hold (S/H) circuit. This clock also supplies triggers to the transmitter that transmits the UWB pulses. Because the same clock is used, both receiver and transmitter are synchronized. The goal is to put both receiver and transmitter on the same chip to have a complete TDR system. This is shown in Fig. 1.

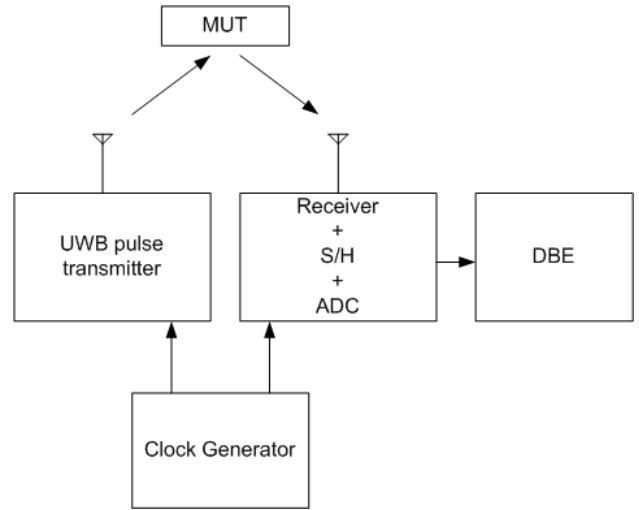


Fig. 1. TDR system architecture

The operating principle of equivalent-time sampling is shown in Fig. 2. A high bandwidth signal is transmitted periodically with period t_{pr} , when direct sampling is used, the signal should be sampled with a sample-interval t_s . When each received pulse is identical, the first sample can be taken from the first received pulse, while the next sample is taken from the next received pulse. The sample-interval is therefore $t_{pr}+t_s$ and can be controlled by the transmission rate. The digitized data can be used as if it was directly sampled. The clock generator provides the extra delay t_s for each period.

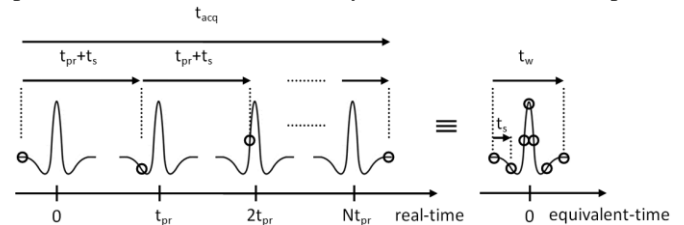


Fig. 2. Equivalent-time sampling a periodic signal.

When 512 points can be sampled within one period of 10ns, the effective sample rate is 51.2 GSa/s. Because t_s is in the order of 20ps, the clock generator should have low jitter. An RMS jitter below 5 ps is targeted. Similar approaches for high frequency sampling have already been reported [3-5]. In [3], multiple cascaded phase

interpolators are used for a 100 GHz on-chip oscilloscope. Phase interpolation using Voltage Controlled Delay Lines (VCDL) is reported in [4]. A ramped voltage increases the delay by a delay line resulting in a phase interpolation, this method is similar to the one that is used in this work. The interpolation method explained in section IV is a digital counterpart as the one used in [4]. The use of digital controlled delays eliminates the jitter due to control voltage noise. In [5] the system is based on a ramped voltage that is started each clock cycle and compared with an increasing, digital controlled voltage to interpolate the main clock. The reference voltage and comparator can be noisy and add jitter to the clock. This work avoids these components to reduce the added noise.

This paper is organized as follows. Section II shows the architecture and operating principle of the clock generator. Section III explains the PLL and section IV explains the digital to time converter.

II. CLOCK GENERATOR ARCHITECTURE AND OPERATING PRINCIPLE

As noted in I, the clock generator must produce a clock that is delayed t_s each period. This delay should be accumulated in time. To achieve this, a 9 bit phase interpolator is used to interpolate the 100MHz clock in 512 steps. Fig. 3 shows the architecture of the clock generator. The input clock is fed into a 8-phase PLL which produces 8 equally spread phases. The time difference between two phases is 1.25 ns. These eight phases are used for primary interpolation. The multiplexer, which accepts the signals from the PLL, performs the interpolation by selecting one of the signals. The multiplexer is controlled by the 3 most significant bits of the 9 bit counter. Each period, the counter is incremented by one. After 64 periods, the multiplexer selects the next phase from the PLL. This is equal to an extra delay of 1.25 ns. The interpolation between these 64 clock cycles is done by a 6 bit Digital to Time Converter (DTC) which can add a delay to the signal from 0 to 1.25ns in 64 steps. Each time the timer is incremented, the DTC delays the clock an extra time of t_s . When 64 clock cycles are expired, the 6 LSB of the counter are reset, and the multiplexer selects the next phase which is 1.25 ns later. The DTC can then start from zero delay again.

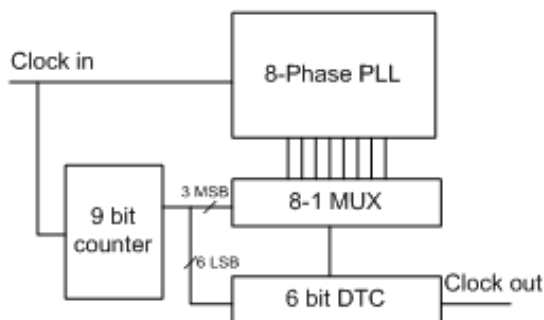


Fig. 3. Clock generator architecture.

Note that there is a constant gate delay in the multiplexer and the DTC, because this delay is constant, it is assumed to be zero delay offset for the clock signal because it is the extra

delay added each period that is important. Care must be taken when designing the MUX. It should be laid out such that each path of the MUX has an equal delay. Any offset may introduce additional jitter. Therefore matching these paths will be important.

Because the clock travels through the PLL, MUX and DTC, these components should be designed to add low jitter to the clock signal.

III. 8-PHASE PLL

A. Voltage controlled oscillator

One of the main components of the PLL is the Voltage Controlled Oscillator (VCO). Because 8 phases are required from the PLL, a Voltage Controlled Ring Oscillator (VCRO) is used. This VCO has the property of having equally spaced phases and low chip area. The downside of this oscillator is the poor phase noise properties. The challenge of this work was to design a VCRO with low phase noise. Different oscillators have been proposed in [6]-[9].

Fig. 4a shows the differential ring oscillator that is used in this work. The load of the differential amplifier is composed of a linear PMOS, a PMOS diode and an NMOS cross coupled load. The cross coupled load is added to increase the gain of the stage. Common mode feedback is used to stabilize the oscillation amplitude as shown in Fig. 4b. The current source drives the same load as the ring oscillator load. The voltage at the current source is the lowest voltage of the oscillator. By adjusting the gate of the PMOS transistor, which operates in deep triode, the minimum voltage can be set to V_{ref} using negative feedback. This directly determines the resistance of the load which is equal to $(V_{dd}-V_{ref})/I_{source}$. V_{ref} is chosen to be $V_{dd}-V_{thN}$. This causes the NMOS driving pair to operate in saturation during switching. The swing of the oscillator is therefore limited to V_{thN} . The cross coupled NMOS transistor is not used in the replica circuit. The reason for this is that this transistor draws less current (2% of total current) than the diode and linear load. Accuracy in the replica circuit is not necessary.

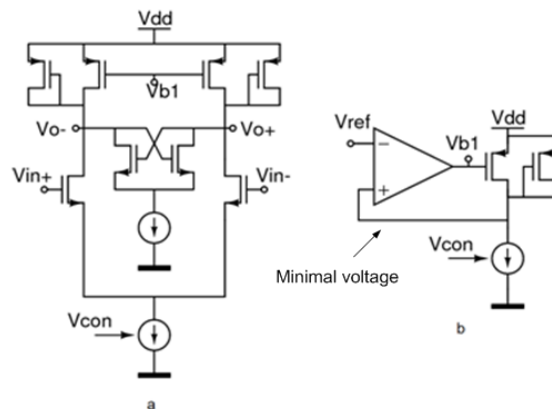


Fig. 4. a) Differential delay element. b) Common mode feedback

Level switching should be done between the PLL and the DTC because the output of the VCO does not have an amplitude crossing $V_{dd}/2$ (The DTC assumes digital signals).

The oscillation frequency can be controlled by changing the tail current. The NMOS current sources should be designed to exhibit low $1/f$ noise because this noise is upconverted by the VCO, therefore device sizes are increased to reduce $1/f$ noise. Due to the higher current, the common mode feedback reduces the resistance of the load. Cross coupled loads provide positive feedback and therefore increasing the gain of the stage without increasing the transconductance of the NMOS driving pair. Fig. 5 and Fig. 6 show phase noise and frequency results respectively. The phase noise is -104dBc @ 1MHz offset. The frequency is tunable between 80 MHz and 160 MHz . Simulations have been performed using SpectreRF simulator.

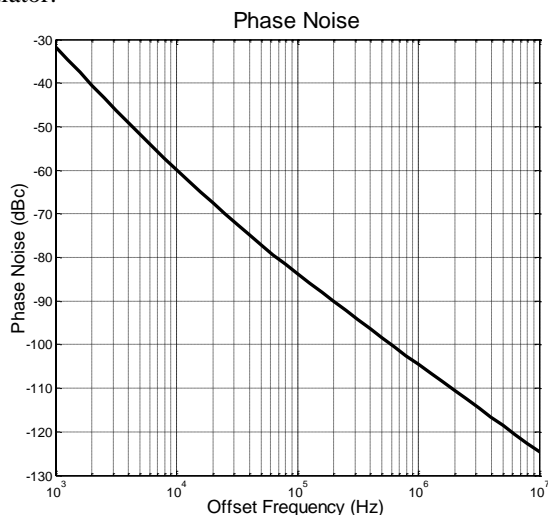


Fig. 5. VCO phase noise results.

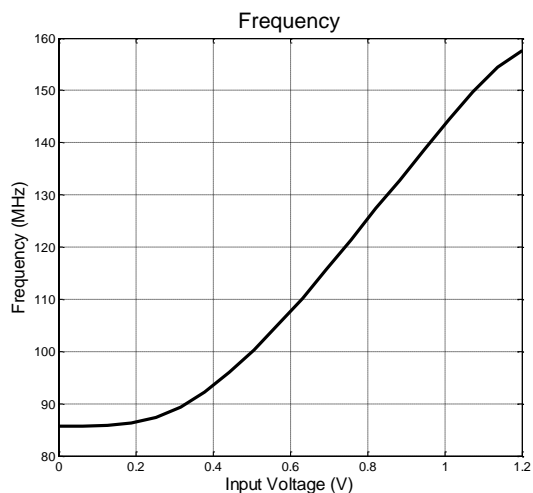


Fig. 6. VCO frequency.

B. Phase Locked Loop

To control the frequency of the VCO, a PLL is used to track a stable input clock. The UWB pulse transmitter is triggered by one phase of the VCO. The absolute jitter referenced to the input clock is therefore not important. Only the jitter accumulated during one period is relevant. The next transmission of a UWB pulse is triggered by the starting phase (phase 0) of the VCO causing the jitter to be fully reset to zero. Therefore, jitter that has accumulated on previous cycles does not influence the jitter of the current cycle because the time is referenced to the transmitting trigger (which is a phase

on the VCO). If the first phase rises earlier than expected, the pulse will be transmitted earlier but also the sampling will start earlier.

The PLL is implemented with a PFD/Charge Pump and second order filter. The bandwidth of this filter is chosen to be 6MHz , this can be high to reduce the phase noise contribution of the VCO to the PLL phase noise. A differential to single ended amplifier should be used to convert the differential signal from the VCO to a single ended digital signal at the phase detector. Worst case jitter results are 2.8 ps RMS accumulated jitter per period. When the MUX is interpolating a phase close to the transmitter phase, jitter is reduced there because the jitter has not accumulated that much. Fig. 7. shows the accumulation of jitter when a clock propagates through the ring. The total accumulated jitter to phase 2 is less than the jitter accumulated to phase 6. Therefore less jitter will be experienced in the first samples.

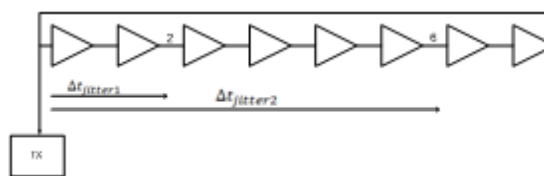


Fig. 7. Jitter variation on different phases.

IV. 6 BIT DIGITAL TO TIME CONVERTER

The final interpolation occurs in a 6 bit DTC. A similar structure has already been used in DDS (Direct Digital Synthesis) generators [10]. This DTC uses a feedback loop to control the additional delay. The goal is to tune the delay between 0 and 1.25 ns . Fig. 8 shows the delay element that is used in the DTC. This is a current starved inverter. PM1 en NM1 control the output current while NM2 en PM2 select between charge up or charge down. The output capacitances are binary weighted from C to $32C$.

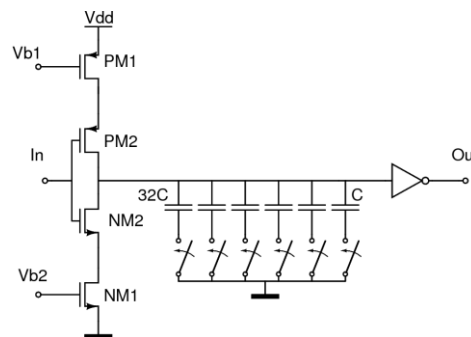


Fig. 8. DTC delay element.

By switching the output capacitors, the delay is binary controllable in 64 steps. Vb1 and Vb2 control the current sources which are generated by a controllable current mirror. Fig. 9 shows the complete architecture of the DTC. Three delay elements are used. In the reference loop, one delay element has a binary input of 0 (all switches open thus low delay) while the other has a binary input of 63 (all switches closed thus high delay). The input clock to the slow delay element is the next phase of the PLL. There is a time difference of 1.25 ns . By locking the output of the two delay elements, the time difference between low delay and high

delay becomes 1.25 ns. The feedback loop controls the current in the delay elements to tune the exact delay.

When a third identical delay element is used and controlled by the 6 LSB of the binary counter, additional delay is tunable between 0 en 1.25 ns providing interpolation between the two phases of the PLL.

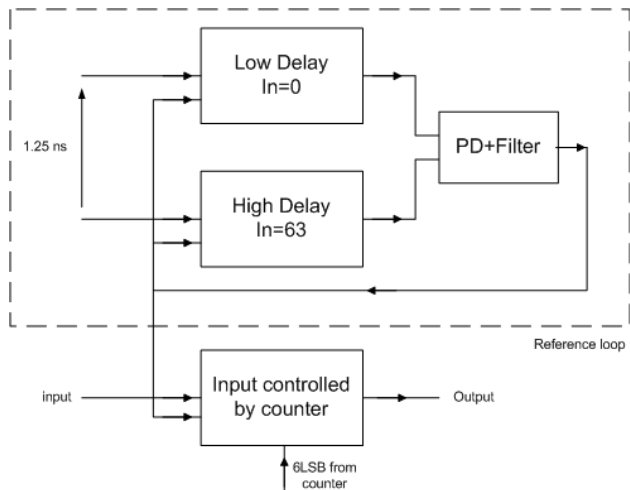


Fig. 9. DTC control loop.

Propagation delays are proportional to the output capacitance and inversely proportional to the switching current, C/I is therefore constant for a given delay. Because jitter is inversely proportional to the root of power dissipation ($\sigma \sim \sqrt{P}^{-1}$), by increasing C , the jitter can be reduced at the cost of an increased power consumption. While consuming four times more power, jitter will only decrease by two [11].

Jitter in the delay element of the DTC is not constant. This is minimal when the input word is zero. The RMS jitter is then 650fs. When the delay is increased, the jitter increases to 1.4ps RMS. This is due to the delay of the DTC, lower delays have sharper edges and less jitter.

Fig. 10 shows an example of the complete system with a counter value of 224. The counter's 3 MSBs are 011 (3) which means that the multiplexer will select the third phase that is 3.75 ns delayed to the TX clock. The 6 LSBs of the counter are 100000 (32) which is half the range of the DTC, so 625ps extra delay will be added. This yields a total of 4.375ns or 43.75% of the total period. This is the same as the counter ratio ($224/512=43.75\%$).

Linearity issues due to mismatch can introduce deterministic jitter to the signal. Capacitors ranging from C to $32C$ will have a certain tolerance and the error on $32C$ will have a non-negligible influence relative to the C capacitor. Therefore other capacitor load topologies can be chosen for the DTC that does not use such a wide capacitance range. Similar to R2R ladders, topologies with capacitors can be designed that use only 2 values. Cyclic discharging may be necessary to prevent charge redistribution that is not seen in R2R ladders.

These linearity issues can also be solved by calibrating the system. By inserting a know signal, and sampling this signal, the offsets can be determined and subtracted from other measurements.

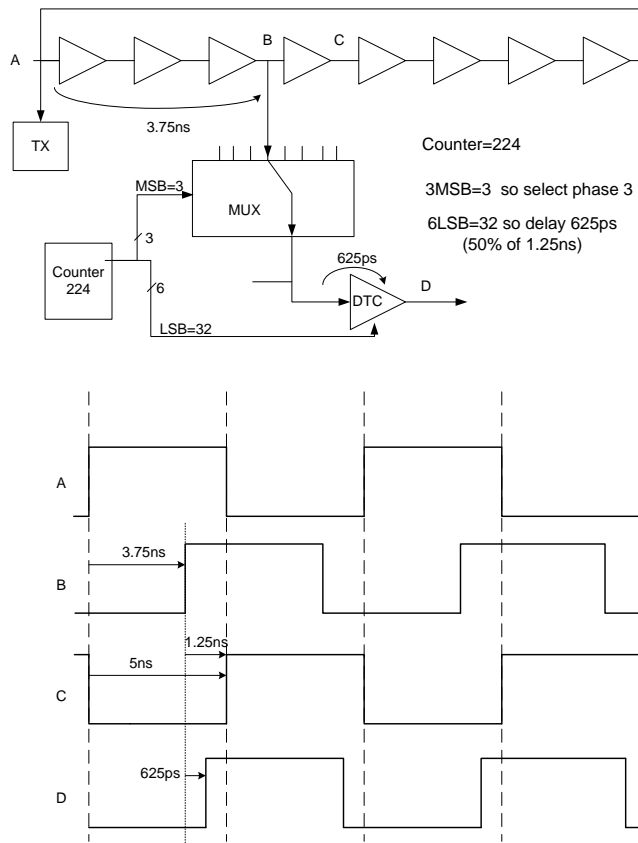


Fig. 10. Example of interpolation.

Finally, the layout of the VCO is shown in Fig. 11. UMC90nm technology is used in this design with a supply voltage of 1.2V. Most of the area is used for the ring structure of the oscillator. Extra output buffers are added to drive the output capacitance and test equipment. The total active area (excluding bond pads and buffer) is only $45\mu\text{m} \times 62\mu\text{m}$. Fig. 12 shows the layout including bond pads which define the chip size. The chip is scheduled for processing early 2013.

V. CONCLUSION

This work presents a clock generator with less than 5 ps RMS jitter. The total RMS jitter per cycle is only 3.2 ps (this is jitter that results from the VCO, MUX and DTC). A ring oscillator is used to generate multiple phases that are further interpolated by a DTC. Two phases of the ring oscillator are used by the DTC for self biasing. Power consumption of the VCO is 1 mW while the DTC consumes 3 mW. The performance can be increased by increasing the power dissipation in both VCO and DTC. This will increase chip area because capacitances should also be scaled for constant delay. Also supply noise will increase by up-scaling switching currents.

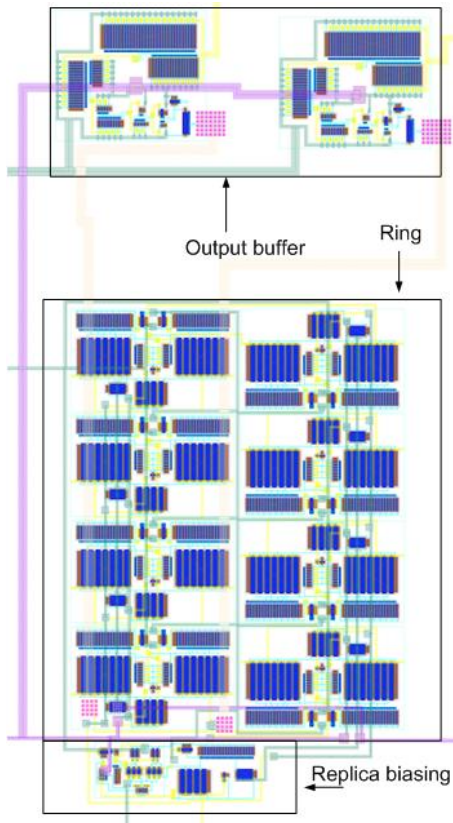


Fig. 11. Ring oscillator layout.

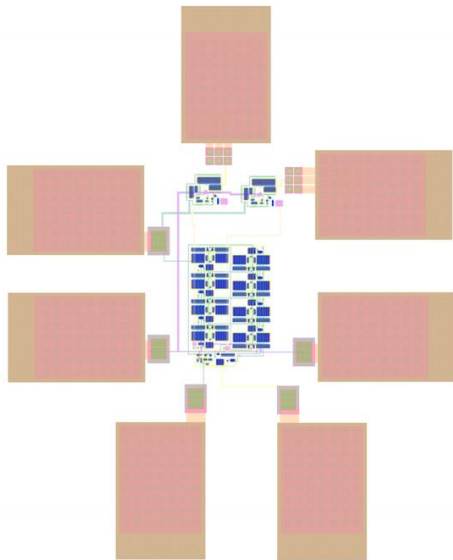


Fig. 12. Ring oscillator layout including bond pads.

VI. REFERENCES

- [1] M. Strackx, E. D'Agostino, G. Vandenbosch, P. Reynaert, and P. Leroux, "Measuring material/tissue permittivity by uwb time-domain reflectometry techniques," in *Applied Sciences in Biomedical and Communication Technologies (ISABEL)*, 2010 3rd International Symposium on, Nov. 2010, pp. 1–5.
- [2] M. Strackx, E. D'Agostino, P. Leroux, and P. Reynaert, "Analysis of a digital uwb receiver for biomedical applications using equivalent-time sampling," in *Radar Conference (EuRAD), 2011 European*, Oct. 2011, pp. 206–209.
- [3] M. Takamiya, M. Mizuno, K. Nakamura, "An On-chip 100GHz-Sampling Rate 8-channel Sampling Oscilloscope with Embedded Sampling Clock Generator", NEC Corp, Kanagawa, Japan, 2002.
- [4] M. Safi-Harb, G. W. Roberts, "70-GHz Effective Sampling Time-Base On-Chip Oscilloscope in CMOS", *IEEE J. Solid-State Circuits*, vol. 42, no. 8, August 2007, pp. 1743-1757.
- [5] K. Inagaki, D. Dwi Antono, M. Takamiya, S. Kumashiro, "A 1-ps resolution on-chop sampling oscilloscope with 64:1 tunable sampling range based on ramp waveform division scheme", University of Tokyo, Japan 2006.
- [6] John G. Maneatis, Low-Jitter Process-Independent DLL and PLL Based on Self-Biased Techniques, *IEEE J. Solid-State Circuits*, vol. 31, no. 11, pp. 1723-1732.
- [7] L. Severino de Paula, "A High Swing Low Power CMOS Differential Voltage-Controlled Ring Oscillator", *IEEE 14th International Conference in Electronics, Circuits and Systems (ICECS)*, December 2007, pp. 1187–1190
- [8] R. J. Betancourt-Zamora and T. H. Lee, "Low Phase Noise CMOS Ring Oscillator VCOs for Frequency Synthesis", Stanford University, 1998.
- [9] M. Parvizi, A. Khodabakshh, A. Nabavi, "Low-Power High-Tuning Range CMOS Ring Oscillator VCOs", *ICSE2008*, pp. 40-44.
- [10] F. Baronti, D. Lunardini, R. Roncella and R. Saletti, "Picosecond-Accuracy Digital-to-Time Converter phase-interpolation DDS", *35th Annual Precise Time and Time Interval Meeting*, pp. 347-358
- [11] J. A. McNeill, D. Ricketts, *The Designer's Guide to Jitter in Ring Oscillators*, New York, Springer, 2009, pp. 161-182