

Industriële en Biowetenschappen- Geel

Master of Science in de industriële wetenschappen

Elektronica-ICT



Ontwerp van een FPGA gebaseerde UWB  
pulsgenerator conform aan het FCC masker



**CAMPUS**

Geel



Bram Faes

Academiejaar 2012-2013

## **VOORWOORD**

Ik heb dit onderwerp eerst en vooral gekozen, omdat de techniek van UWB mij zeer sterk aansprak. Deze techniek is in opmars in de industrie en het leek me dan ook boeiend om mij hierin te verdiepen. Daarnaast vond ik het een interessante uitdaging om naast de theoretische uitwerking dit ook in de praktijk toe te passen.

Graag zou ik langs deze weg iedereen willen bedanken die me in het voorbije academiejaar op welke manier dan ook geholpen heeft met de totstandkoming van deze masterproef.

Allereerst zou ik Ing. Maarten Strackx willen bedanken voor alle hulp, aanwijzingen en tips gedurende dit academiejaar. Ik kon steeds met al mijn vragen bij hem terecht.

Vervolgens wil ik Prof. dr. ir. Paul Leroux, samen met Ing. Maarten Strackx, bedanken, omdat zij mij de mogelijkheid hebben gegeven deze masterproef uit te voeren.

Daarnaast wil ik mijn ouders bedanken voor alle steun die ze me boden dit jaar en de voorbije jaren, en dat ze mij de kans hebben gegeven te studeren wat ik graag wou/wil. Ze hebben mijn schoolwerk ook altijd op de eerste plaats laten komen. Daardoor had ik meer tijd en ruimte om alles tot een goed einde te brengen.

Tot slot wil ik mijn zus Jolien bedanken om mij taalkundig bij te staan waar nodig en om deze masterproef na te lezen.

Bram Faes

## **SAMENVATTING**

In deze masterproef wordt een nieuwe FPGA (Field Programmable Gate Array) gebaseerde ultra-wideband (UWB) -zender gemaakt. Dit principe werd eerder al aangetoond, maar had nog verder ontwikkeling nodig. De UWB-puls wordt volledig digitaal gegenereerd met behulp van een FPGA. Om het spectrum in de juiste frequentieband te krijgen, wordt deze up-geconverteerd met behulp van een mixer. Deze mixer al ringing introduceren op het uitgangssignaal. Er wordt getracht deze ringing met verschillende technieken te verwijderen/verminderen.

Eerst wordt er dieper ingegaan op de UWB-techniek zelf. Daarna worden verschillende manieren om een UWB-puls te genereren, aangehaald. Deze worden vervolgens met elkaar vergeleken, zodat alle voor- en nadelen van deze technieken bekend zijn.

In een tweede hoofdstuk wordt de pulsgeneratie met de FPGA besproken. Er zal getracht worden een reeds bestaande code, voor de generatie van een UWB-puls, te verbeteren. In dit hoofdstuk wordt de code hiervoor toegelicht. Vervolgens wordt deze nieuwe methode geanalyseerd.

Het laatste hoofdstuk, tot slot, haalt het ringingprobleem, geïntroduceerd door de mixer, aan. Er worden verschillende technieken besproken voor het verwijderen/verminderen van deze ringing. Om af te sluiten wordt een vergelijking tussen deze technieken gemaakt.

# INHOUDSOPGAVE

<b>VOORWOORD</b> .....	<b>2</b>
<b>SAMENVATTING</b> .....	<b>3</b>
<b>INHOUDSOPGAVE</b> .....	<b>4</b>
<b>LIJST MET AFKORTINGEN</b> .....	<b>6</b>
<b>LIJST MET FIGUREN</b> .....	<b>7</b>
<b>INLEIDING</b> .....	<b>9</b>
<b>1 THEORETISCHE OMKADERING</b> .....	<b>10</b>
<b>1.1 UWB</b> .....	<b>10</b>
1.1.1 Introductie tot UWB .....	10
1.1.2 Wetgeving.....	12
<b>1.2 Hoofdpject: borstkankerdetectie</b> .....	<b>13</b>
<b>1.3 UWB-zenders</b> .....	<b>14</b>
1.3.1 Logische poorten.....	14
1.3.2 SR diode .....	16
1.3.3 FPGA .....	19
<b>1.4 UWB-pulsgeneratie met een FPGA</b> .....	<b>19</b>
1.4.1 Principe .....	19
1.4.2 Bespreking .....	21
<b>2 VHDL</b> .....	<b>23</b>
<b>2.1 FPGA</b> .....	<b>23</b>
<b>2.2 Jitterfilter</b> .....	<b>24</b>
<b>2.3 Code</b> .....	<b>24</b>
2.3.1 Generatie puls .....	25
2.3.1.1 PLL.....	25
2.3.1.2 VHDL-code.....	29
2.3.1.3 Beperkingen UWB-puls .....	31
2.3.2 Seriële communicatie .....	33
2.3.2.1 Communicatie met digipot .....	33
2.3.2.2 Communicatie met versterker DVGA1-242+ .....	34
<b>2.4 UWB-puls voor metingen</b> .....	<b>35</b>
<b>3 TESTPRINTEN UWB-ZENDER MET FPGA</b> .....	<b>38</b>
<b>3.1 Componenten</b> .....	<b>38</b>
3.1.1 VCO .....	39
3.1.2 Digipot .....	39
3.1.3 Mixer.....	41
3.1.4 Versterker: DVGA1-242+ .....	42
3.1.5 Versterker: GALI-1+ .....	45
3.1.6 MESFET .....	48
3.1.7 RF-Schakelaar .....	49
3.1.8 LF-Schakelaar.....	50
3.1.9 Hoogdoorlaat filter .....	50
<b>3.2 FPGA-printplaat</b> .....	<b>51</b>
<b>3.3 Ringing</b> .....	<b>52</b>
3.3.1 Oorzaak .....	52
3.3.2 Verwijderen ringing met schakelaars .....	53
3.3.2.1 RF-schakelaar.....	53
3.3.2.2 MESFET als schakelaar.....	55
3.3.2.3 Testprint: schakelaars .....	56
3.3.3 Verwijderen ringing met versterkers.....	57
3.3.3.1 Versterker voor mixer.....	58
3.3.3.2 Versterker na mixer .....	62

3.3.3.3	Testprint: Versterkers.....	65
3.3.4	Bespreking meetresultaten en simulaties .....	65
3.3.4.1	DVGA1-242+.....	67
3.3.4.2	Gali-1+.....	71
3.3.4.3	Vergelijking versterkers .....	74
	<b>BESLUIT.....</b>	<b>79</b>
	<b>LITERATUURLIJST.....</b>	<b>81</b>
	<b>BIJLAGE 1 .....</b>	<b>83</b>
	<b>BIJLAGE 2 .....</b>	<b>88</b>
	<b>BIJLAGE 3 .....</b>	<b>92</b>

## LIJST MET AFKORTINGEN

CEPT	European Conference of Postal and Telecommunications Administrations
CFR	Code of Federal Regulations
CP	Charge Pump
DCM	Digital Clock Manager
DoD	Department of Defense
ECC	Electronic Communications Committee
ECL	Emitter Coupled Logic
FCC	Federal Communications Commission
FPGA	Field Programmable Gate Array
GaAs	Gallium Arsenide
HDL	Hardware description Language
LF	Loopfilter
LSB	Least Significant Bit
LUT	Look Up Table
MSB	Most Significant Bit
NB	Narrow Band
PFD	Phase Frequency detector
PLL	Phase Locked Loop
RELIC	Real-time Electronics and Integrated Circuits
RF	Radio Frequency
SNR	Signal to Noise Ratio
SR	Step Recovery
SRD	Step Recovery Diode
UWB	Ultra-WideBand
VCO	Voltage Controlled Oscillator
VHDL	Very High Speed Integrated Circuit Hardware Description Language

## LIJST MET FIGUREN

Figuur 1-1: Vergelijking UWB t.o.v. NB .....	10
Figuur 1-2: Algemeen spectrum masker voor UWB-toepassingen [2] .....	13
Figuur 1-3: Vorming UWB-signaal met AND- en NOT-poort .....	14
Figuur 1-4: Vertragingstijd NOT-poort .....	15
Figuur 1-5: Doping density SR diode .....	16
Figuur 1-6: Schema UWB generator met SR-diode [5] .....	17
Figuur 1-7: Uitgangspuls UWB-zender met SR-diode [5] .....	18
Figuur 1-8: Vorming UWB-puls met FPGA.....	19
Figuur 1-9: fysiek aftrekken pulsen .....	20
Figuur 1-10: Blokschema UWB-zender met FPGA .....	21
Figuur 2-1: Vereenvoudigd standaard bouwblok FPGA [7] .....	23
Figuur 2-2: Vorming UWB-puls .....	25
Figuur 2-3: Blokschema PLL spartan 6 [9].....	25
Figuur 2-4: Clocking wizard: ingang PLL.....	28
Figuur 2-5: Clocking wizard: uitgangen PLL .....	28
Figuur 2-6: Waarden PLL in Clocking Wizard .....	29
Figuur 2-7: Vorming UWB-puls met PLL-uitgang voor schakelaar .....	30
Figuur 2-8: Vorming tweede puls wanneer negatieve flanken niet tegelijk optreden... 32	
Figuur 2-9: Seriële communicatie digipot [10] .....	34
Figuur 2-10: Seriële communicatie DVGA1-242+ [11] .....	35
Figuur 2-11: Vormen puls met NOT- en AND poort.....	36
Figuur 2-12: Gebruikte UWB-puls voor metingen .....	36
Figuur 2-13: Spectrum gebruikte UWB-puls voor metingen .....	37
Figuur 3-1: Blokschema componenten aangestuurd door FPGA .....	38
Figuur 3-2: Principeschema digipot [10].....	40
Figuur 3-3: Seriële communicatie digipot [10] .....	40
Figuur 3-4: Principe frequentie mixer.....	41
Figuur 3-5: Vereenvoudigd schema DVGA1-242+ [11].....	43
Figuur 3-6: Waarheidstabel verzwakking DVGA1-242+ [11] .....	43
Figuur 3-7: Seriële communicatie DVGA1-242+ [11] .....	44
Figuur 3-8: Elektrisch schema GALI-1+.....	46
Figuur 3-9: T2 in gemeenschappelijk emitter schakeling .....	47
Figuur 3-10: Aanbevolen schakelschema GALI-1+ [15].....	47
Figuur 3-11: MESFET [16].....	48
Figuur 3-12: Orbitalen [17] .....	49
Figuur 3-13: Elektrisch schema van de schakelaar [19] .....	50
Figuur 3-14: Bodeplot hoogdoorlaat filter .....	51
Figuur 3-15: Foto print FPGA .....	52
Figuur 3-16: Aansturen schakelaar met FPGA .....	53
Figuur 3-17: Golfvormen schakelaars .....	54
Figuur 3-18: Stijg- en daaltijd, vereenvoudiging t.o.v. effectief .....	55
Figuur 3-19: Aansturen MESFET met FPGA .....	56
Figuur 3-20: Foto testprint schakelaars.....	57
Figuur 3-21: Principeschema met versterkers .....	58
Figuur 3-22: Aanbevolen aansluitschema DVGA1-242+ [11] .....	59
Figuur 3-23: Filter op voeding DVGA1-242+ .....	60
Figuur 3-24: Simulatie filter DVGA1-242+ .....	61
Figuur 3-25: Aansluitschema versterker voor mixer.....	61
Figuur 3-26: Aanbevolen aansluitschema Gali-1+ [15].....	62
Figuur 3-27: Simulatie filter Gali-1+ .....	64
Figuur 3-28: Aansluitschema versterker na mixer .....	64
Figuur 3-29: Foto testprint versterkers .....	65
Figuur 3-30: Aangelegde UWB-puls .....	66
Figuur 3-31: Spectrum aangelegde UWB-puls.....	66
Figuur 3-32: Puls aan uitgang van DVGA1-242+ .....	67

Figuur 3-33: Puls aan uitgang van DVGA1-242+ met schakelaar.....	68
Figuur 3-34: Puls spectra aan uitgang DVGA1-242+ met maskers.....	69
Figuur 3-35: Puls spectra aan uitgang DVGA1-242+ met -10dB bandbreedte.....	70
Figuur 3-36: Puls aan uitgang van Gali-1+ .....	71
Figuur 3-37: Puls aan uitgang van Gali-1+ met schakelaar.....	72
Figuur 3-38: Puls spectra aan uitgang van Gali-1+ met maskers.....	73
Figuur 3-39: Puls spectra aan uitgang van Gali-1+ met -10dB bandbreedte .....	74
Figuur 3-40: Puls DVGA1-242+ t.o.v. Puls Gali-1+ .....	75
Figuur 3-41: Puls DVGA1-242+ met schakelaar t.o.v. Puls Gali-1+ met schakelaar ...	76
Figuur 3-42: Spectrum puls DVGA1-242+ t.o.v. Spectrum puls Gali-1+ met maskers	77
Figuur 3-43: Spectrum puls DVGA1-242+ t.o.v. Spectrum puls Gali-1+ bandbreedte	77
Figuur 3-44: Spectrum puls DVGA1-242+ t.o.v. puls Gali-1+ beide genormaliseerd t.o.v. max. DVGA1-242+.....	78



## **INLEIDING**

Tegenwoordig worden vele technieken ontworpen om kanker te detecteren. Zo ook technieken voor borstkankerdetectie. Eén van die technieken maakt gebruik van UWB. Binnen de onderzoeksgroep RELIC werd een project opgestart om te onderzoeken of dit effectief mogelijk is met behulp van een UWB-radar.

RELIC staat voor Real-time Electronics and Integrated Circuits. Dit is een onderzoekscentrum verbonden aan de K.U.Leuven. Ze doen onder meer onderzoek naar UWB-toepassingen. Eén van deze toepassingen is, zoals gezegd, borstkankerdetectie. Hiervoor werd al een UWB-zender ontwikkeld. Toch was deze nog niet optimaal. Voor een goede UWB-puls is het namelijk belangrijk deze zo kort mogelijk te maken. Daarom moest er nagegaan worden of de reeds bestaande UWB-puls nog smaller kon. Verder voldeed het uiteindelijke pulsspectrum nog niet aan het wettelijke masker. Ook dit probleem moest opgelost worden. Een laatste probleem was de hoeveelheid ringing op het tijdsdomeinsignaal. Deze ringing is niet gewenst en dient dan ook beperkt te worden. Hiervoor zullen er in deze masterproef verschillende technieken uitgetest worden.

Om de bestaande UWB-puls te verbeteren, werd er op RELIC een stageplaats aangeboden aan een masterstudent. Het onderzoek heeft tot doel na te gaan hoe men een UWB-puls kan opwekken met weinig naslingering, hoge efficiëntie en digitale aanpasbaarheid. Dit vormt meteen de onderzoeksvraag van deze masterproef.

# 1 THEORETISCHE OMKADERING

Dit hoofdstuk heeft als doel de lezer de theoretische achtergrond van deze masterproef meegeven. Eerst worden de voor- en nadelen van Ultra-WideBand (UWB) besproken. Vervolgens wordt er dieper ingegaan op het grote geheel waarbinnen deze masterproef kadert. Op die manier wordt duidelijk welke doelen we met deze masterproef willen bereiken. Tot slot zullen de verschillende soorten UWB-zenders besproken worden en wordt de keuze van de FPGA (Field Programmable Gate Array) toegelicht.

## 1.1 UWB

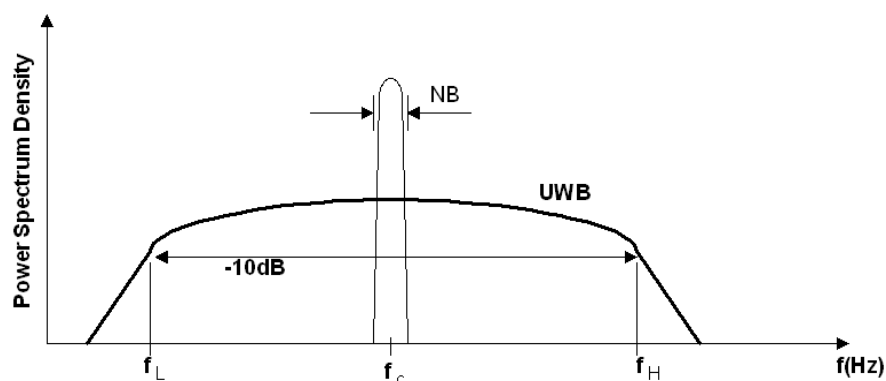
UWB werd voor het eerst toegepast door Guglielmo Marconi in 1901. Hierbij werd een morsecode over de Atlantische oceaan gestuurd, waarbij men gebruik maakte van een spark gap radio. Zo'n 50 jaar later werd deze techniek opgepikt door het leger, die de techniek voor het ontwerp van gepulste radars gebruikte. Fundamenteeler onderzoek is er echter pas gekomen in de late jaren '60. Tussen 1960 en 1990 was deze technologie enkel toegankelijk voor het Amerikaanse DoD (Department of Defense). Echter door recentere ontwikkelingen in de schakeltijd van transistoren, zijn UWB-toepassingen veel goedkoper te maken. Hierdoor kan UWB nu ook in de commerciële wereld ingezet worden.

### 1.1.1 Introductie tot UWB

UWB staat voor Ultra Wideband. Deze techniek gebruikt een brede frequentieband om bijvoorbeeld data door te sturen, wat dus wil zeggen dat de bandbreedte in het frequentiedomein groot is. Men kan bewijzen dat wanneer een signaal breed is in het frequentiedomein kort is in het tijdsdomein. Bijgevolg bestaat UWB uit zeer korte pulsen met een kleine duty cycle. Volgens het FCC, Federal Communications Commission, is een signaal een UWB-sigitaal wanneer:

$$\begin{aligned} -10\text{dB bandbreedte} &\geq 500\text{MHz} \\ &\text{of} \\ -10\text{dB bandbreedte} &\geq 0.2 \times f_c \end{aligned} \quad 1-1$$

Hierin is  $f_c$  de centerfrequentie, wanneer het signaal in het frequentiedomein voorgesteld wordt. Dit punt is ook voorgesteld in Figuur 1-1. Wanneer minstens aan één van beide regels voldaan is, mag een signaal een UWB-sigitaal genoemd worden. De Europese regelgeving verschilt van de Amerikaanse FCC-regels. De verschillen bevinden zich vooral in het maximum uit te zenden vermogen. In het algemeen mag de stelling in formule (1.1) als standaard aangenomen worden. Voor meer informatie over de wetgeving wordt doorverwezen naar paragraaf 1.1.2.



Figuur 1-1: Vergelijking UWB t.o.v. NB

In Figuur 1-1 wordt een UWB-sigitaal vergeleken met een narrow band (NB)-sigitaal. Zoals voorgesteld op de figuur, heeft een NB-sigitaal een kleine bandbreedte. Dit is een voordeel bij draadloze communicatie. Er zal zuiniger worden omgesprongen met de beperkte bandbreedte die beschikbaar is voor deze communicatie.

Een voordeel van UWB-pulsen is de lage spectrale vermogensdichtheid in vergelijking met de NB-technieken. Dat is duidelijk te zien in Figuur 1-1. De reden voor die lage spectrale vermogensdichtheid dient gezocht te worden bij het gebruik van UWB. Om bijvoorbeeld data door te zenden via UWB moet de maximale kanaalcapaciteit, en dus ook de snelheid waarmee de data verzonden kunnen worden, zo groot mogelijk zijn. De vergelijking van de maximale kanaalcapaciteit wordt in formule 1-2 gegeven.

$$C = B \log_2 \left( 1 + \frac{S}{N} \right) \quad 1-2$$

Hierin is: - C = Maximum Channel Capacity (bits/sec)  
 - B = Channel Bandwidth (Hz)  
 - S = Signal Power (Watts)  
 - N = Noise Power (Watts)  
 -  $\log_2$  = Binair logaritme (basis = 2)

In technieken die gebruik maken van een smalle band, zal de bitstroom vergroot kunnen worden door de signal to noise ratio (SNR) te vergroten. Dat kan door bijvoorbeeld een groter vermogen uit te sturen. Bij UWB zal er echter een brede frequentieband gebruikt worden. Hierdoor is B groot. De maximale kanaalcapaciteit van UWB is lineair evenredig met B, maar slechts logaritmisch evenredig met SNR. UWB heeft dus een veel kleiner vermogen nodig om dezelfde bitsnelheid te bekomen. Het nodige vermogen kan zeer klein worden. Zelfs tot in de grote orde van ruissignalen. Daarom wordt gezegd dat UWB een ruisachtig karakter heeft.

Hoewel UWB zich in de ruis bevindt, kan deze toch ontvangen worden, en dat als gevolg van 2 kenmerken van UWB. Zoals gesteld, stuurt UWB zeer korte pulsen uit in het tijdsdomein. De ontvanger zal enkel naar het ontvangen sigitaal kijken, wanneer de data verwacht worden. Daardoor wordt de impact van het continue ruissigitaal beperkt tot enkel het moment waarop het sigitaal te verwachten is. Voor een tijdsframe  $T_f$  en een pulstijd  $T_p$  geeft dit een vermogenversterking van  $10\log(T_f/T_p)$ dB. Dit principe voorkomt eveneens symboolinterferentie. Wanneer data worden verzonden, kan dit via verschillende wegen naar de ontvanger. De data die de langste weg hebben afgelegd, zullen natuurlijk ook het laatste aankomen. Dit verschil in tijd zorgt ervoor dat de ontvanger hetzelfde symbool meermaals ontvangt. Omdat er slechts een kleine periode naar het ontvangen sigitaal gekeken wordt, zal de ontvanger deze reflecties niet opmerken. Hierdoor wordt de symboolinterferentie dus sterk gereduceerd. Daarnaast worden er bij één transmissie meerdere UWB-signalen verstuurd. Door al deze signalen te ontvangen, wordt processing gain verkregen. De winst in dB voor N signalen is  $10\log(N)$ .

Uit bovenstaande bespreking kunnen enkele voordelen van UWB gevonden worden:

- Laag vermogen
- Kan werken met een lage SNR
- Grote datasnelheden mogelijk (500Mbps op 10 feet = 3m)
- Zeer kleine tijdsresolutie (nauwkeurige positiebepaling)
- Heel compact design (vb. voor draagbare toestellen)
- Goed bestand tegen multipathproblemen (door tijdsframe  $T_f$ )

Een nadeel van UWB is het bereik. Er wordt een klein vermogen wordt uitgestuurd, waardoor het bereik meestal beperkt zal zijn tot 10 meter.

### 1.1.2 Wetgeving

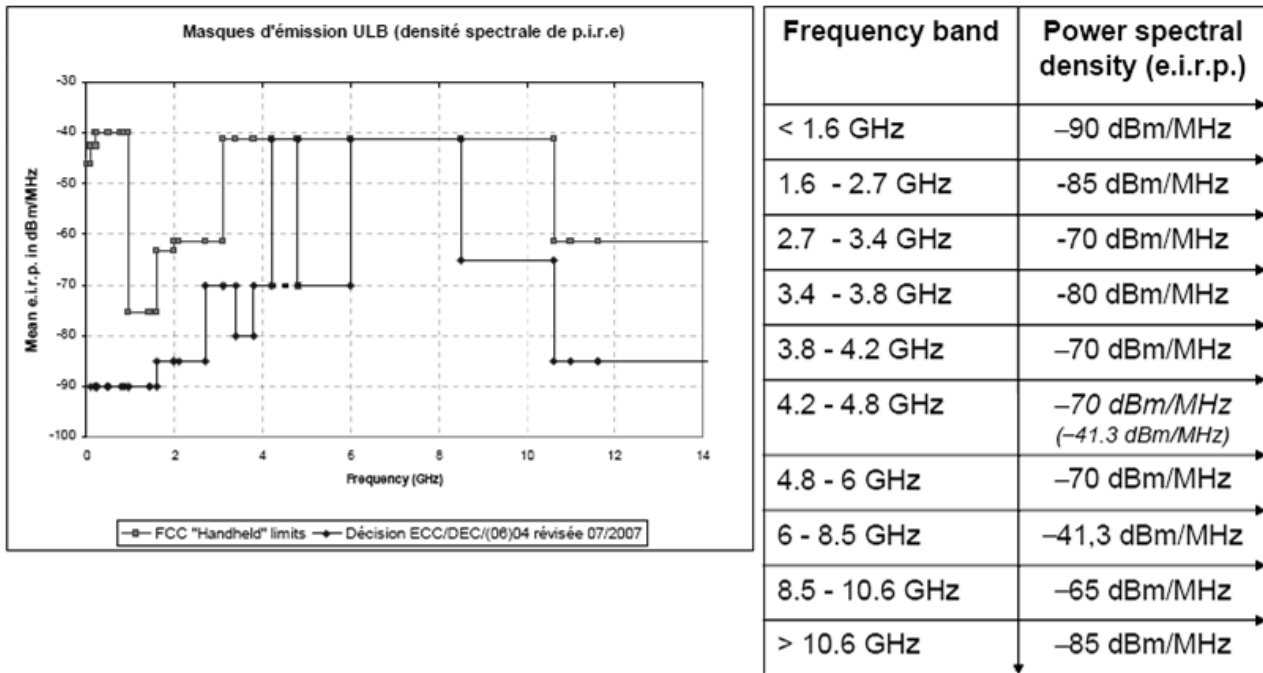
Zoals gesteld, bestaat UWB uit zeer smalle pulsen in het tijdsdomein. Bovendien is er een laag zendvermogen. De combinatie van deze twee kenmerken heeft als gevolg dat UWB amper invloed heeft op andere elektromagnetische signalen. Het is dus mogelijk om UWB-pulsen te versturen in dezelfde frequentieband als bijvoorbeeld radio, zonder de gebruiker hier invloed van ondervindt. Natuurlijk mag men niet zomaar EM- golven gaan uitzenden. Er zijn namelijk bepaalde frequentiebanden, vb.: militaire toepassingen, of gereserveerde frequentiebanden voor GPS, GSM en dergelijke, die nooit verstoord mogen worden. Verder moet er ook een maximum uit te zenden vermogen worden vastgelegd.

Vanaf laat in de jaren '90 en begin van de jaren 2000 deed UWB zijn intrede in de commerciële wereld. Door een gebrek aan wetgeving moest voor elke UWB-toepassing een afzonderlijke licentie aangevraagd worden. Er stond toen enkel geschreven dat, om storingen te voorkomen, onopzettelijke RF-bronnen (Radio Frequency) maximum een gemiddeld vermogen van  $-41,3\text{dBm/MHz}$  voor alle frequenties moesten respecteren (Code of Federal Regulations (CFR) Part 15). Het gevolg daarvan was dat het FCC in september 1998 een 'Notice of Inquiry' uitvaardigde, met als doel te weten te komen welke regels ze konden toeleggen, opdat UWB niet storend zou werken. Het duurde echter tot 2002 vooraleer de eerste wetten er waren, waardoor UWB-toepassingen licentieloos mochten werken in Amerika.

De Europese regels lieten langer op zich wachten. In maart 2004 gaf de Europese Commissie een mandaat aan het CEPT/ECC (European Conference of Postal and Telecommunications Administrations/Electronic Communications Committee). Deze konden nu de Europese regels in verband met UWB opstellen. De FCC-regelgeving kon niet gewoon overgenomen worden. De verdeling van de frequentieband in Europa en Amerika is namelijk verschillend. De eerste bindende regels kwamen dan ook, na verschillende studies, pas 2 jaar later, in maart 2006. Deze regels werden nog een laatste keer aangepast in juli 2007.

De regels in verband met UWB worden samengevat in een masker. Dit masker geeft het maximum uit te zender vermogen aan op die bepaalde frequentie. In Figuur 1-2 kan men de maskers van het FCC en het ECC terugvinden. Een uitgestraalde UWB-puls zal aan dit masker moeten voldoen. Dan kan deze technologie licentieloos gebruikt worden.

In Figuur 1-2 kan men duidelijk zien dat een puls best tussen de 3GHz en de 10GHz ligt. In dit gebied is de vermogenspectraaldichtheid namelijk het grootst. Een groter vermogen heeft twee voordelen. Ten eerste kan de ontvanger op een grotere afstand staan; ten tweede zullen de ontvangen data gemakkelijker terug te vinden zijn. Een groter ontvangen vermogen betekent ook een betere SNR. Dit is vooral belangrijk wanneer een UWB-systeem gebruikt wordt om data door te zenden. In formule (1.2) (cfr. 1.1.1) is te zien dat bij een betere SNR meer data doorgestuurd kunnen worden. Een UWB-zender zal daarom ook liefst zo veel mogelijk vermogen uitzenden binnen deze frequentieband.



Figuur 1-2: Algemeen spectrum masker voor UWB-toepassingen [2]

## 1.2 Hoofdproject: borstkankerdetectie

In vorige paragraaf werd het principe van UWB toegelicht. In deze paragraaf zal aangehaald worden hoe en waarom deze techniek toegepast wordt.

In deze masterproef zal de UWB-toepassing als radar gebruikt worden. Net als gewone radars kunnen UWB-radars voor object-detectie gebruikt worden. Hierbij zal de tijd tussen de verzonden en weerkaatste puls een maat zijn voor de afstand van het voorwerp tot de radar. Een signaal wordt weerkaatst wanneer de elektromagnetische impedantie van het medium, in het pad van het signaal, wijzigt. Dit kan bijvoorbeeld een object of een verandering van dichtheid/samenstelling van het medium zijn. In dit laatste geval zal niet het hele signaal worden weerkaatst, een deel van het signaal zal immers verder doordringen in dit medium [3]. Door deze eigenschap kan een UWB-radar ook wijzigingen in de samenstelling van het materiaal detecteren. Daarnaast kunnen ook objecten die achter een obstakel verborgen zijn, gedetecteerd worden. De mogelijkheid om wijzigingen in de samenstelling van een materiaal te detecteren, maakt dat UWB interessant is voor gebruik in de biomedische sector. Zo kan men met een UWB-radar bijvoorbeeld de ademhaling/hartslag van een patiënt controleren. Verder kan men door de penetrerende eigenschap van UWB een beeld van in het lichaam vormen.

Binnen de onderzoeksgroep RELIC werd een project opgestart om te onderzoeken of het mogelijk was borstkanker te detecteren met behulp van een UWB-radar. Hierbij wordt gebruik gemaakt van het verschil in elektromagnetische impedantie van het gezonde weefsel en dat van een tumor. Zoals eerder gesteld, zal bij elke verandering van de impedantie een deel van het UWB-signaal reflecteren. Bij het uitzenden van een puls zullen er dus vele reflecties ontstaan, ook ter hoogte van de tumor. Door al deze reflecties te analyseren kan men nu detecteren of er al dan niet een tumor aanwezig is. In deze masterproef zal er gefocust worden op de UWB-zender. Er zal een nieuw soort UWB-zender ontworpen worden die onder andere voor bovenstaande toepassing kan gebruikt worden.

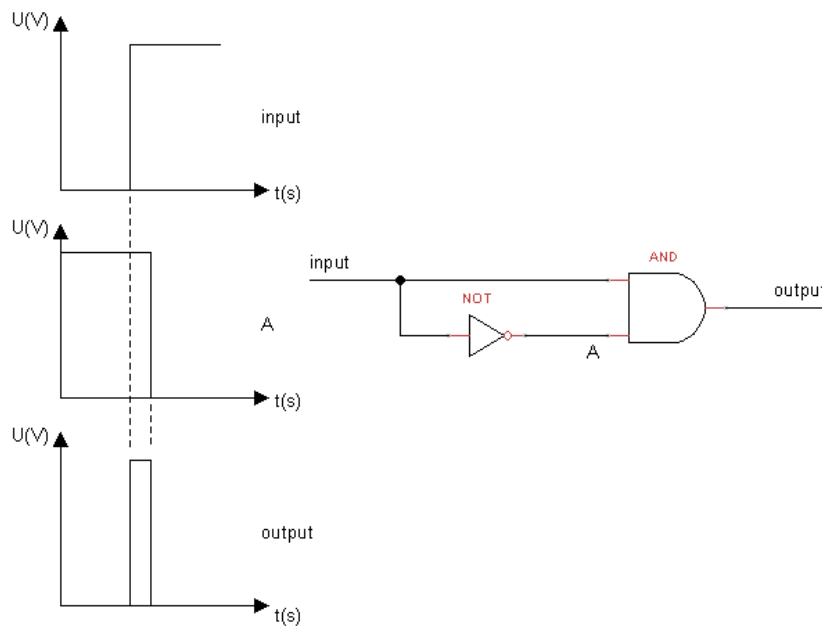
## 1.3 UWB-zenders

Er zijn verschillende manieren om een UWB-puls te maken. In dit deel zullen deze verschillende technieken kort besproken en vergeleken worden. Er wordt telkens een zeer korte puls gemaakt. Het is namelijk bewezen dat hoe smaller een signaal in het tijdsdomein is, hoe breder dit signaal in het frequentiedomein zal zijn. Om van een UWB-puls te kunnen spreken, dient de puls smal genoeg te zijn, opdat er een voldoende brede bandbreedte in het frequentiedomein gehaald kan worden.

In 1.1.2 werd de wetgeving rond het uitzenden van een UWB-puls besproken. Er werd vermeld dat een UWB-puls best in het gebied tussen ruwweg de 3GHz en de 10GHz ligt, aangezien daar het uitgestraalde vermogen het grootst mag zijn. Een bijkomend voordeel is een grotere kanaalcapaciteit, zodat er meer data verstuurd kunnen worden. Zoals reeds vermeld, gebruikt men een smalle puls om voldoende frequentie-informatie te bekomen. Wanneer men echter een smalle puls maakt, zal de frequentie-informatie beginnen van 0Hz. De 'lage' frequenties, onder de 3GHz, zijn bijgevolg niet nuttig. Daarom zullen deze frequenties verzwakt moeten worden met gepaste filters. Deze filters zullen ervoor zorgen dat de puls in het wettelijke masker past. Dit betekent echter ook dat we alle energie, van de frequenties onder de 3GHz, kwijt zijn. Het is dus van groot belang dat de meeste energie van de zender boven deze 3GHz ligt. Daarom is de gegenereerde puls liefst kleiner dan 500ps. Dit zal een streefdoel zijn in onderstaande schakelingen.

### 1.3.1 Logische poorten

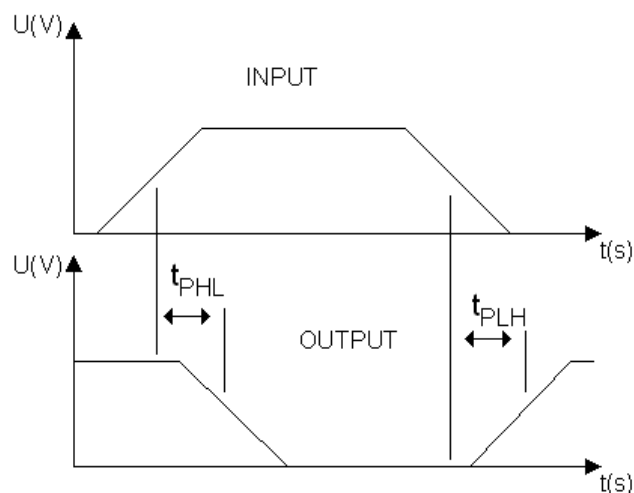
Een eenvoudige manier om een UWB-puls te maken is met een AND- en NOT-poort, en dat door gebruik te maken van de traagheid van deze poorten. Eeningangssignaal wordt rechtstreeks verbonden met een ingang van een AND-poort. Aan de andere ingang van de AND-poort wordt de geïnverteerde ingang aangesloten. Het principe wordt voorgesteld in Figuur 1-3.



Figuur 1-3: Vorming UWB-signaal met AND- en NOT-poort

Van belang bij deze figuur is dat de logische poorten een bepaalde omschakeltijd bezitten. De uitgang van de poorten reageren namelijk niet meteen op het ingangssignaal. De knoop A zal met andere woorden een zekere vertraging hebben op het ingangssignaal. Stel, de ingang is in het begin laag. Dan is knoop A hoog en de uitgang laag. Vervolgens zal de ingang hoog worden. Het zal exact de omschakeltijd van de not-poort duren vooraleer knoop A laag wordt. Gedurende deze periode zullen beide ingangen van de AND-poort hoog zijn, en bijgevolg is ook de uitgang hoog. Na deze omschakeltijd zal knoop A opnieuw laag worden, waardoor de uitgang ook terug laag wordt. Deze werking is geïllustreerd in de golfvormen van Figuur 1-3. De puls op de uitgang heeft dus de lengte van de omschakeltijd van de NOT-poort. De breedte van de pulsflanken zijn dan weer afhankelijk van de stijg- en daaltijd van de AND-poort. De parameters van de gevormde puls zijn sterk afhankelijk van de gebruikte technologie. Indien er gebruik wordt gemaakt van ECL (emitter coupled logic) kunnen er pulsen gemaakt worden tot 500ps [4]. ECL is een zeer snelle bipolaire logische familie. Deze technologie werkt in het lineaire gebied in plaats van in het saturatiegebied. De bekomen frequentie-informatie heeft een centerfrequentie van 1,7GHz en gaat tot 3,1GHz. In deze frequentieband laat het wettelijke masker echter geen groot vermogen toe. Na deze schakeling kan er nog een upconversie gebeuren en kunnen de gepaste filters geplaatst worden. Deze zullen de frequenties verschuiven en/of verzwakken, zodat de bekomen frequentie-informatie volledig aan het wettelijke masker voldoet.

Met bovenstaand principe kan een UWB-puls gegenereerd worden met slechts 2 logische poorten. Dat heeft als groot voordeel dat het compact en eenvoudig te bouwen is. De logische poorten kunnen zeer makkelijk in CMOS, en dus ook op chip, gerealiseerd worden. Ze kunnen bovendien op een voedingsspanning van bijvoorbeeld 3,3V werken, in vergelijking met andere technieken die een grotere voedingsspanning vereisen. Deze schakeling heeft echter ook nadelen. Eerst is er de lengte van de puls. De lengte ligt op het minimum van 500ps, waardoor er slechts frequenties tot 3,1GHz in deze puls zitten. Dat is natuurlijk niet ideaal voor het uitzenden van deze puls. Een bijkomend nadeel is dat de puls enkel gewijzigd kan worden door een snellere of tragere NOT-poort te gebruiken. De aanpasbaarheid voor testopstellingen is dus zeer laag. De breedte van de puls ligt evenmin vast. Hiervoor moet gekeken worden naar de omschakeltijd van de NOT-poort. Deze tijd is voorgesteld in Figuur 1-4. Men ziet hier de propagation delay van de poort. Deze kan voorgesteld worden als de tijd die nodig is om de condensator aan de ingang van de AND te op- of ontladen. Bij deze schakeling zal de pulsbreedte gelijk zijn aan  $t_{PHL}$ . Deze tijd is echter niet constant en hangt af van de gebruikte voedingsspanning, de condensatorwaarde aan de ingang van de AND-poort, en vooral van de temperatuur.



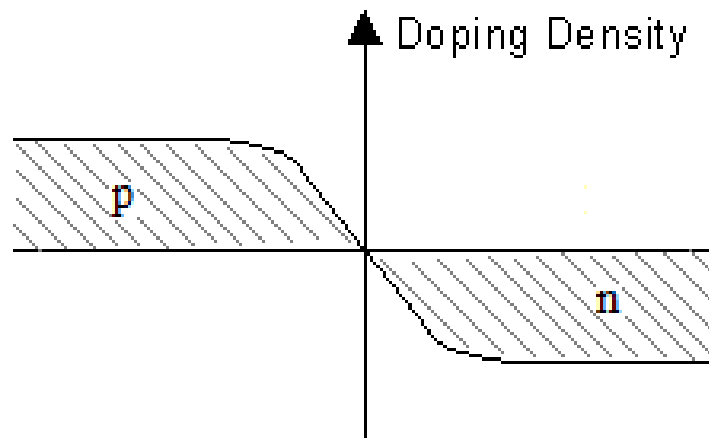
Figuur 1-4: Vertragingstijd NOT-poort

In theorie kan men deze techniek ook in een FPGA implementeren. De schakeling van de 2 logische poorten kan eenvoudig in VHDL (Very High Speed Integrated Circuit Hardware Description Language) of Verilog worden geprogrammeerd. In de praktijk zal de compiler van de FPGA het ontstaan van deze korte puls detecteren. Deze wordt gezien als een glitch, waardoor de compiler denkt dat deze ongewenst is. Om deze pulsen toch te behouden, kan een KEEP-statement gebruikt worden. Hierdoor kan deze methode in een FPGA worden geprogrammeerd.

### 1.3.2 SR diode

Een andere methode om een UWB-puls te maken is door middel van een SR-diode. SR staat voor step recovery. Het is een soort diode die gebruikt kan worden als een ladingsgestuurde schakelaar. Het grote voordeel is dat deze in staat is om zeer scherpe pulsen te maken. Met deze scherpe overgangen kan dan een UWB-puls gevormd worden.

In een SR-diode wordt de dopinggraad kleiner naarmate men dichterbij de junctie komt. Dit is te zien in Figuur 1-5. Deze structuur heeft als gevolg dat er minder ladingsdragers, en dus ook minder ladingen, in de buurt van de junctie zijn. Daardoor kan, bij het uitschakelen, de totale lading in dit gebied veel sneller weggevoerd worden. Bij het inschakelen zal de voorwaartse stroom veel sneller opkomen dan bij een gewone diode. Bijgevolg zal de schakeltijd sterk gereduceerd worden.



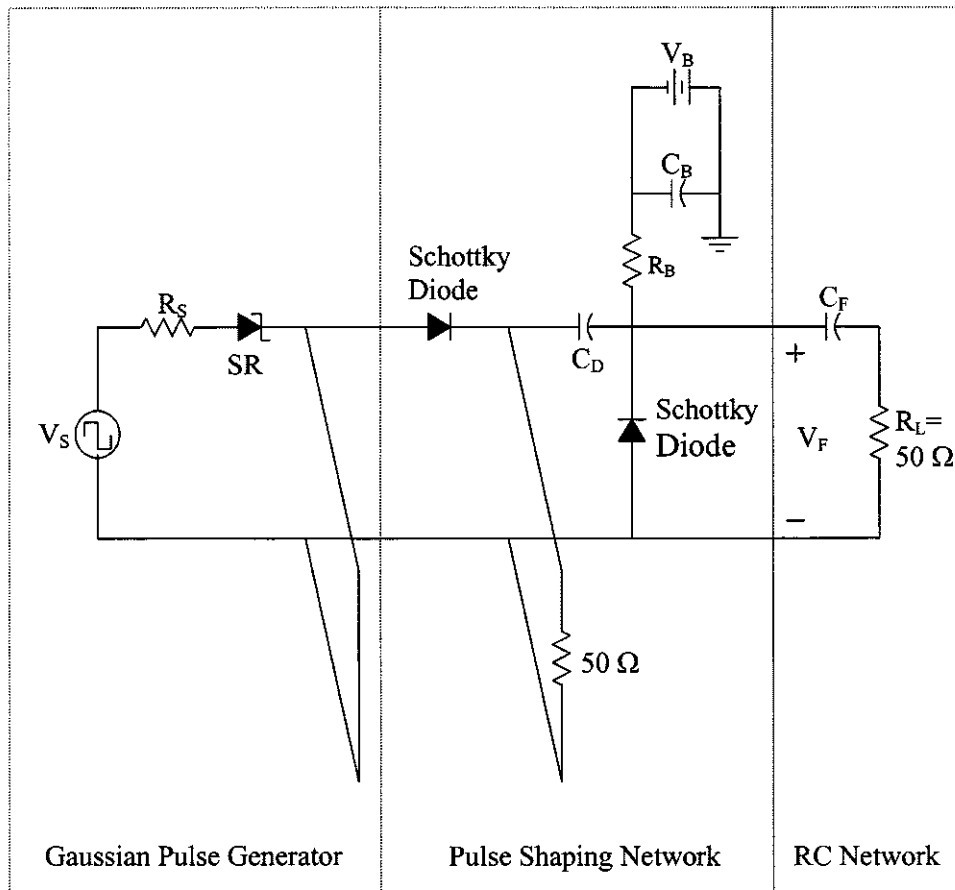
*Figuur 1-5: Doping density SR diode*

Zoals reeds gesteld, zal de SR-diode als een ladingsgestuurde schakelaar gebruikt worden. In het voorwaartse gebied zal de SR-diode zich als een normale diode gedragen. Wanneer de diode van het voorwaartse gebied in cut-off overgaat, zal er een omgekeerde stroom vloeien, omdat de lading in de junctie verwijderd zal moeten worden. Wanneer alle lading verwijderd is, zal deze stroom plots stoppen. Dit gebeurt zeer snel en er zal dus een zeer steile flank optreden. Men kan dit ook anders voorstellen. Wanneer de diode snel naar cut-off overgaat, zal deze eerst een zeer kleine weerstand hebben. Deze weerstand is typisch kleiner dan 1 Ohm en zorgt ervoor dat er een stroom kan vloeien. Wanneer alle lading in de junctie verwijderd is, zal de weerstand zeer snel toenemen tot het zijn normale inverse waarde heeft bereikt. Het is deze steile overgang die de SR-diode nuttig maakt in een UWB-zender.



Er bestaan veel verschillende schema's voor het maken van een UWB-puls met behulp van een SR-diode. Het principe is echter telkens gelijk. In wat volgt, zal dit principe besproken worden met behulp van een voorbeeld (cfr. [5]). Het voorbeeld dat besproken zal worden, vindt men terug in Figuur 1-6. Dit schema bestaat uit 3 delen: *Gaussian Pulse Generator (gausiaanse puls generator)*, *Pulse Shaping Network (puls vormings netwerk)* en *RC-Network (RC-Netwerk)*. Deze drie zullen elk hun bijdrage leveren aan de vorming van de puls en zullen afzonderlijk besproken worden.

De generatie van een UWB-puls met behulp van een SR-diode werd reeds in een eerdere thesis besproken. Voor meer informatie hierover wordt doorverwezen naar de thesis van Kris Cools.

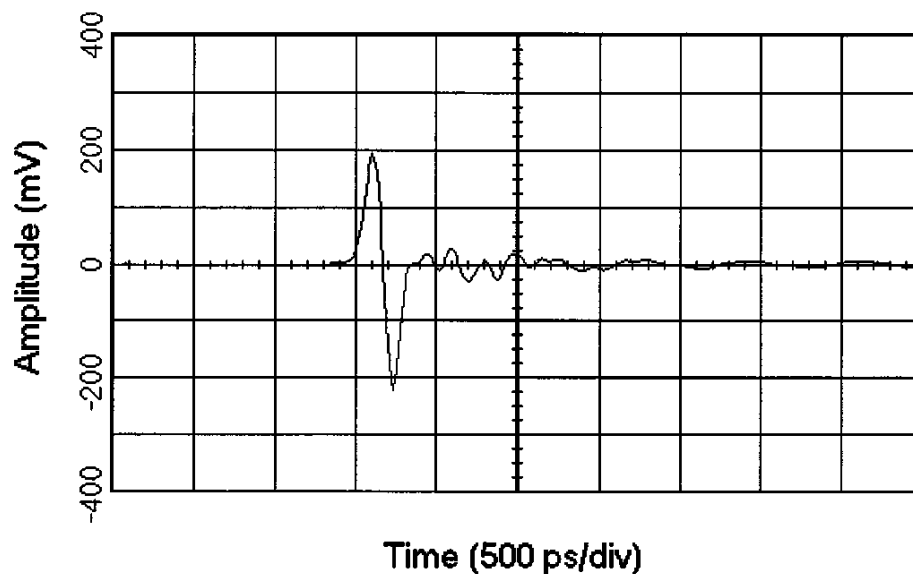


Figuur 1-6: Schema UWB generator met SR-diode [5]

Zoals de naam al doet vermoeden, zal de *Gaussian Pulse Generator* een puls vormen. Dat gebeurt in twee stappen. Eerst wordt er een stapfunctie met korte transitietijd gegenereerd door de SR-diode. Op de SR-diode wordt de blokspanning  $V_s$  aangesloten. Bij een dalende flank van de blokgolf vormt de SRD, step recovery diode, een steile flank zoals hierboven uitgelegd is. Na de SRD hangt een kortgesloten stub. De gegenereerde stapfunctie zal nu zowel naar het Puls vormingsnetwerk als naar deze stub gaan. Vervolgens zal men deze stub moeten bekijken als een transmissielijn. De spanning op een kortgesloten transmissielijn zal invers gereflecteerd worden, waardoor op het Puls vormingsnetwerk twee pulsen toekomen. Eerst de puls gegenereerd door de SRD, een bepaalde tijd later de gereflecteerde puls. De gewone stapfunctie en de gereflecteerde stapfunctie zullen vervolgens gecombineerd worden. Dit resulteert in een zeer korte puls. De lengte van deze puls hangt af van de lengte van de stub.

In het tweede deel van de schakeling gaat deze puls naar het *Pulse Shaping Network*. De aangekomen puls is zeer breed in het frequentiedomein. Om reflecties en staande golven te voorkomen, moet de transmissielijn zo goed mogelijk gematched worden voor al deze frequenties. Het *Pulse Shaping Network* zal namelijk als afsluitweerstand van de transmissielijn worden gezien. De impedantie van dit netwerk zal dus over een zo groot mogelijk frequentiebereik resistief en  $50\Omega$  moeten zijn. Op deze manier wordt de transmissielijn voor alle frequenties in de puls correct afgesloten, en is er dus een goede matching. Door deze goede matching, zullen er geen reflecties optreden. Dit heeft als bijkomend gevolg dat er geen staande golven ontstaan. Staande golven zijn een oorzaak van ringing, maar door dit netwerk zal de ringing in de schakeling dus drastisch gedaald zijn.

Op de werking van dit *Pulse Shaping Network* wordt niet dieper ingegaan. Het is wel belangrijk om weten dat de ringing nu zeer sterk gereduceerd is. Dit gaat echter wel gepaard met enkele nadelen. Zo is de amplitude van de puls ten eerste kleiner door de spanningsvallen over de componenten. Een tweede nadeel is een DC-verschuiving. Deze is afkomstig van de spanningsbron  $V_B$ . De gegenereerde puls zal hierdoor een negatieve offset krijgen. Daarom zal deze puls nog doorheen het RC-Netwerk gestuurd worden. Dit netwerk is een hoogdoorlaat filter en zal dus de DC-component en lagere frequenties wegfilteren. Na de RC-filter zal de DC-component verdwenen zijn. Verder zijn ook de lagere frequenties verzwakt. Als de componentwaarden van deze filter goed worden gekozen, zal de puls aan de uitgang van de RC-filter in het wettelijke masker passen. De bekomen puls is te zien in Figuur 1-7. Met deze schakeling is het mogelijk om een puls van 300ps en 200mV(peak to peak) te maken. Het ringing level is verzwakt met 17dB.



Figuur 1-7: Uitgangspuls UWB-zender met SR-diode [5]

Een voordeel van een schakeling met SRD is de scherpte van de flanken. De step recovery-diode zal ervoor zorgen dat de flanken zeer stijl zijn. Vervolgens kan met de lengte van de stub de pulsbreedte worden aangepast. Dit is geen optimale methode, maar biedt wel enkele mogelijkheden bij testopstellingen. Een nadeel van een SRD is de voedingsspanning. Doorgaans hebben deze schakelingen een grotere voedingsspanning nodig, vooral in vergelijking met andere technologieën en vooral deze in paragraaf 1.3.1. In bovenstaande schakeling bijvoorbeeld is  $V_B = -10V$ .

### 1.3.3 FPGA

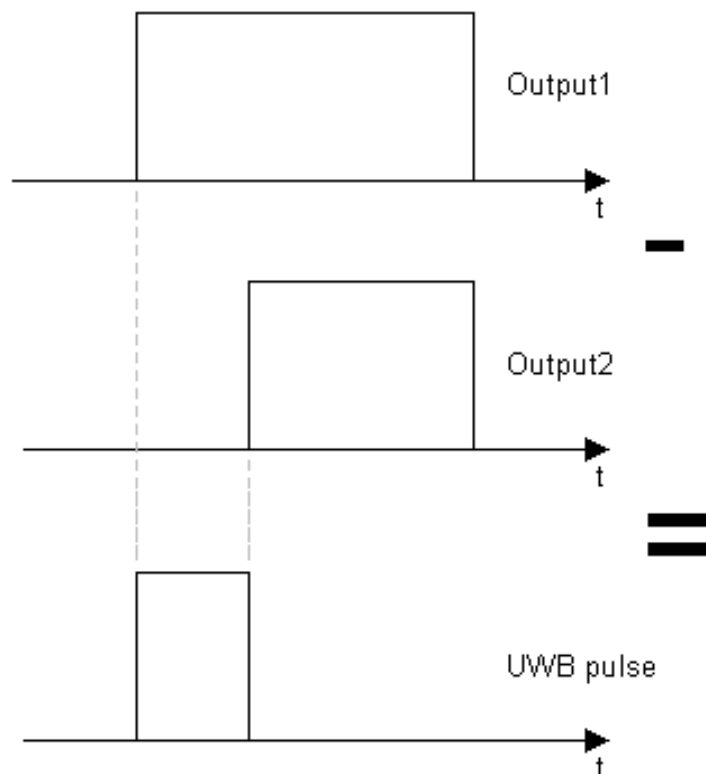
Een laatste methode voor het genereren van een UWB-puls is met behulp van een FPGA. Deze techniek zal in deze masterproef gebruikt worden en wordt dan ook uitvoerig besproken in paragraaf 1.4.

## 1.4 UWB-pulsgeneratie met een FPGA

Voor deze masterproef werd gekozen om een UWB-puls te maken met behulp van een FPGA. In wat volgt, wordt dit principe verder besproken en zal deze techniek ook vergeleken worden met de UWB-technieken uit paragraaf 1.2.

### 1.4.1 Principe

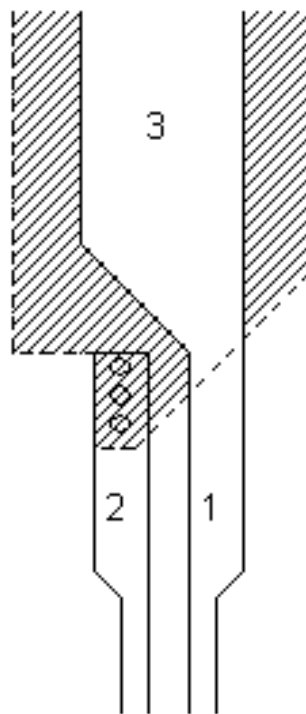
In vergelijking met andere technieken wordt hier de puls volledig digitaal gemaakt. Dit geeft enkele voordelen in verband met instelling en dergelijke (cfr. 1.4.2). In Figuur 1-8 wordt het principe voorgesteld. De FPGA zal 2 pulsen uitsturen; in Figuur 1-8 voorgesteld door uitgang1 en uitgang2. Men ziet dat de stijgende flanken van deze pulsen verschoven zijn ten opzichte van elkaar. Wanneer het verschil van deze pulsen berekend wordt, zal de onderste golfvorm, de UWB-puls, overblijven. Dit verschil wordt fysiek berekend. Een voorbeeld: de puls op Uitgang1 heeft een lengte van 1ps en de lengte van de puls op Uitgang2 is 0,6ps. Na het verschil te berekenen, wordt een puls van 0,4ps bekomen. Dit is een eenvoudige manier om een korte puls te bekomen, zonder de noodzaak dat de FPGA deze korte schakeltijden moet aankunnen.



Figuur 1-8: Vorming UWB-puls met FPGA

Het spreekt voor zich dat er liefst zo weinig mogelijk jitter op deze pulsen zit. Indien de pulsen Uitgang1 en Uitgang2 niet exact gelijk terug laag worden, zullen er bijkomende, en ongewenste, pulsen ontstaan. Om deze zo veel mogelijk te vermijden, is de jitter liefst zo klein mogelijk. Dit kan zeer goed bewerkstelligd worden met een PLL (Phase Locked Loop). Deze gedraagt zich dan als een soort buffer/filter. De ingangsfrequentie wordt nagebootst, maar met een kleinere jitter (cfr. 2.2).

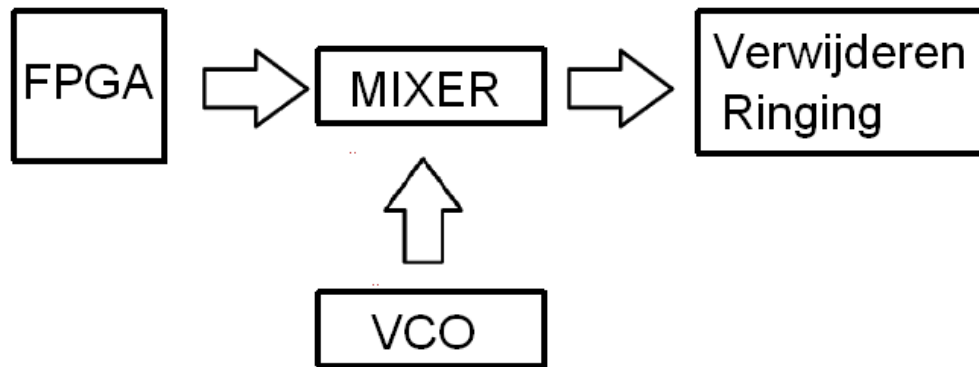
Hierboven werd al vermeld dat het verschil van de 2 uitgangssignalen van de FPGA fysiek wordt berekend. De wijze waarop dit gebeurt wordt voorgesteld in Figuur 1-9. Aan de pinnen van de FPGA worden lijnen 1 en 2 aangesloten. Deze vormen een complementair paar. Wanneer er een potentiaalverschil tussen lijn 1 en 2 bestaat, zal hierover een elektrisch veld gevormd worden. Dit gebeurt dus wanneer puls1 hoog is, terwijl puls2 nog laag is. De overige tijd zijn de potentialen op lijn 1 en 2 namelijk gelijk. Vervolgens gaat het complementair paar over in een microstrip. Lijn 1 wordt breder, en loopt over in deel 3. Lijn 2, daarentegen, zal met behulp van via's met de onderkant van de transmissielijn worden verbonden. Hierdoor zal het elektrisch veld 90° gedraaid worden. Dit elektrisch veld zal dan op zijn beurt voor een spanningsgolf zorgen in lijn 3.



*Figuur 1-9: fysiek aftrekken pulsen*

De puls die door de FPGA gevormd wordt, zal enkel op lage frequenties zitten, bijvoorbeeld van DC tot 2GHz. Om aan het wettelijke masker te voldoen (cfr. 1.1.2), zal deze puls naar hogere frequenties moeten worden gebracht. Dit gebeurt met behulp van een frequentiemixer. Dit principe wordt voorgesteld in Figuur 1-10. Aan de andere ingang van de mixer wordt een VCO (Voltage Controlled Oscillator) aangesloten. Stel, de centerfrequentie van de puls moet 5GHz zijn. De VCO zal dan op deze frequentie oscilleren. De mixer zal hetingangsspectrum opconverteren, zodat het spectrum op de uitgang rond deze 5GHz ligt. In het voorbeeld ligt het spectrum van de opgeconverteerde puls nu van 4GHz tot 6GHz. Het uitgangsspectrum zal nu beter aan het wettelijke masker voldoen. Het gebruik van een mixer heeft echter een nadeel. Wanneer de FPGA geen puls uitstuurt, zal er toch nog een deel van het signaal van de

VCO via de mixer naar de uitgang lekken. Deze lek zorgt voor ongewenst signaal op de uitgang. Op die manier wordt er ringing geïntroduceerd. Deze ringing is ongewenst en moet dan ook best verwijderd worden. Verder in deze masterproef worden verschillende technieken aangehaald voor het verwijderen van deze ringing. Voor de bespreking van deze technieken wordt doorverwezen naar paragraaf 3.3. De mixer zelf wordt in detail besproken in paragraaf 3.1.3. De VCO in paragraaf 3.1.1.



*Figuur 1-10: Blokschema UWB-zender met FPGA*

Hierboven werd het volledige principe voor het vormen van de UWB-puls besproken. In Figuur 1-10 wordt dit principe samengevat in een blokschema. De FPGA zal twee pulsen vormen. Nadat deze fysiek van elkaar afgetrokken zijn, wordt het spectrum opgeconverteerd met behulp van een mixer. De centerfrequentie wordt nu gelijk aan de oscillatiefrequentie van de VCO. Omdat een mixer ringing zal introduceren, zal in een laatste blok deze ringing zo goed mogelijk verminderd/verwijderd worden.

#### **1.4.2 Bespreking**

Bovenstaande techniek heeft vele voordelen. Veel van deze voordelen zijn een gevolg van het feit dat de puls met een FPGA, en dus digitaal, gemaakt wordt. Dit brengt met zich mee dat de pulsbreedte en andere parameters eenvoudiger gewijzigd kunnen worden. Om de eigenschappen van de puls te wijzigen, moet men nu enkel de juiste parameters in de FPGA aanpassen. Dit kan bijvoorbeeld door de waarden in de VHDL- of verilogcode aan te passen, en deze aangepaste code in de FPGA te programmeren. Indien men nog een grotere flexibiliteit wenst, kan men de parameters via de PC instellen. Dit door zelf een programma te schrijven dat via USB de nodige parameters instelt. Dit is een groot voordeel voor testopstellingen. Door de pulsbreedte en/of andere parameters aan te passen, kan men beter de volledige eigenschappen van het systeem bepalen, en zodoende ook de optimale parameters bepalen.

In de technieken uit paragraaf 1.2 werd steeds een filternetwerk gebruikt. Dit zorgde ervoor dat de bekomen puls in het wettelijke masker paste. De nuttige frequenties, deze boven de 3GHz, werden door de puls zelf gegenereerd. Het filternetwerk zal dan de lagere frequenties voldoende verzwakken. Hierdoor blijven enkel de frequenties boven de 3GHz over. Een nadeel hiervan is wel dat een groot deel van het opgewekte vermogen in de zender verloren gaat. In deze technologie zal de opgewekte puls een veel kleinere frequentie-informatie bezitten. Deze bezit slechts frequenties van DC tot ongeveer 2GHz. Vervolgens wordt de centerfrequentie verhoogd met behulp van een mixer. Hierdoor wordt wel de volledige energie van de zender gebruikt in het nuttige gebied. Om optimaal aan het masker te voldoen, kan het nog nodig zijn filters te

gebruiken. Maar deze zullen nu slechts een klein deel van het spectrum moeten verzwakken. Zo gaat er dus veel minder vermogen verloren.

Een nadeel van deze techniek is de introductie van de ringing. Zoals hierboven reeds vermeld, is deze afkomstig van de mixer. De exacte oorsprong van deze ringing wordt verduidelijkt in paragraaf 3.1.3. Voor een bruikbare puls zal deze ringing verwijderd moeten worden. Er zullen dus extra componenten gebruikt moeten worden. Hoe deze ringing verwijderd wordt, wordt besproken in paragraaf 3.3.

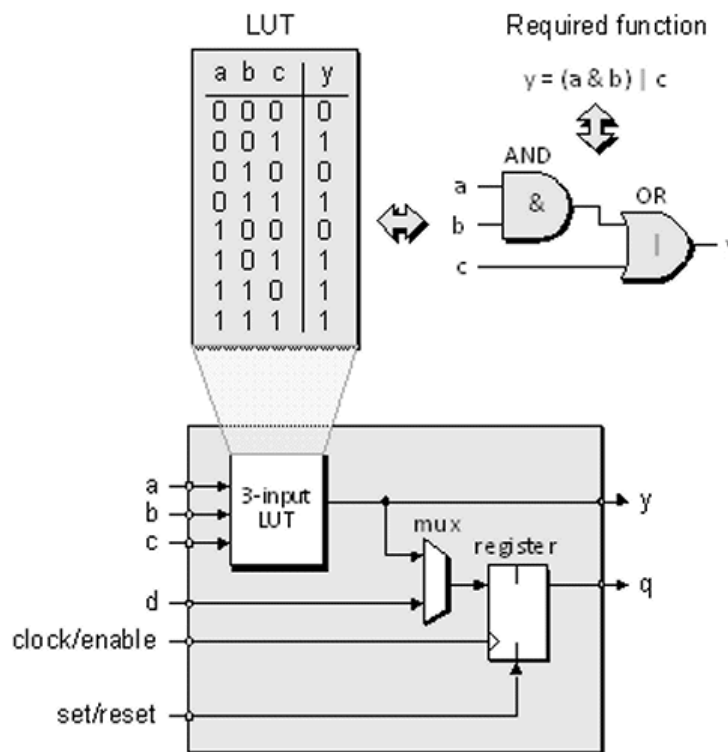
## 2 VHDL

In paragraaf 1.4.1 werd uitgelegd dat de UWB-puls gegenereerd zal worden door een FPGA (Field Programmable Gate Array). In dit deel zal de code, gebruikt om deze FPGA te programmeren, toegelicht worden.

### 2.1 FPGA

Een FPGA is een programmeerbare component die alle digitale en logische bewerkingen kan uitvoeren. Een FPGA bezit verschillende standaard bouwblokken, AND/OR/...-poorten. De interconnecties tussen deze poorten kunnen geprogrammeerd worden. Op deze manier is het mogelijk grote logische schakelingen in 1 programmeerbare component te programmeren.

De standaard bouwblokken van een FPGA worden vaak uitgevoerd in de vorm van look up tables (LUT). In deze tabellen wordt de correcte uitgangswaarde opgeslagen bij een bepaalde ingangswaarde. Daarna wordt de juiste waarde in deze tabel naar buiten gebracht met behulp van multiplexers en flip-flops. Een vereenvoudigd voorbeeld van zo een standaard bouwblok is te zien in Figuur 2-1. Hierin kan men zien dat de waarheidstabel van de logische functie wordt bijgehouden in de LUT. Afhankelijk van de waarden van de ingangen (a, b en c), zullen multiplexers in de LUT schakelen zodat de correcte waarde op de uitgang komt.



Figuur 2-1: Vereenvoudigd standaard bouwblok FPGA [7]

Naast deze standaard bouwblokken bezitten FPGA's nog enkele specifieke bouwblokken, zoals een PLL. Deze bouwblokken zijn meestal in hardware gerealiseerd. Bij productie worden deze mee in de behuizing van de FPGA gezet. Hierdoor werken deze blokken sneller en efficiënter in vergelijking met die in code geschreven zijn. De in- en uitgangen van deze blokken kunnen nu in de code aangesproken worden. De eigenlijke werking van de PLL moet nu niet meer geprogrammeerd worden.

Een FPGA zal geprogrammeerd worden met een hardware discription language (HDL). De twee bekendste zijn VHDL en Verilog. Beide programmeertalen zijn gelijkaardig, er zitten slechts enkele verschillen in syntax. In deze masterproef zal de FPGA geprogrammeerd worden met VHDL.

In deze masterproef wordt gebruik gemaakt van een xilinx Spartan 6 XC6SLX9. Deze FPGA bezit 2 PLL's, deze zullen verder in deze masterproef gebruikt worden. Voor meer informatie en eigenschappen over deze FPGA wordt doorverwezen naar de user guide. [8]

## 2.2 Jitterfilter

De UWB-pulsen worden tegen 100MHz uitgestuurd. Om ervoor te zorgen dat de stijgende flank niet te veel varieert, zal in de FPGA een Jitterfilter worden toegevoegd. Zo een Jitterfilter is eenvoudig te maken met behulp van een PLL. In zijn eenvoudigste vorm zal de PLL zijn ingangsfrequentie, met een grote jitter, rechtstreeks kopiëren naar de uitgang. Deze uitgangsfrequentie zal dan een kleinere jitter bezitten als het signaal aan de ingang. Als een andere frequentie moet worden gegenereerd, volstaat het de PLL te laten locken, bijvoorbeeld op de dubbele frequentie. Hetzelfde kan ook bereikt worden gebruikmakende van een DCM (Digital Clock Manager). Deze laatste zal op een analoge manier de ingangsfrequentie kopiëren naar de uitgang. Ook nu zal de uitgangsfrequentie een kleinere jitter bezitten dan het signaal aan de ingang. Beide technieken zullen een vergelijkbare jitter hebben op hun uitgang. Voor deze masterproef wordt een PLL als jitterfilter gebruikt.

In 1.4.1 werd al uitgelegd dat de FPGA twee pulsen zal uitsturen. Door deze daarna fysiek van elkaar af te trekken, wordt de uiteindelijke UWB-puls gevormd. Deze pulsen zijn te zien in Figuur 1-8. Wanneer er veel jitter op deze pulsen aanwezig is, zal niet alleen de plaats van de stijgende flank, maar ook de breedte van de puls swijzigen. Stel, Output1 komt vroeger en Output2 komt later aan op de uitgangspin. De totale breedte van de puls zal dan in het ergste geval toegenomen zijn met 2 keer de maximale jitter. Vervolgens kan men naar de dalende flanken van de pulsen op Output1 en Output2 kijken. Het is van groot belang dat ook deze twee flanken gelijk optreden. Als één van de flanken vroeger optreedt, zal er een bijkomende, en ongewenste, puls worden gevormd. Het verschil tussen Output1 en Output2 is dan namelijk niet meer gelijk aan nul. Door nu een jitterfilter op deze twee pulsen te plaatsen, wordt niet enkel de stijgende flank van de puls stabiel gehouden, maar is de breedte van de puls ook veel stabiel en worden er geen glitches gevormd.

## 2.3 Code

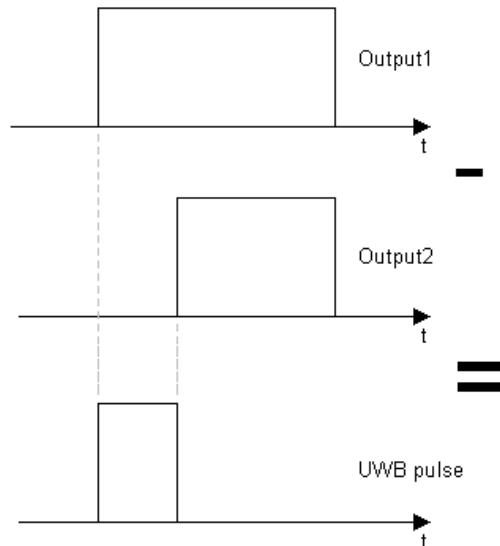
In dit deel wordt de VHDL-code besproken. Deze code zal opgesplitst worden in twee grote delen. Eerst wordt de code voor de generatie van de UWB-puls besproken. Vervolgens wordt een deel van de code besproken dat instaat voor seriële communicatie. Deze zal de juiste versterking of oscillatiefrequentie of schakeltijden van de componenten op de testprinten instellen. Bij de bespreking worden de belangrijkste lijnen code weergegeven. Voor de volledige VHDL-code wordt doorverwezen naar de bijlage.

Zoals hierboven al vermeld zal de xilinx spatran 6 XC6SLX9 FPGA gebruikt worden. Deze zal in VHDL geprogrammeerd worden, en dit in de xilinx ISE Webpack omgeving. Dit is de standaard omgeving voor het programmeren van deze FPGA. Deze software is vrij verkrijgbaar op de xilinx website.



### 2.3.1 Generatie puls

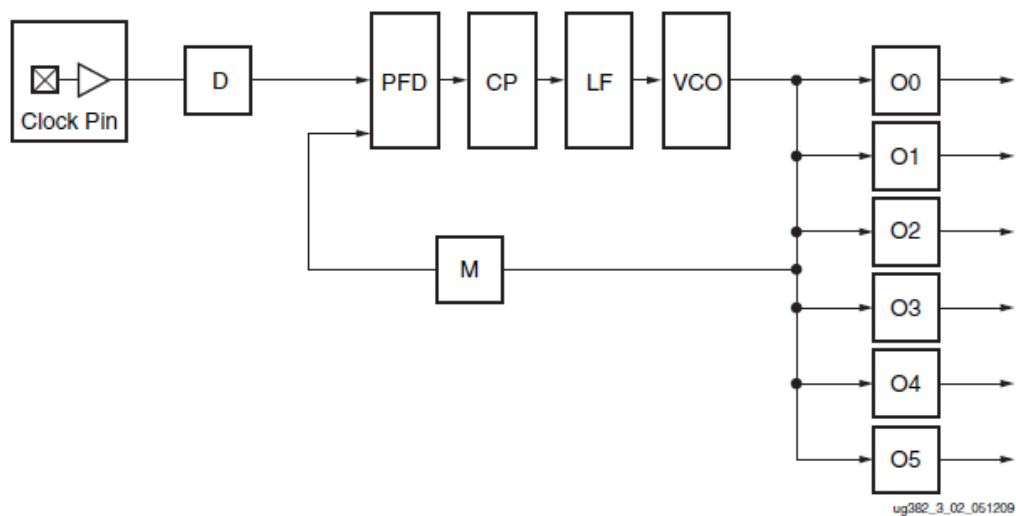
Zoals eerder aangehaald wordt de UWB-puls gevormd door twee langere pulsen fysiek van elkaar af te trekken. Voor de duidelijkheid wordt deze techniek is nog eens voorgesteld in Figuur 2-2. Het is nu de taak van de FPGA om de pulsen output1 en output2 in onderstaande figuur te genereren. De VHDL-code die hiervoor nodig is wordt in deze paragraaf besproken.



Figuur 2-2: Vorming UWB-puls

#### 2.3.1.1 PLL

In paragraaf 2.2 werd al vermeld dat er een PLL als jitterfilter gebruikt zal worden. Zoals hierboven al vermeld bezit onze FPGA twee PLL blokken. Elk van deze blokken bezit op zijn beurt zes afzonderlijke uitgangen. Het is dus mogelijk met één ingangsfrequentie zes verschillende uitgangsfrequenties te genereren. Het blokschema van de PLL is te zien in Figuur 2-3.



Figuur 2-3: Blokschema PLL spartan 6 [9]

Hierin is:

PFD	= Phase Frequency detector
CP	= Charge Pump
LF	= Loopfilter
VCO	= Voltage controlled oscillator
Ox	= Counters/outputs
D, M	= Counter

De ingangsklok zal eerst door een teller gestuurd worden. Dit geeft de mogelijkheid om de klok door een geheel getal te delen. Op deze manier krijgt de PLL een grotere flexibiliteit. Vervolgens wordt deze ingangsklok, en het teruggekoppelde signaal, aangelegd aan een fase-detector. Als er een faseverschil tussen beide signalen zit, zal deze fase-detector een DC-spanning op zijn uitgang genereren. Deze DC-spanning wordt doorheen een charge pump (= DC-DC omvormer) en een filter gestuurd. Deze twee zullen de DC-spanning omzetten naar een de gewenste ingangsspanning voor de VCO. Zo wordt de uitgang van de fase-detector losgekoppeld van de ingang van de VCO. Door bijvoorbeeld een integrerende actie toe te voegen in de loopfilter, kan de VCO aan een hogere frequentie blijven oscilleren, terwijl er geen fasefout meer aanwezig is. Dit is onder meer nodig wanneer men een frequentiesprong wil wegwerken. De uitgang van de VCO zal naar zes afzonderlijke uitgangspinnen gaan. Met de teller Ox, kan de VCO-frequentie gedeeld worden door een geheel getal. Dit geeft een groter bereik aan uitgangsfrequenties. Ten slotte wordt de uitgang van de VCO, via een teller M, teruggekoppeld naar de fase-detector. Deze teller zal weer een grotere flexibiliteit geven.

De twee tellers D en M zorgen voor een grotere flexibiliteit in de PLL. Beide tellers zijn in staat respectievelijk het ingangssignaal en het teruggekoppelde signaal door een geheel getal, D of M, te delen. Door het ingangssignaal D keer te delen, zal de VCO locken op een frequentie D keer kleiner dan de frequentie aan de ingang. De fase-detector ziet namelijk een signaal met een frequentie D keer kleiner dan het werkelijk is. De teruggekoppelde frequentie delen door M zorgt ervoor dat de PLL locked op een frequentie M keer groter. De fase-detector denkt namelijk dat de VCO M keer trager oscilleert dan werkelijk het geval is. Een combinatie van beide technieken geeft de mogelijkheid de ingangsfrequentie te vermenigvuldigen of te delen met een rationaal getal. De frequentie van de VCO wordt dan weergegeven in vergelijking 2-1. Om de frequentie op de uitgang te bepalen, moet men daarnaast extra rekening houden met de deler Ox. Deze kan de VCO frequentie nog eens delen door een geheel getal. Deze delers zorgen er voor dat alle zes de uitgangen een andere frequentie kunnen genereren. In totaal vormen de drie delers een divided-output synthesizer. De formule voor de uiteindelijke uitgangsfrequentie van deze synthesizer wordt gegeven in vergelijking 2-2.

$$f_{VCO} = \frac{M}{D} f_{IN} \quad 2-1$$

$$f_{out} = \frac{M}{D O_x} f_{IN} \quad 2-2$$

Nu men weet hoe de PLL in de xilinx spatran 6 is opgebouwd, moet men nog weten hoe deze aangestuurd/geprogrammeerd kan worden. Dit kan rechtstreeks in de VHDL-code, wat de code vrij lang en onoverzichtelijk maakt, of met de clocking wizard. Deze laatste is een tool in de xilinx omgeving. Met deze tool kan een aparte component worden aangemaakt zoals bijvoorbeeld een PLL. De PLL kan nu gebruikt worden in de VHDL-code als een soort black box met bepaalde ingangen en uitgangen. Deze poorten worden gedefinieerd in de declaratie van de component. Dit is geïllustreerd in onderstaande code.

```

component PLL1 is
port(
    CLK_IN1      :    in    std_logic;
    RESET        :    in    std_logic;
    CLKFB_IN     :    in    std_logic;
    CLK_OUT1     :    out   std_logic;
    CLK_OUT2     :    out   std_logic;
    CLK_OUT3     :    out   std_logic;
    CLK_OUT4     :    out   std_logic;
    CLK_OUT5     :    out   std_logic;
    LOCKED       :    out   std_logic;
    CLKFB_OUT    :    out   std_logic );
end component;

```

Na de declaratie van de component kan er een port map opgesteld worden. Dit geeft aan welke ingang of uitgang van de PLL met welk signaal van de VHDL-code verbonden dient te worden. Bijvoorbeeld op de ingang: CLK\_IN1 moet de ingangsklok van de PLL toekomen. Deze klem wordt verbonden met het signaal CLK\_IN\_100M. Dit laatste signaal kan dan naar buiten worden gebracht om een extern kristal van 100MHz op aan te sluiten. Tot slot kan men een klem ook open laten. Dat wil zeggen dat deze niet verbonden is met een signaal in de VHDL-code. Dit kan met het statement open. Dit is te zien op de voorlaatste lijn van onderstaande code. Hier wordt de uitgang LOCKED opengelaten. Deze uitgang zal aangeven wanneer de PLL in lock is. Omdat deze informatie niet nodig is voor een werkende code, wordt deze uitgang ook niet verder gebruikt.

```

PLL: PLL1
port map(
    CLK_IN1      => CLK_IN_100M,
    RESET        => RESET_int,
    CLKFB_IN     => CLKFB_int,
    CLK_OUT1     => UWBout1,
    CLK_OUT2     => UWBout2,
    CLK_OUT3     => switch_signal,
    CLK_OUT4     => CLK10M,
    CLK_OUT5     => CLK4M,
    LOCKED       => open,
    CLKFB_OUT    => CLKFB_int );

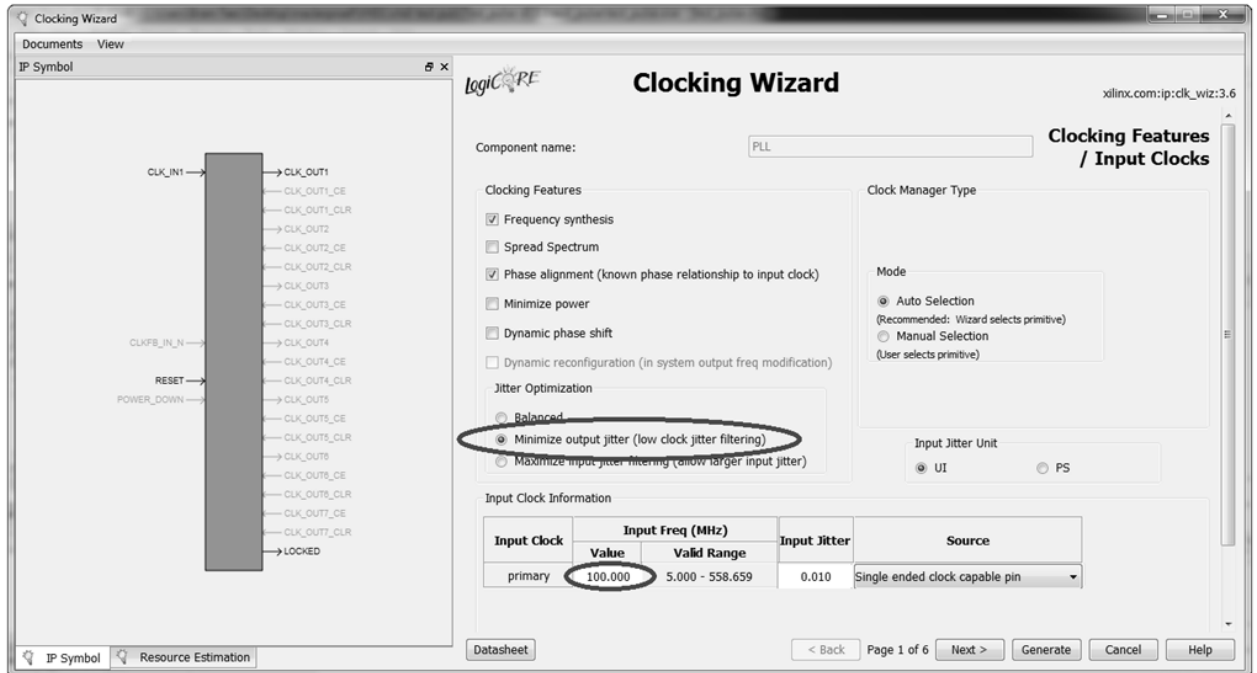
```

Bovenstaande bespreking geeft weer hoe een component, PLL, toegevoegd moet worden aan een VHDL-code. Tot hier toe was deze PLL voorgesteld als een black box. Hoe men dan de eigenschappen van deze PLL vastlegt, wordt hieronder besproken.

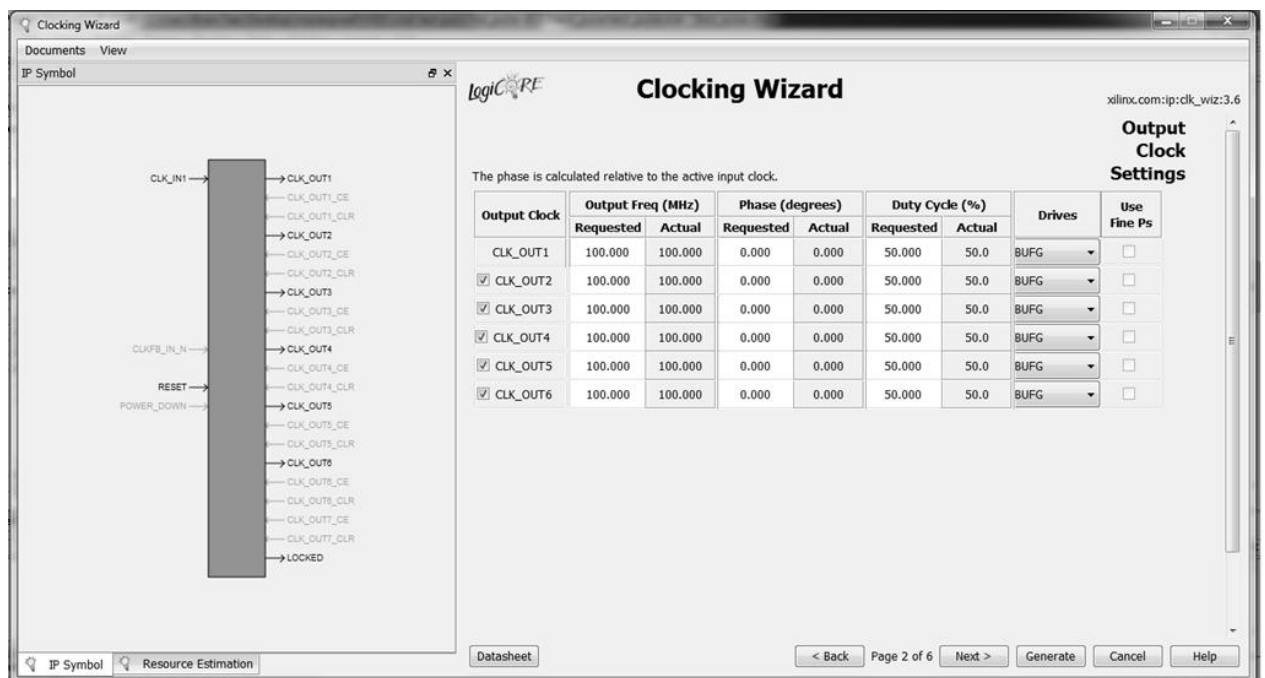
Zoals bovenaan in deze paragraaf vermeld werd, zal de PLL gegenereerd worden door gebruik te maken van de clocking wizard. In deze wizard kan men verschillende eigenschappen van de PLL instellen. In Figuur 2-4 vind men een schermafdruk van de clocking wizard. In dit scherm kan men de ingangsklok instellen. In ons geval is dit 100MHz. Zo weet de PLL welk signaal hij aan zijn ingang krijgt. Vervolgens kan men ook kiezen voor een minimale jitter op de uitgang. Bij generatie van de PLL zal nu rekening worden gehouden met het feit dat deze jitter zo klein mogelijk blijft. Beide in te stellen waarden zijn omcirkeld op de figuur.

In een tweede scherm kan men de uitgangen van de PLL instellen. Dit scherm is te zien in Figuur 2-5. Links kan men het aantal uitgangen kiezen, en dat door deze aan te vinken. De uitgangen die niet aangevinkt worden, hoeven evenmin weergegeven te worden in de port map. Vervolgens kunnen drie parameters ingesteld worden, namelijk de frequentie, de fase en de duty cycle. De eerste parameter stelt de frequentie in. Bij bijvoorbeeld een frequentie van 100MHz zal het gekozen signaal zich elke 10ns

herhalen. Deze periode zal de volgende parameters mede bepalen. Een tweede parameter is de fase. Hiermee kan men instellen hoeveel graden de stijgende flank van het signaal moet na-ijlen, en dit ten opzichte van de stijgende flank van de VCO. Men kan de fase eenvoudig bepalen met de regel van 3, wetende dat één periode, hier 10ns, gelijk is aan  $360^\circ$ . Een laatste parameter is de duty cycle. Hiermee kan men instellen hoeveel procent van de periode het signaal hoog moet zijn. Bijvoorbeeld: een signaal dat 6ns hoog moet zijn bij een periode van 10ns, zal een duty cycle hebben van 60%.



Figuur 2-4: Clocking wizard: ingang PLL

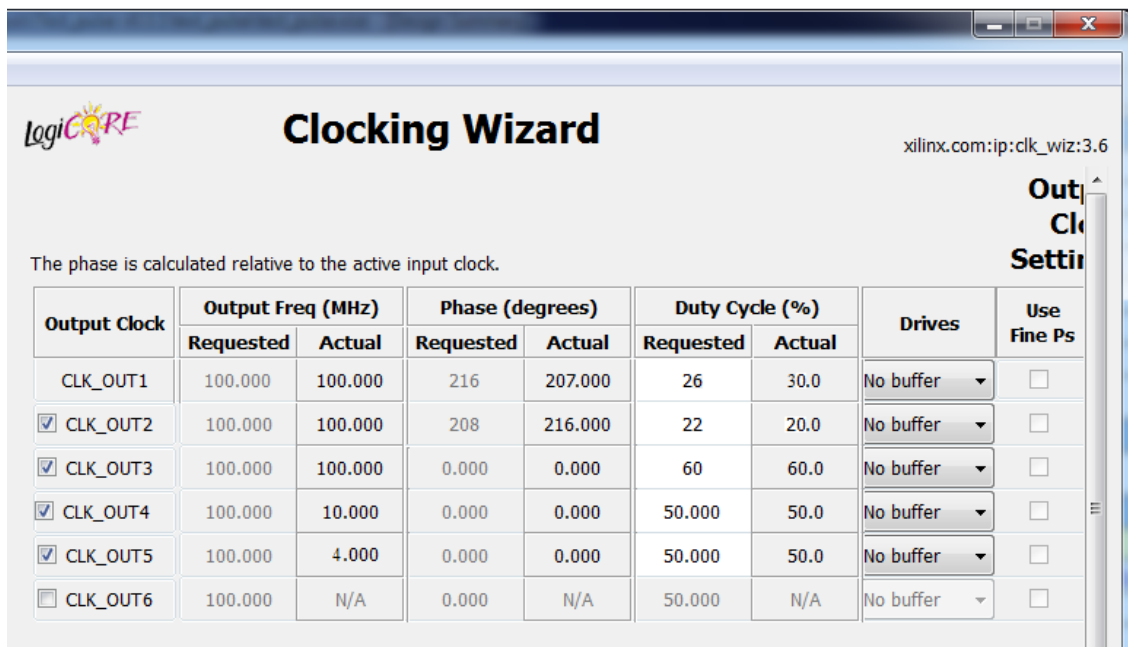


Figuur 2-5: Clocking wizard: uitgangen PLL

### 2.3.1.2 VHDL-code

Hierboven werd uitgelegd hoe men een PLL in de FPGA kan implementeren. Ook werd hier vermeld dat de PLL zes verschillende uitgangen kan genereren. Met deze PLL wordt nu getracht een bestaande code (cfr. 2.4), voor de generatie van een UWB-puls, te verbeteren. Men kan de uitgangen van de PLL nu gaan gebruiken om de signalen output1 en output2 uit Figuur 2-2 te genereren. Deze twee signalen zullen later de UWB-puls vormen. Door in het eerste scherm van de clocking wizard (cfr. Figuur 2-4) *minimize output jitter* aan te vinken, kan men de jitter op de uitgang minimaliseren. Omdat de signalen nu afkomstig zijn uit de PLL, is er geen afzonderlijke jitterfilter meer nodig. Op deze manier bekomt men een uitgangspuls met een RMS-jitter van 1ps.

Verder in deze masterproef (cfr. 3.3) zullen er verschillende technieken worden besproken voor het verwijderen van de ringing. In één van deze technieken wordt gebruik gemaakt van schakelaars. De schakelaar zal de UWB-puls doorlaten terwijl de ringing tegengehouden wordt. Het stuursignaal van deze schakelaars zal ook met de PLL worden gegenereerd. Vervolgens worden er ook twee kloksignalen gemaakt in de PLL. Deze kloksignalen zullen gebruikt worden voor seriële communicatie tussen de FPGA en enkele randcomponenten (cfr. 2.3.2). In totaal geeft dit een PLL met vijf uitgangssignalen. Voor de eenvoud worden bij het instellen van de PLL ook deze extra uitgangen aangehaald. Hoe deze uitgangen verder gebruikt worden, wordt besproken in de bijhorende paragraaf. In vorige paragraaf werd al uitgelegd hoe men de PLL-waarden kan instellen met de clocking wizard. Rekening houdend met de nodige uitgangen kan men nu de effectieve parameters van de PLL bepalen. Deze zijn te zien in Figuur 2-6. Bij deze figuur moet nog een opmerking worden gemaakt. Voor de waarden moet men naar deze onder Actual kijken. De parameters van de PLL kunnen namelijk niet elke waarde aannemen. Daarom zullen de ingestelde waarden afgerond worden. Deze afrondingen worden verder in deze paragraaf besproken. Onder deze figuur worden alle parameters van de 5 PLL-uitgangen verder toegelicht.



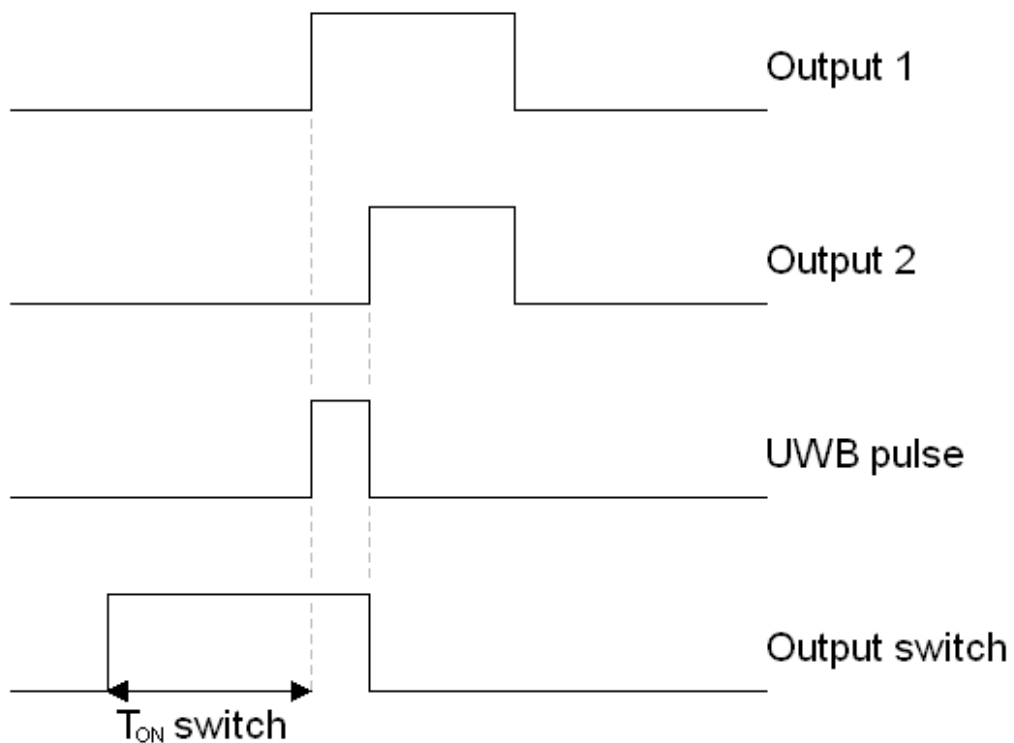
The phase is calculated relative to the active input clock.

Output Clock	Output Freq (MHz)		Phase (degrees)		Duty Cycle (%)		Drives	Use Fine Ps
	Requested	Actual	Requested	Actual	Requested	Actual		
<input type="checkbox"/> CLK_OUT1	100.000	100.000	216	207.000	26	30.0	No buffer	<input type="checkbox"/>
<input checked="" type="checkbox"/> CLK_OUT2	100.000	100.000	208	216.000	22	20.0	No buffer	<input type="checkbox"/>
<input checked="" type="checkbox"/> CLK_OUT3	100.000	100.000	0.000	0.000	60	60.0	No buffer	<input type="checkbox"/>
<input checked="" type="checkbox"/> CLK_OUT4	100.000	10.000	0.000	0.000	50.000	50.0	No buffer	<input type="checkbox"/>
<input checked="" type="checkbox"/> CLK_OUT5	100.000	4.000	0.000	0.000	50.000	50.0	No buffer	<input type="checkbox"/>
<input type="checkbox"/> CLK_OUT6	100.000	N/A	0.000	N/A	50.000	N/A	No buffer	<input type="checkbox"/>

Figuur 2-6: Waarden PLL in Clocking Wizard

De eerste twee uitgangen, *CLK\_OUT1* en *CLK\_OUT2*, zullen de UWB-puls vormen. Deze zijn dus respectievelijk Output1 en Output 2 van Figuur 2-2. In de eerste kolom in Figuur 2-6 kan men zien dat beide signalen een frequentie hebben van 100MHz. Bijgevolg zullen de UWB-pulsen tegen een frequentie van 100MHz herhaald worden. De nu volgende parameters kunnen moeilijk exact bepaald worden. Bij het routeren van de FPGA zullen niet alle signalen dezelfde weg volgen. De interne vertraging van alle signalen is dus niet gelijk. Hierdoor moeten deze waarden proefondervindelijk bepaald worden. Het ook is mogelijk de FPGA handmatig te routeren. Hierdoor kan de afgelegde weg van het signaal zelf bepaald worden, en kunnen dus ook de vertragingen zelf bepaald worden. In deze masterproef is ervoor gekozen deze handmatige routing niet toe te passen, maar de parameters van de FPGA proefondervindelijk in te stellen.

Dit wetende kan men naar de faseverschuiving van de signalen kijken. De vertraging van de signalen is gelijk aan de inschakeltijd van de schakelaar, zoals geïllustreerd in Figuur 2-7. Het spreekt voor zich dat de schakelaar, voor het verwijderen van de ringing, gesloten moet zijn vooraleer de UWB-puls gevormd wordt. Vervolgens moeten beide signalen, Output 1 en Output 2, ook een onderlinge vertraging bezitten. Deze laatste vertraging geeft de lengte van de UWB-puls aan. De laatste parameter is de duty cycle. Deze zal gekozen moeten worden in functie van de onderlinge faseverschuiving van beide signalen. Zoals op onderstaande figuur te zien is, zullen beide signalen gelijk laag moeten worden. Is dit niet het geval, bekomt men een tweede en ongewenste puls. Dit fenomeen wordt in paragraaf 2.3.1.3 verder besproken.



*Figuur 2-7: Vorming UWB-puls met PLL-uitgang voor schakelaar*

Vervolgens wordt uitgang 3 besproken. Dit signaal zal de schakelaars, voor het verwijderen van de ringing, (cfr. 3.3.2) aansturen. Men zal ervan uitgaan dat de schakelaar in rust open is. Bijgevolg zal deze, zoals hierboven al vermeld, moeten gesloten worden alvorens de UWB-puls gegenereerd wordt. Dit zal in het begin van de periode gebeuren, wat resulteert in een faseverschuiving van  $0^\circ$ . Vervolgens moet de duty cycle bepaald worden. De lijn moet lang genoeg hoog blijven zodat de schakelaar volledig gesloten is en de UWB-puls volledig gepasseerd is. Door de onvoorspelbare interne vertragingen van de FPGA zullen ook deze waarden proefondervindelijk bepaald moeten worden.

Ten slotte zal er gekeken worden naar de kloksignalen. Deze worden op uitgangen 4 en 5 gegenereerd en hebben een frequentie van respectievelijk 10MHz en 4MHz. Deze signalen zullen in de volgende paragraaf verder toegelicht en gebruikt worden. Het spreekt voor zich dat deze signalen een duty cycle hebben van 50%. De faseverschuiving heeft hier geen belang. Deze signalen zullen gebruikt worden in de initialisatiefase, waardoor hun vertraging ten opzichte van de andere signalen geen betekenis heeft. Voor de eenvoud zal de fasedraaiing op  $0^\circ$  worden gezet.

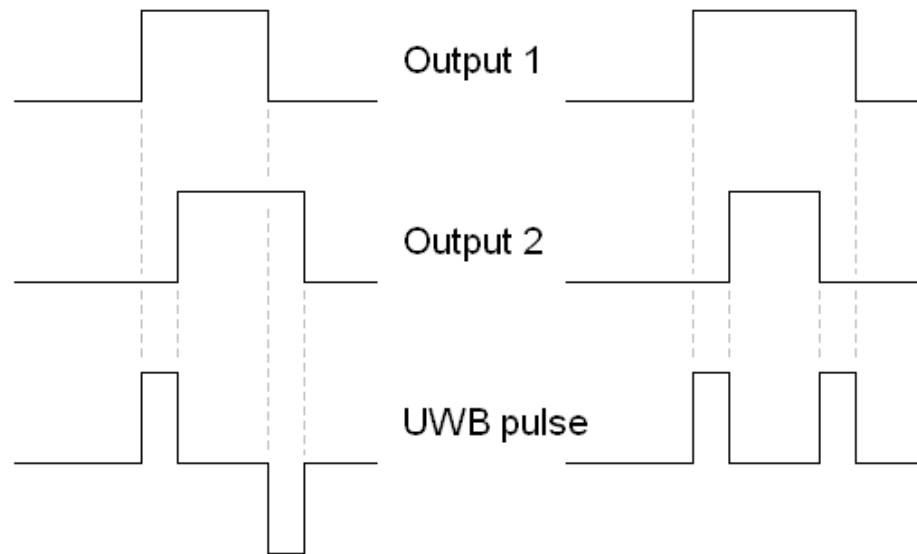
### 2.3.1.3 Beperkingen UWB-puls

In vorige paragraaf werden de parameters van de PLL besproken. Hierin werd vermeld dat de parameters niet elke waarden konden aannemen en daarom afgerond worden. Deze afronding zorgt voor een probleem, dat in deze paragraaf besproken wordt.

Omdat de PLL op een frequentie van 100MHz werkt, kunnen de parameters niet exact gekozen worden. Neem als voorbeeld de duty cycle. Deze kan volgende waarden aannemen: 0%, 20%, 30%, 40%, ..., 100%. Elke waarde ertussen wordt afgerond naar de dichtstbijzijnde waarde. Ook bij de fasedraaiing is dit effect te zien. Deze kan ingesteld worden tussen 0 en 360 graden, en dit in stappen van 5 graden. Alle waarden ertussen worden weer afgerond naar de dichtstbijzijnde waarde. Deze afrondingen zullen nu een groot effect hebben op de gevormde UWB-puls.

Wanneer de parameters van de PLL geen andere waarde kunnen aannemen, zoals hierboven vermeld, kan men ook de minimale pulslengte gaan bepalen. Eerst moet men er echter voor zorgen dat de twee dalende flanken perfect gelijk optreden. Als de flanken niet gelijk optreden, worden er twee pulsen in plaats van één puls gevormd. Dit is voorgesteld in Figuur 2-8. De tweede puls kan zowel positief als negatief zijn. Dit naargelang uitgang 2 eerder of later laag wordt dan uitgang 1. Hieruit blijkt dus duidelijk dat het goed aligneren van deze pulsen zeer belangrijk is.

In vorige paragraaf werd al vermeld dat bij het routeren van de FPGA er interne vertragingen optreden. Deze interne vertragingen zijn afhankelijk van de door het signaal gevolgde weg doorheen de FPGA. Deze routing gebeurt door de compiler. Een gevolg hiervan is dat de interne vertragingen niet te voorspellen zijn, en ook niet voor elk signaal gelijk zijn. Dit maakt het zeer moeilijk de dalende flanken samen te laten vallen. Een oplossing zou er in bestaan de FPGA manueel te routeren. Bij deze manuele routing kan men ervoor zorgen dat alle signalen éénzelfde weg afleggen. Hierdoor zullen alle interne vertragingen gelijk zijn. Deze manuele routing neemt veel tijd in beslag, voor deze masterproef is er dan ook voor gekozen dit niet te doen.



*Figuur 2-8: Vorming tweede puls wanneer negatieve flanken niet tegelijk optreden*

Hierboven werd aangehaald dat het zeer moeilijk is de twee dalende flanken samen te laten vallen. Stel dat men er toch in slaagt deze op het zelfde moment te laten optreden, zal er maar één puls gegenereerd worden. Rekening houdend met de beperkingen van de PLL-parameters kan men nu de minimale pulsbreedte bepalen. Eerder in deze paragraaf werd vermeld dat de duty cycle van de PLL-uitgang ingesteld kon worden op: 0%, 20%, 30%, ... . Zoals voorgesteld in Figuur 2-7 moet er voor de generatie van een UWB-puls een verschil in duty cycle tussen uitgang 1 en uitgang 2 zijn. De lengte van dit verschil zal dan de lengte van de UWB-puls zijn. Uit de beperkingen van de PLL-parameters kan men halen dat het minimale verschil in duty cycle 10% is. Wetende dat de frequentie 100MHz is (periode = 10ns), kan men de minimale pulsbreedte berekenen (cfr. vergelijking 2-3).

$$pulsbreedte_{min} = \frac{10ns * 10}{100} = 1ns \quad 2-3$$

Hieruit blijkt dat door de beperkingen van de PLL-parameters de minimale pulsbreedte 1ns is. Dit valt niet op te lossen met een faseverschuiving of manuele routing. In dat geval zouden de negatieve flanken niet meer samen vallen en ontstaan er twee pulsen, zoals hierboven al besproken.

Door deze beperking in pulsbreedte, wordt het deel van bovenstaande code dat instaat voor de vorming van de UWB-puls, verder niet gebruikt in deze masterproef. Hierboven werd al vermeld dat de PLL als doel had een bestaande code te verbeteren. Deze code zal een puls genereren met een lengte van ongeveer 700ps. Dit is beduidend korter dan de minimale pulsbreedte, 1ns, van bovenstaande methode. Het spreekt dan ook voor zich dat de bestaande code verder gebruikt zal worden voor de praktische testen in deze masterproef. De gevormde puls van deze code is voorgesteld in paragraaf 2.4. Het deel van de code, dat instaat voor de kloksignalen, zal in volgende paragraaf wel gebruikt worden voor de seriële communicatie van de FPGA met enkele randcomponenten.



### 2.3.2 Seriële communicatie

In bovenstaande paragraaf werd de UWB-puls, samen met enkele kloksignalen, gegenereerd. Deze laatste zullen verder gebruikt worden voor de seriële communicatie tussen de FPGA en de randcomponenten. De communicatie met deze componenten wordt hieronder toegelicht.

#### 2.3.2.1 Communicatie met digipot

In hoofdstuk 3 zal vermeld worden dat de digipot de controlespanning van de VCO zal aansturen. Zo kan men met behulp van de FPGA de oscillatiefrequentie van de VCO bepalen, en bijgevolg dus ook de centerfrequentie van het masker na upconversie. De werking van de digipot wordt uitgebreid besproken in paragraaf 3.1.2. Hier wordt enkel de seriële communicatie van de FPGA met de digipot besproken.

Voor het programmeren van de seriële communicatie moet men eerst enkele praktische zaken vermelden. De data worden volgens het SPI-protocol verstuurd. Hieronder worden de drie gebruikte lijnen vermeld en hun werking kort toegelicht. De volledige werking van deze lijnen kan men terug vinden in 3.1.2.

- CS = chip select : Laag tijdens communicatie
- CLK = klok : 4MHz
- SDI = Datalijn : Data wordt ingelezen op de stijgende flank van de CLK lijn
- SHDN = Massa : Altijd logisch '1'

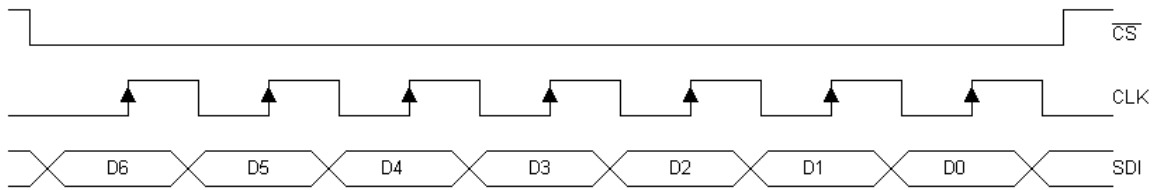
Door met bovenstaand protocol 7 bits door te sturen, kan men de uitgangspanning van de digipot instellen. De meest significante bit (MSB) zal eerst doorgestuurd moeten worden. De gebruikte code voor de seriële communicatie wordt hieronder gegeven. De volledige VHDL-code kan men vinden in de bijlage.

```

signal cntDIGI      : integer := 6;
constant VoutDIGI1 : std_logic_vector(6 downto 0) := "1111111";
constant VoutDIGI2 : std_logic_vector(6 downto 0) := "1111111";

INITIALISATION_DIGIPOTS: process(CLK4M,RESET_ext)
begin
    if(RESET_ext = '0') then
        DIGI1_SHDN <= '1';
        DIGI2_SHDN <= '1';
        DIGI1_CS <= '1';
        DIGI2_CS <= '1';
        cntDIGI <= 6;
        initDIGI <= false;
    else
        DIGI1_SHDN <= '1';
        DIGI2_SHDN <= '1';
        if(cntDIGI = -1) then
            DIGI1_CS <= '1';
            DIGI2_CS <= '1';
            initDIGI <= true;
        elsif(falling_edge(CLK4M)) then
            DIGI1_CS <= '0';
            DIGI2_CS <= '0';
            DIGI1_SDI <= VoutDIGI1(cntDIGI);
            DIGI2_SDI <= VoutDIGI2(cntDIGI);
            cntDIGI <= cntDIGI - 1;
        end if;
    end if;
end process;

```



Figuur 2-9 Seriële communicatie digipot [10]

Wanneer men deze code bekijkt, merkt men op dat er twee digipots ingesteld worden. Hiervoor moet men verder kijken naar hoofdstuk 3. Daar worden verschillende manieren besproken voor het verwijderen van de ringing op het uitgangssignaal. Voor al deze technieken te kunnen testen, werden er twee verschillende circuits ontworpen. Beide circuits zullen een aparte digipot en VCO hebben. Hierdoor wordt in bovenstaande code alles dubbel uitgevoerd.

Dit wetende, is de rest van de code vrij eenvoudig te analyseren. Wanneer het reset-sigitaal laag wordt, worden de SHDN- en CS lijnen hoog gemaakt. Deze laatste zorgt ervoor dat de digipot geen data binnenleest. In het andere geval zal er wel data uitgezonden worden. Op elke dalende flank van de 4MHz kloklijn zullen de nieuwe data op de SDI-lijnen worden gezet. Hiervoor zal men een nieuw element uit de array *VoutDIGI1* halen. Vervolgens wordt de counter *cntDIGI* met één verlaagd. Dit principe herhaalt zich tot dat de counter gelijk wordt aan -1. Dan zijn de zeven bits verstuurd en is de correcte uitgangsspanning van de digipot ingesteld. Het CS signaal wordt nu terug hoog gemaakt, zodat de digipot geen data meer binnenleest. Ten slotte wordt de variabele *initDIGI* op true gezet. Deze laatste geeft aan dat de digipots geïnitieerd, zodat men een UWB-puls mag uitsturen.

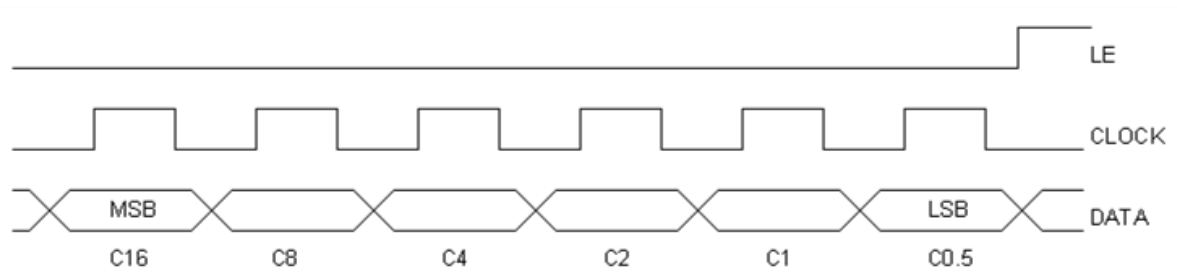
### 2.3.2.2 Communicatie met versterker DVGA1-242+

Zoals eerder vermeld, worden in hoofdstuk 3 verschillende technieken besproken voor het verwijderen het ringingsignaal op de uitgang. Eén van deze technieken maakt gebruik van een instelbare versterker (DVGA1-242+) (cfr. 3.1.4 en 3.3.3.1). Voor meer uitleg over de versterker of het verwijderen van de ringing wordt doorverwezen naar de bijhorende paragrafen. Hier wordt enkel de communicatie tussen de FPGA en de versterker behandeld.

De seriële communicatie vertoont veel gelijkenissen met deze uit voorgaande paragraaf. Toch zijn er ook enkele verschillen. Voor het instellen van de versterker zal men de data moeten verzenden tegen een snelheid van 10MHz i.p.v. 4MHz. Verder moet men slechts zes databits doorsturen. Een laatste verschil vindt men op het tijdstip van lezen. In vorige paragraaf werden de databits ingelezen op de stijgende flank van het kloksignaal. Hier wordt de data binnengelezen wanneer het kloksignaal hoog is. Hieronder worden de gebruikte lijnen vermeld en hun werking kort toegelicht. De volledige werking van deze lijnen kan men terug vinden in 3.1.4.

- LE = Latch Enable : Laag tijdens communicatie
- CLK = klok : 10MHz
- DATA = Datalijn : Data wordt ingelezen op wanneer CLK hoog is

Door met bovenstaand protocol 6 bits door te sturen, kan men de versterking van de DVGA1-242+ instellen. De gebruikte code voor de seriële communicatie wordt hieronder gegeven. De volledige VHDL-code kan men vinden in de bijlage.



Figuur 2-10: Seriële communicatie DVGA1-242+ [11]

```

signal cntDVGA      : integer := 5;
constant attenDVGA : std_logic_vector(5 downto 0) := "110010";

INITIALISATION_DVGA: process(CLK10M, RESET_ext)
begin
    if(RESET_ext = '0') then
        initDVGA <= false;
        DVGA_LE <= '1';
        cntDVGA <= 5;
    else
        if(cntDVGA = -1) then
            DVGA_LE <= '1';
            initDVGA <= true;
        elsif(falling_edge(CLK10M)) then
            DVGA_LE <= '0';
            DVGA_DATA <= attenDVGA(cntDVGA);
            cntDVGA <= cntDVGA - 1;
        end if;
    end if;
end process;

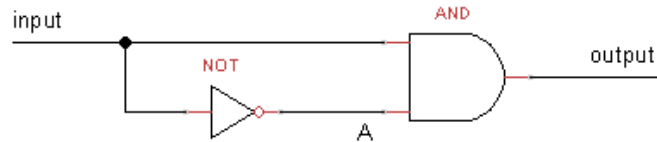
```

Zoals hierboven al vermeld zal de code voor het aansturen van de versterker zeer sterk lijken op deze voor het aansturen van de digipots. Dit kan men ook zien in bovenstaande lijnen code. De bespreking van de code is dan ook volledig analoog aan deze in voorgaande paragraaf, en wordt hier daarom niet expliciet besproken.

## 2.4 UWB-puls voor metingen

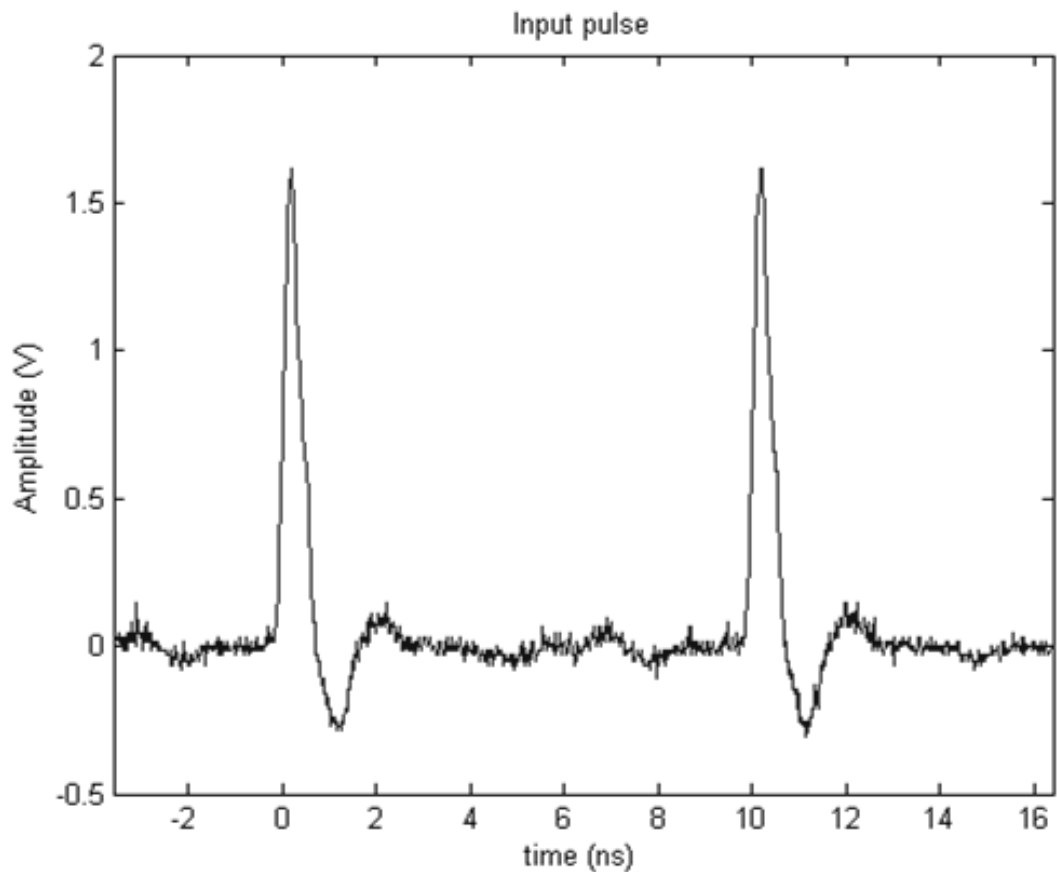
In 2.3.1 werd getracht een reeds bestaande code, voor het genereren van een UWB-puls, te verbeteren. Verder in die paragraaf werd besproken waarom een al bestaande code, en niet de zelf geschreven code, praktisch gebruikt zal worden. In volgend hoofdstuk zal deze UWB-puls gebruikt worden voor praktische testen. Hier zullen namelijk verschillende technieken, voor het verwijderen of verminderen van de hoeveelheid ringing op het uitgangssignaal, besproken worden.

Om de betere puls te bekomen, werd het deel code voor de generatie van de UWB-puls vervangen. In de plaats kwam de eerder gemaakte code, die werkt met een DCM in plaats van een PLL. Met deze DCM worden twee pulsen gemaakt. De DCM zal de pulsen elk doorheen de schakeling in Figuur 2-11 sturen. Het principe van deze schakeling werd al toegelicht in 1.3.1. Voor meer informatie over deze techniek wordt naar deze paragraaf doorverwezen.

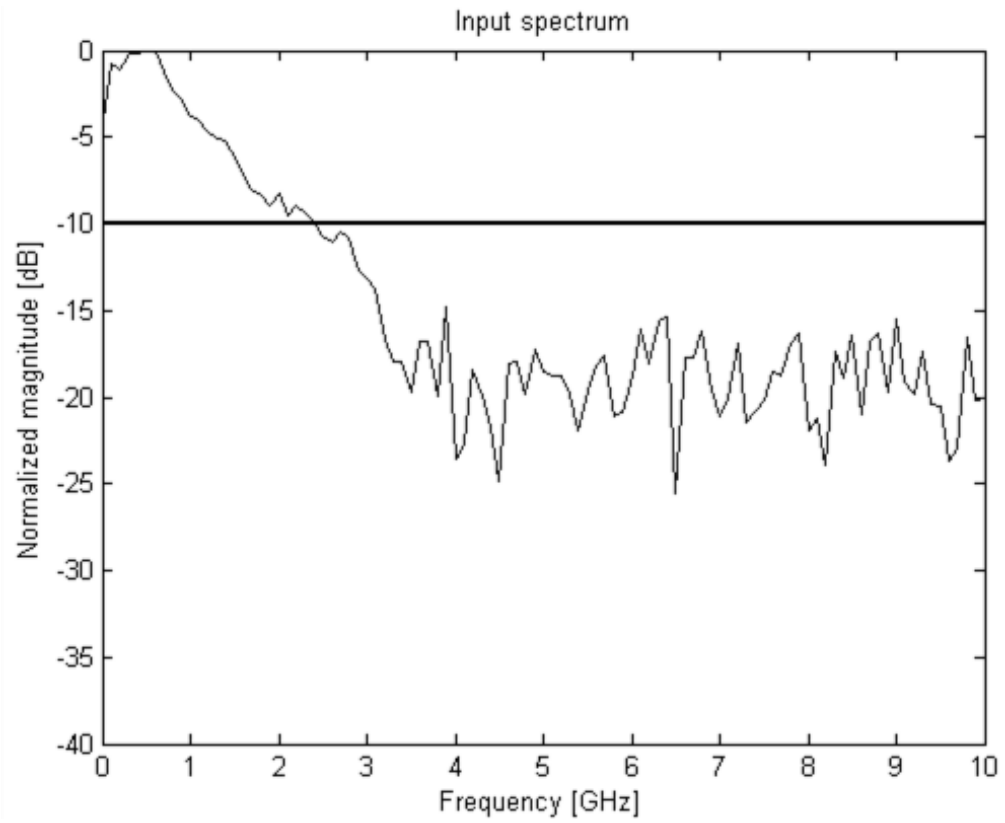


*Figuur 2-11: Vormen puls met NOT- en AND poort*

Alvorens de gegenereerde pulsen uitgestuurd worden, zullen ze gebufferd worden door een PLL. Deze PLL fungeert nu als jitterfilter. Deze gebufferde pulsen zullen uitgestuurd worden, waarna ze een UWB-puls vormen zoals voorgesteld in Figuur 1-8. De gevormde UWB-puls kan men zien in Figuur 2-12. Deze puls zal verder in deze masterproef ook gebruikt worden voor de metingen. Ten slotte kan men in Figuur 2-13 het spectrum van deze puls zien.



*Figuur 2-12: Gebruikte UWB-puls voor metingen*

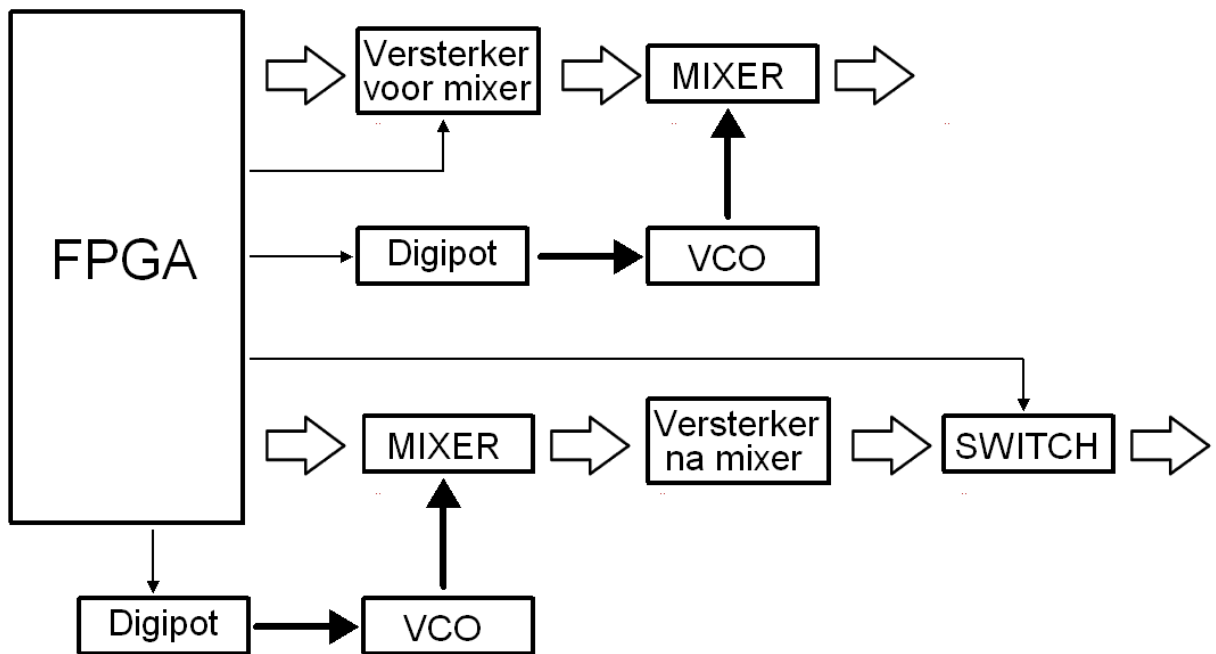


*Figuur 2-13: Spectrum gebruikte UWB-puls voor metingen*

### 3 TESTPRINTEN UWB-ZENDER MET FPGA

Het idee van een UWB-zender met FPGA was reeds uitgewerkt en de werking reeds getest, maar er waren nog enkele problemen. Het grootste probleem was de ringing op de uitgang. Verder voldeed het UWB-signaal nog niet volledig aan de wetgevingen. Anders gesteld, de bekomen frequentie-inhouden pasten nog niet volledig in het opgegeven masker van Figuur 1-2.

In deze paragraaf zal het ontwerp van de UWB-zender besproken worden. Eerst worden de belangrijkste componenten besproken. Deze zijn ook te zien in Figuur 3-1. In deze figuur stellen de blokpijlen de gevolgde weg van de UWB-puls voor. De vette pijlen geven de gevolgde weg van andere signalen weer, terwijl dunnere pijlen aangeven welke componenten de FPGA zal instellen. Deze instelling gebeurt met behulp van seriële communicatie (cfr. 2.3.2) of met signalen gegenereerd door de PLL (cfr. 2.3.1). Vervolgens worden alle problemen aangehaald en besproken hoe deze opgelost zullen worden.



Figuur 3-1: Blokschema componenten aangestuurd door FPGA

#### 3.1 Componenten

Deze paragraaf bespreekt kort de werking van de belangrijkste componenten. Deze componenten worden gebruikt in de testprintplaten of zijn aanwezig op de basisprintplaat. Het is enkel de bedoeling de werking van de componenten te verduidelijken. Hoe en waarom deze gebruikt worden, wordt hier niet besproken. Daarvoor wordt er doorverwezen naar de gepaste paragraaf. Voor meer informatie, of bepaalde parameters van de component zelf, wordt doorverwezen naar de datasheet.

### 3.1.1 VCO

VCO staat voor Voltage Controlled Oscillator. Deze component zal, zoals andere oscillators, oscilleren aan een bepaalde frequentie. Een VCO heeft echter nog een extra ingang. Door een hogere of lagere DC-spanning op deze ingang aan te leggen, kan de oscillatiefrequentie bepaald worden. Dit wordt de controle-ingang genoemd. Een oscillator bezit meestal enkele spoelen en condensatoren. Een eenvoudige manier om een VCO te maken is dan ook met behulp van een varicap. Door de spanning op de varicap te wijzigen, zal de condensatorwaarde ook wijzigen. Hierdoor zal eveneens de oscillatiefrequentie van de oscillator wijzigen.

In deze masterproef zal de ROS-4781+ van Mini-Circuits gebruikt worden. De oscillatiefrequentie kan geregeld worden tussen 4540MHz en 4781MHz. Dit zal de centerfrequentie worden van de UWB-puls. Om de oscillatiefrequentie te bepalen, kan aan de controle-ingang een spanning tussen 0V en 12V aangelegd worden. Hoe hoger de spanning op de controle-ingang, des te hoger de oscillatiefrequentie. Bij een spanning van 12V zal de VCO dus tegen 4781MHz oscilleren. Voor meer specificaties van de VCO wordt doorverwezen naar de datasheet [12].

Bij het ontwerpen van de testprinten (cfr. 3.3.2.3) was bovenstaande VCO één van de best beschikbare componenten. Tijdens het schrijven van deze masterproef zijn er al betere modellen op de markt. Een voorbeeld hiervan is de ROS-6840C-119+ van Mini-Circuits [13]. Deze component verwacht een controlespanning tussen de 0V en 5V. Hierdoor moet er geen extra 12V voeding meer voorzien worden, wat bij vorige VCO wel het geval is. Verder kan deze VCO oscilleren tussen 6,74GHz en 6,84GHz. Dit is beduidend hoger dan de VCO die nu gebruikt werd. Een hogere oscillatiefrequentie zorgt dat het uitgangsspectrum naar hogere frequenties wordt gebracht. Hierdoor zal de uiteindelijke puls beter in het wettelijke masker passen. Voor meer informatie over deze component wordt doorverwezen naar de datasheet.

### 3.1.2 Digipot

Hierboven werd de VCO besproken. Hierin werd vermeld dat de oscillatiefrequentie bepaald kan worden met een controlespanning. In deze masterproef zal deze controlespanning gevormd worden met een digipot.

Een digipot is, zoals de naam doet vermoeden, een digitale potentiometer. Op de ingang sluit men de voedingsspanning aan. Met behulp van controlesignalen, of seriële communicatie, kan men dan de uitgangsspanning bepalen. Dit gebeurt met behulp van het principe van een spanningsdeler. Men kan nu digitaal de verhouding van de twee weerstanden aanpassen. Op deze manier bekomt men een digitaal regelbare uitgangsspanning.

In deze masterproef wordt er gebruik gemaakt van de AD7376 van analog devices. In onderstaande bespreking zullen de belangrijkste eigenschappen en signalen van deze component verduidelijkt worden. Voor meer informatie wordt doorverwezen naar de datasheet [10].

In Figuur 3-2 vind men het principeschema van deze digipot, waarop de weerstandsdeler duidelijk te zien is. Op klem A wordt de voedingsspanning aangesloten en op klem B de massa. De spanning op W is nu de regelbare uitgangsspanning. De andere blokken in deze schakeling zullen deze weerstandsdeler aansturen.





### 3.1.3 Mixer

Een mixer heeft als doel een signaal van de ene naar de andere frequentie om te zetten. Dit kan door te vermenigvuldigen met een ander signaal. Dit principe is voorgesteld in Figuur 3-4, en kan ook wiskundig aangetoond worden. In onderstaande formules is  $V_i$  hetingangssignaal en  $V_{VCO}$  het signaal afkomstig van de VCO.

$$V_i = A_1 \sin(\omega_i t) \quad 3-1$$

$$V_{VCO} = A_2 \sin(\omega_c t) \quad 3-2$$

De mixer zal deze twee signalen vermenigvuldigen. Om goniometrische functies te vermenigvuldigen, kunnen de formules van Simpson gebruikt worden. De formule om twee sinussen is voorgesteld in formule 3-3.

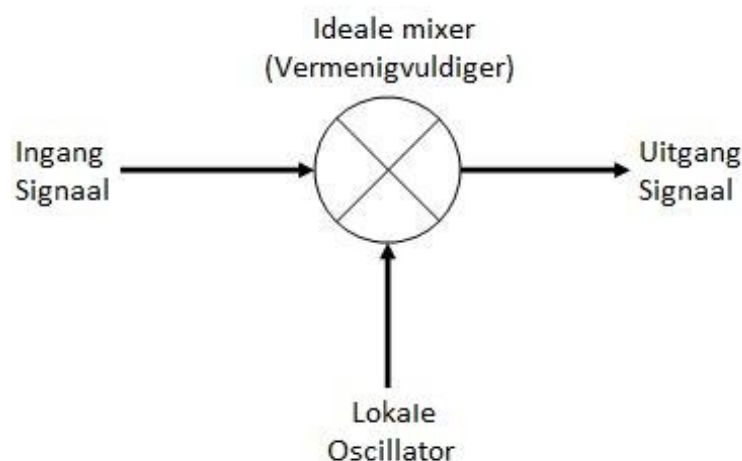
$$A_1 \sin(\omega_1 t) \cdot A_2 \sin(\omega_2 t) = \frac{A_1 \cdot A_2}{2} [\cos((\omega_1 - \omega_2)t) - \cos((\omega_1 + \omega_2)t)] \quad 3-3$$

Om het uitgangssignaal van de mixer te bekomen, wordt deze formule toegepast op de signalen (3-1) en (3-2). Het bekomen resultaat is te zien in (3-4). Hierin kan men zien dat niet enkel de somfrequentie  $(\omega_i + \omega_c)$ , maar ook de verschilfrequentie  $(\omega_i - \omega_c)$  wordt berekend.

$$V_{out} = \frac{A_1 \cdot A_2}{2} [\cos((\omega_i - \omega_c)t) - \cos((\omega_i + \omega_c)t)] \quad 3-4$$

Bovenstaande uitleg kan ook toegespitst worden op deze masterproef. Op de ingang wordt dan het UWB-signaal, afkomstig van de mixer, aangesloten. Aan de andere ingang wordt de VCO aangesloten. Zoals gezien in (3-4) zal op de uitgang een UWB-signaal komen met als centerfrequentie de oscillatiefrequentie van de VCO. Dit is de somfrequentie  $(\omega_i + \omega_c)$  van de mixer. Dit is het nuttige signaal dat verder gebruikt zal worden.

Volgens formule 3-4 zal niet enkel deze somfrequentie, maar ook de verschilfrequentie  $(\omega_i - \omega_c)$  berekend worden. Deze verschilfrequentie is niet gewenst, maar omdat  $\omega_c \gg \omega_i$ , zal dit resultaat negatief zijn en geen invloed hebben.



Figuur 3-4: Principe frequentie mixer

Het gebruik van een mixer heeft echter ook een nadeel. Zoals vermeld in paragraaf 1.4.1, zal de mixer voor ringing zorgen. Deze ringing is niet rechtstreeks afkomstig van de mixer, maar wel van de VCO. Wanneer een puls uit de FPGA gestuurd wordt, zal de mixer werken zoals hierboven uitgelegd. Het ringingprobleem treedt enkel op wanneer de FPGA geen puls uitzendt. In theorie zou er dan geen signaal uit de mixer mogen komen. In formule 3-4 is de amplitude  $A_1$  dan namelijk nul. In de praktijk is dit echter niet het geval. De mixer zal nog een deel van het signaal, afkomstig van de VCO, doorlaten. Dit noemt men de lek van de mixer. Dat zorgt ook voor de ringing op de uitgang.

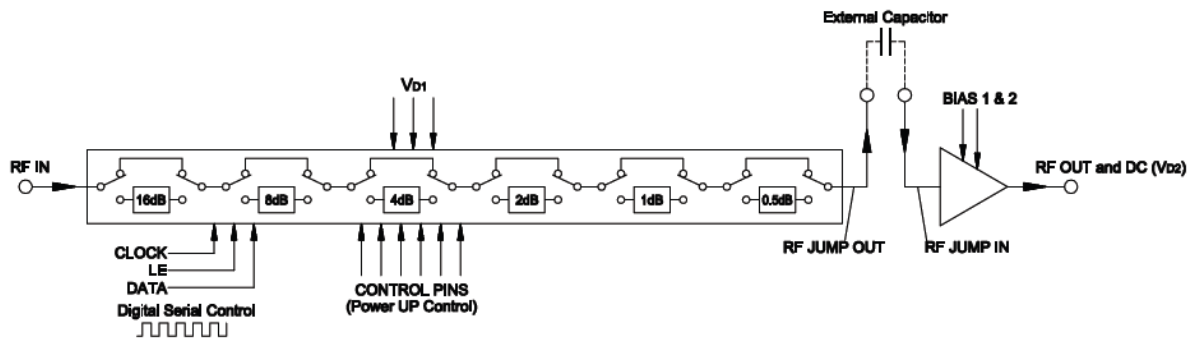
Uit voorgaande blijkt dat de lek van de mixer liefst zo klein mogelijk is. Om de hoeveelheid lek aan te duiden, gebruikt men het level van de mixer. Hoe lager dit level des te groter de lek van de mixer. Het level van de mixer duidt teigenlijk het benodigde vermogen aan om de diodes in de mixer in doorlaat te krijgen. Hoe lager het level, hoe kleiner is dit vermogen is, en hoe groter de lek. Een lager level heeft nog een bijkomend nadeel. Wanneer de spanning op de ingang groter wordt, zou het uitgangssignaal lineair moeten volgen. Dit is waar tot op een zekere hoogte. Vanaf een bepaald punt zal de uitgangsspanning minder dan lineair stijgen met de ingangsspanning. Als het ingangssignaal nog groter wordt, zal de uitgangsspanning uiteindelijk gewoon gelijk blijven. Dit is dus een saturatie-effect. Het punt waarop dit effect begint, wordt het 1-dB compressiepunt genoemd. Hoe lager het level van de mixer, des te lager dit punt ligt. Hieruit zou men kunnen besluiten dat het level liefst zo groot mogelijk is. Dit is echter niet waar. Voor een goede mixing te bekomen, zonder al te veel vervormingen, zullen de diodes van de mixer volledig aan moeten zijn. Bij een hoger level zal dit dan ook meer vermogen vragen. Hieruit blijkt dus dat er een trade-off gemaakt moet worden tussen de lek en een goede mixing. Verder in deze masterproef worden er enkele technieken toegepast voor het verwijderen van de ringing. Hierdoor kan het level van de mixer minimaal worden genomen, zodat er een optimale mixing wordt bekomen. De enige beperkende factor is dan nog het 1dB compressiepunt. In paragraaf 1.1.1 werd al vermeld dat de gemiddelde spectrale vermogensdichtheid van een UWB-sigitaal zeer laag is. Maar op het moment van de puls is er toch een grote piekwaarde. Hierdoor kan er als nog een vervorming in de puls optreden.

De mixer die in deze masterproef gebruikt zal worden is de SIM-73L+ van Mini-Circuits. Deze mixer heeft een level van 4. Verder mag het uitgangssignaal van deze mixer maximum 7GHz zijn. Voor meer specificaties over deze mixer wordt doorverwezen naar de datasheet [14].

### **3.1.4 Versterker: DVGA1-242+**

De DVGA1-242+ van Mini-Circuits is een breedbandige versterker. Deze versterker kan signalen van 0,45GHz tot 2,4GHz versterken. Verder is de DVGA1-242+ intern gematched op een transmissielijn van 50Ω. In wat volgt worden de belangrijkste elementen van deze versterker toegelicht. Voor meer informatie wordt doorverwezen naar de datasheet [11].

Een groot voordeel van deze component is de instelbare versterking. De maximale versterking bedraagt 30dB. Met behulp van een seriële ingang of controlepinnen kan deze versterking nog maximum 31,5dB verminderd worden. En dit in stappen van 0,5dB. Het principe hiervoor is te zien in Figuur 3-5.



Figuur 3-5: Vereenvoudigd schema DVGA1-242+ [11]

In deze figuur ziet men dat er zes controlepinnen zijn. Dit betekent  $2^6$ , of dus 64, mogelijke combinaties. De combinatie waarbij alle controlesignalen nul zijn, zal als referentie genomen worden. Deze referentie is de initiële versterking van 30dB. Er blijven nu nog 63 mogelijke combinaties over. Wetende dat de verzwakking in stappen van 0,5dB gebeurt, bekomt men een bereik van 31,5dB. De versterking kan dus in stappen van 0,5dB geregeld worden tussen de grenzen van 30dB en -1,5dB.

Zoals hierboven vermeld kan de verzwakking op twee manieren worden ingesteld. Een eerste mogelijkheid zijn de zes controlepinnen. De component zal deze pinnen enkel inlezen wanneer de spanning op de component opgezet wordt. De waarde van deze pinnen bepaalt dan de initiële versterking. Zolang de component onder spanning blijft staan, zal er niet meer naar deze pinnen gekeken worden. Met deze pinnen kan de versterking dus enkel ingesteld worden bij het opstarten. Deze pinnen zullen dan ook enkel gebruikt worden om een initiële versterking in te stellen. Hoe deze pinnen nu de versterking controleren, is voorgesteld in Figuur 3-6. Hierin zijn C16, C8, C4, C2, C1 en C0.5 de controlepinnen. Deze nummering zal in de seriële communicatie ook gebruikt worden. Wanneer alle controlepinnen een nul geven, zal er geen verzwakking optreden. Men zit dan in de referentietoestand. Deze referentietoestand is de 30dB versterking. Wanneer niet al deze pinnen nul zijn, bekomt men een bepaalde verzwakking. Deze verzwakking is te berekenen met formule 3-5. Hierin is C16 tot C0.5 een 1 of 0 afhankelijk van de logische toestand van de overeenkomstige controlepin.

$$\text{Verzwakking (dB)} = 16 \cdot C16 + 8 \cdot C8 + 4 \cdot C4 + 2 \cdot C2 + 1 \cdot C1 + 0.5 \cdot C0.5 \quad 3-5$$

Table 2. Truth Table

Attenuation State	C16	C8	C4	C2	C1	C0.5
Reference	0	0	0	0	0	0
0.5 (dB)	0	0	0	0	0	1
1 (dB)	0	0	0	0	1	0
2 (dB)	0	0	0	1	0	0
4 (dB)	0	0	1	0	0	0
8 (dB)	0	1	0	0	0	0
16 (dB)	1	0	0	0	0	0
31.5 (dB)	1	1	1	1	1	1

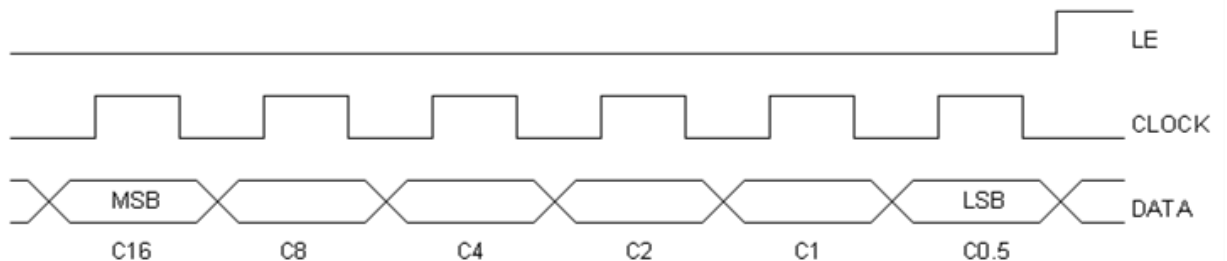
Note: Not all 64 possible combinations of C0.5 - C16 are shown in table

Figuur 3-6: Waarheidstabel verzwakking DVGA1-242+ [11]

Een tweede manier om de versterking van deze component te bepalen is met een seriële ingang. Met deze ingang kan de versterking continu gewijzigd worden. Men moet nu niet meer de spanning af- en aanschakelen, zoals bij de controlepinnen. Met de controlepinnen kon eenvoudig een initiële versterking ingesteld worden. Wanneer deze versterking gewijzigd zou moeten worden, kan dit met deze seriële ingang gedaan worden. De pinnen voor de seriële communicatie zijn terug te vinden in Figuur 3-5. Hierin ziet men dat de communicatie drie pinnen gebruikt. Deze pinnen zijn:

- CLOCK: 10MHz klok.
- LE = Latch enable: Is laag wanneer er data doorgezonden worden.
- DATA: Worden de data over verzonden.

De wijze waarop de data verzonden worden, is te zien in Figuur 3-7. Wanneer er nieuwe data gestuurd worden, zal de LE lijn laag worden getrokken. Vervolgens worden de nieuwe waarden van de controlesignalen op de datalijn gezet, beginnend van C16 tot en met C0.5. De waarden worden binnengelezen telkens wanneer de klok hoog is. Nadat alle zes bits verzonden zijn, zal de LE lijn terug hoog worden. Op deze wijze kan de versterking dus eenvoudig gewijzigd worden, zelfs wanneer de schakeling aanstaat. Hoe deze signalen gegenereerd worden, werd al besproken in paragraaf 2.3.2.



*Figuur 3-7: Seriële communicatie DVGA1-242+ [11]*

Wanneer men terug naar Figuur 3-5 kijkt, ziet men dat de versterker opgebouwd is uit twee delen. In het eerste gedeelte wordt, zoals hierboven uitgelegd, een bepaalde verzwakking aangelegd. Nadat het ingangssignaal voldoende verzwakt is, zal het doorgesloten worden naar de eigenlijke versterker. Op de ingang van de versterker mag geen DC aangesloten worden. Deze zal daarom weggefilterd worden met behulp van een koppelcondensator. Deze condensator zal extern aangelegd moeten worden. Vervolgens zal het signaal 30dB versterkt worden. Naargelang de ingestelde verzwakking zal het uitgangssignaal 30dB of minder versterkt zijn ten opzichte van het ingangssignaal.

In de figuur is tevens te zien dat deze versterker twee voedingsspanningen nodig heeft. Een 3V spanning ( $V_{D1}$ ) voor het eerste deel, en een 5V spanning ( $V_{D2}$ ) voor de eigenlijke versterker. Deze  $V_{D2}$  zal aangelegd moeten worden op de uitgangspin van de versterker. Om hoogfrequente stoorsignalen op de voeding te vermijden, zal deze ontkoppeld moeten worden. Verder zal ook de DC-component van het RF-uitgangssignaal moeten gehaald worden. Dit gebeurt met behulp van filters. Het ontwerp van deze filters wordt niet in deze paragraaf besproken. Dit wordt samen met de aansluiting en berekening van de overige componenten in paragraaf 3.3.3.1 besproken.

### 3.1.5 Versterker: GALI-1+

De GALI-1+ van Mini-Circuits is een breedbandige versterker, en kan signalen tot 8GHz versterken. Verder is de versterker intern gematched op een transmissielijn van  $50\Omega$ , welke in deze masterproef gebruikt zal worden. Hieronder wordt de werking van deze versterker besproken. Voor meer informatie wordt doorverwezen naar de datasheet [15].

Het maximum vermogen op de uitgang is typisch 12,2dBm. De eenheid dBm is de vermogensverhouding in decibel (dB) van het gemeten vermogen gerelateerd aan 1mW. De hoeveelheid dBm kan eenvoudig berekend worden met formule 3-6. Deze formule kan omgevormd worden tot formule 3-7. Hiermee kan het vermogen berekend worden.

$$x = 10 \log(1000 \cdot P) \quad 3-6$$

Hierin is: - x: de hoeveelheid dBm  
- P: het vermogen in Watt

$$P = \frac{10^{\frac{x}{10}}}{1000} = \frac{10^{\frac{12.2}{10}}}{1000} = 16.6mW \quad 3-7$$

Uit vergelijking 3-7 kan dus afgeleid worden dat 12.2dBm gelijk is aan 16.6mW. Het uitgangssignaal zal dus 16.6mW versterkt worden ten opzichte van hetingangssignaal. Hoe de versterking van 16,6mW verkregen wordt, is te zien in het elektrisch schema. Dit schema is voorgesteld in Figuur 3-8. De versterking zal verkregen worden met behulp van twee bipolaire transistoren. Op het eerste zicht zijn beide transistoren als een darlingtonpaar geschakeld. Een nuttige eigenschap van een darlingtonschakeling is de grotere versterking. De stroomversterking van het darlingtonpaar is namelijk het product van de stroomversterking van de afzonderlijke transistoren (formule 3-8). Dit is ook de voornaamste reden waarom een darlingtonpaar veelvuldig gebruikt wordt.

$$\beta = \beta_1 \cdot \beta_2 \quad 3-8$$

De twee transistoren kunnen ook afzonderlijk bekeken worden. Eerst zal T1 bekeken worden, vervolgens T2. T1 staat in gemeenschappelijke collectorschakeling. Deze schakelwijze wordt ook de emittervolger genoemd. De emitter van T1 zal dus de spanning op de basis volgen. Deze transistor is dus met andere woorden als spanningsbuffer geschakeld. Het doel van deze transistor is een goede matching te voorzien met de  $50\Omega$  transmissielijn aan de ingang. Wanneer de ingangsweerstand van deze transistor ook  $50\Omega$  is, zullen er geen reflecties optreden. In de datasheet staat vermeld dat de component inderdaad intern gematched is op  $50\Omega$ . De laatste drie componenten die bij de eerste transistor horen zijn R1, R2 en R3. De weerstanden R1 en R2 zullen voor de instelling zorgen, terwijl R3 de collectorstroom zal begrenzen. Deze weerstanden zullen ook een invloed hebben op de ingangsimpedantie. De waarde hiervan kan met onderstaande formules berekend worden. Eerst zal de ingangsweerstand op de basis berekend worden ( $R'_{IN}$ ). De totale ingangsweerstand staat vervolgens nog eens parallel met de weerstand R1//R2. In onderstaande formules is  $r_\pi$  de weerstand tussen basis en emitter.

$$R'_{IN} = \frac{V_B}{I_B} = \frac{V_{BE} + I_E R_E}{I_B} = \frac{I_B r_\pi + \beta I_B R_E}{I_B} = r_\pi + \beta R_E \quad 3-9$$

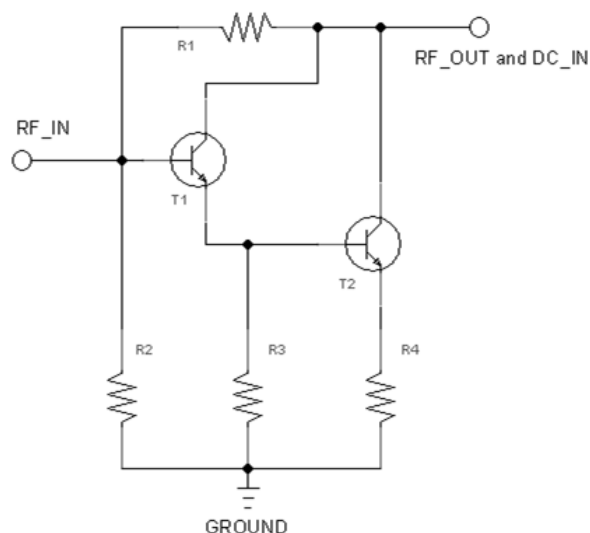
$$R_{IN} = R1//R2 //R'_{IN} \quad 3-10$$

Met behulp van bovenstaande formules kan  $R_{IN}$  nu  $50\Omega$  gemaakt worden. In deze formules is nog geen rekening gehouden met de ingangsweerstand van T2. Deze staat parallel over R3, maar zal meestal verwaarloosbaar groot zijn ten opzichte van R3. Daarom wordt er hier geen rekening mee gehouden. In de praktijk kan men deze weerstandswaarde ook opnemen in de formule.

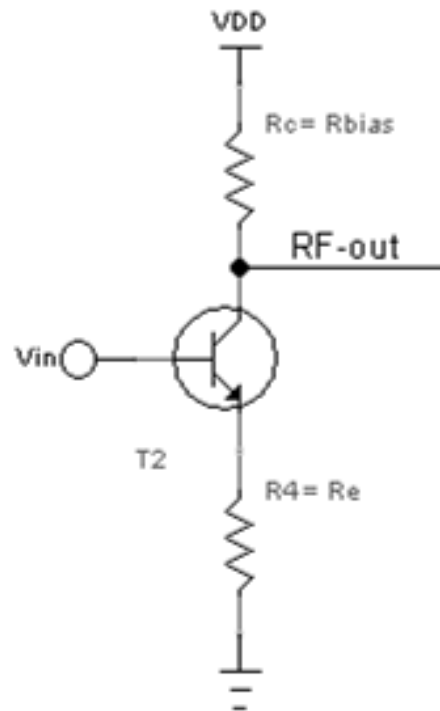
Een tweede transistor is T2. Deze transistor is als collectorvolger geschakeld en staat dus in een gemeenschappelijke emitterschakeling. Verder zal T2 ook voor de spanningsversterking zorgen. In het schema is R4 is de emitterweerstand. Men wil natuurlijk liefst zo veel mogelijk versterking. Men kan bewijzen dat een kleine  $R_E$  een grote versterking geeft. De weerstand  $R_E$  komt echter ook voor in de formule voor de ingangsweerstand. Door T1 als buffer te schakelen, en voor de ingang van T2 te zetten, kan men  $R_E$  nu vrij kiezen. Deze weerstand wordt nu bepaald voor een bepaalde versterking. En aan de ingang kan de ingangsweerstand eenvoudiger worden gematched met de transmissielijnen.

Op het eerste zicht is het misschien niet duidelijk dat T2 in een gemeenschappelijke emitterschakeling staat. Daarom wordt T2 even apart bekeken. Dit kan men zien in Figuur 3-9. Hier is echter één weerstand toegevoegd,  $R_c$ . Deze weerstand, ook  $R_{bias}$  genoemd, zorgt voor een stroombeperking. Deze zal ervoor zorgen dat er een stroom van ongeveer 40mA doorheen de kring loopt. De oorsprong van deze weerstand kan men zien in het aanbevolen aansluitschema van Figuur 3-10. Hoe deze weerstand gekozen wordt, wordt besproken in paragraaf 3.3.3.2. Wanneer men nu terug naar Figuur 3-9 kijkt, merkt men op dat dit wel degelijk een gemeenschappelijke emitterschakeling is. De biasweerstand zal nu fungeren als collectorweerstand. De versterking kan dan benaderd worden tot:

$$Av = -\frac{R_c}{R_e} = -\frac{R_{bias}}{R_4} \quad 3-11$$

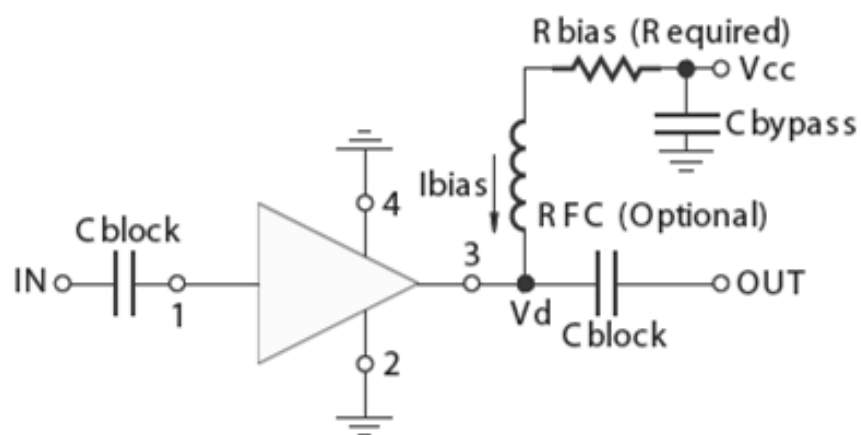


Figuur 3-8: Elektrisch schema GALI-1+



Figuur 3-9: T2 in gemeenschappelijk emitter schakeling

Op bovenstaande figuur merkt men dat de RF-uitgang en de DC-ingang beide op dezelfde pen aangesloten worden. Om hoogfrequente stoorsignalen op de voedingsspanning te vermijden, zal deze daarom ontkoppeld moeten worden. Verder zal de DC-component van het RF-uitgangssignaal verwijderd moeten worden. Dit laatste kan eenvoudig gedaan worden met behulp van een koppelcondensator. De ontkoppeling van de voeding zal met behulp van een laagdoorlaat filter moeten gebeuren. Deze condensator en de laagdoorlaat filter vormen samen een bias tee. Het prinsipeschema hiervoor is gegeven in Figuur 3-10. De waarden van deze componenten wordt berekend in paragraaf 3.3.3.2.

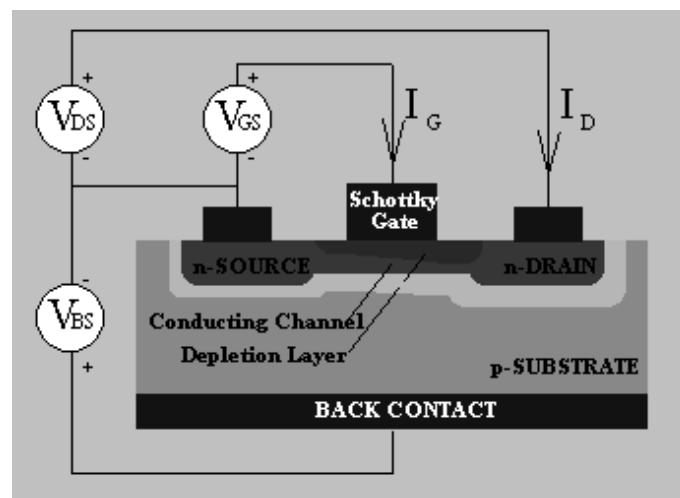


Figuur 3-10: Aanbevolen schakelschema GALI-1+ [15]

### 3.1.6 MESFET

MESFET staat voor Metal-Semiconductor Field Effect Transistor. Het is dus een soort MOSFET, maar deze kan op veel hogere frequenties werken. Verder is de werking van deze twee componenten volledig analoog. Een verschil in opbouw zal er echter voor zorgen dat de MESFET sneller kan schakelen.

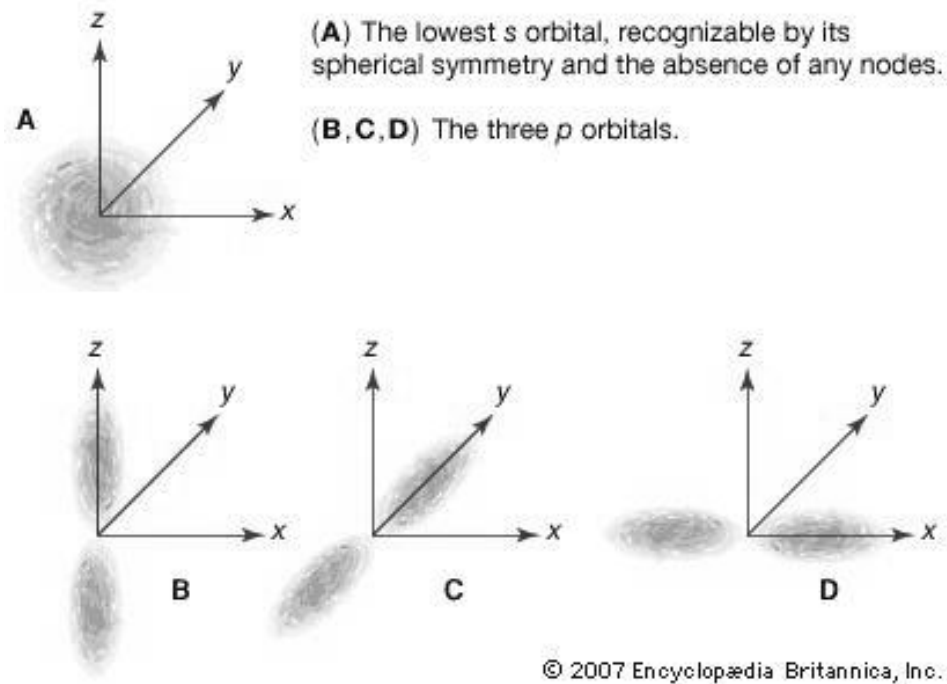
In een MESFET is er geen isolatielaag meer onder de gate. De metalen gate maakt dus een elektrisch contact met het halfgeleider-substraat. Dit is het schottky principe. Dit principe is te zien in Figuur 3-11. Tussen de source en drain werd er eveneens een geleidend kanaal gevormd. Het kan dus voorgesteld worden als een MOSFET van het verarmingstype. De stroom van drain naar source wordt nu geregeld door de depletielaag onder de gate. Bij een wijzigende depletielaag, zal ook de dikte van het geleidende kanaal wijzigen en dus ook de stroom door dit kanaal.



Figuur 3-11: MESFET [16]

Het belangrijkste voordeel van een MESFET is de grotere mobiliteit van de ladingsdragers. Het is belangrijk te weten dat elektronen een golf functie bezitten. Dit werd vastgesteld en beschreven door Schrödinger. De vergelijkingen van Schrödinger stellen dat de plaats van een elektron niet exact bepaald kan worden. Men kan enkel de kans dat het elektron zich op een bepaalde plaats bevindt, berekenen. Deze kansdichtheid wordt voorgesteld in een orbitaal. Een voorbeeld van zo een orbitaal is te zien in Figuur 3-12. Dit orbitaal strekt zich uit 'ver' buiten de kern van het atoom. Bij een klassieke MOSFET bevindt zich boven het substraat een isolerende laag, de oxidelaag. Een deel van de orbitalen van atomen die dicht tegen deze isolerende laag liggen, zullen met deze laag overlappen. De mobiliteit in dit oxide is veel lager dan in het substraat. Bij een MESFET is er geen oxide. De elektronen kunnen nu niet in een zone met lagere mobiliteit komen. Hierdoor zullen ze sneller doorheen het kanaal gaan. Deze grotere mobiliteit geeft aanleiding tot een grotere stroom, maar vooral tot een grotere afsnijfrequentie. Het is deze grotere afsnijfrequentie dat de MESFET bruikbaar maakt in microgolftoepassingen.





Figuur 3-12: Orbitalen [17]

De wijzigingen aan de gate hebben ook nadelen. Doordat er geen oxidelaag meer is, zal de voorwaartse spanning op de gate gelimiteerd worden. Indien deze spanning groter wordt dan de turn-on spanning van een schottkydiode, zal de gate-source-junctie in geleiding komen. Dat is niet gewenst en zal de MESFET beschadigen. De spanning is typisch 0,7V voor een GaAs, Gallium Arsenide, schottky-diode. Dat heeft als gevolg dat de thresholdspanning lager moet zijn dan deze 0,7V. Dit maakt vooral de fabricage van een MESFET moeilijker.

De MESFET die in deze masterproef gebruikt zal worden, is de ATF-58143 van Avago. Deze MESFET is gemaakt uit GaAs en heeft bijgevolg een thresholdwaarde van 0,38V. Deze MESFET kan gebruikt worden tot frequenties van 6GHz. Voor verdere informatie wordt doorverwezen naar de datasheet [18].

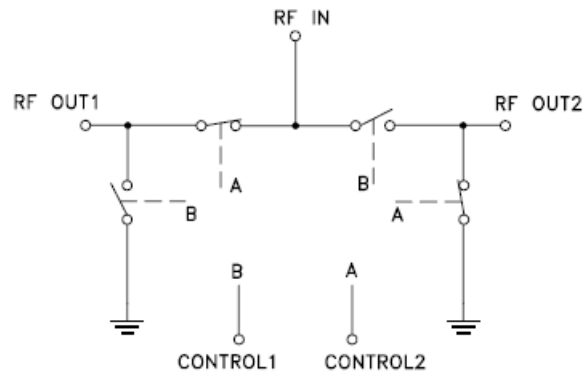
In deze masterproef zal de MESFET gebruikt worden als schakelaar. De manier waarop dit gedaan wordt, kan men terugvinden in paragraaf 3.3.2.2

### 3.1.7 RF-Schakelaar

De schakelaar moet een UWB-sigitaal kunnen schakelen. Daarom moet deze breedbandig genoeg zijn. De gekozen schakelaar is de KSW-2-46+ van Mini-Circuits. De switch kan frequenties tot 4,6GHz schakelen. De stijgtijd bedraagt 4ns, terwijl de daaltijd enkel 2,5ns is.

De behuizing bezit twee schakelaars. Deze twee mogen echter niet zomaar afzonderlijk geschakeld worden. Dat valt te verklaren aan de hand van het elektrisch schema van de schakelaar (Figuur 2-4). Hierbij moet men rekening houden dat de ingang en de uitgangen verbonden zijn met transmissielijnen. Stel nu dat beide controlesignalen, A en B, hoog zijn. De ingang is dan doorverbonden met beide uitgangen, maar ook met de massa. De transmissielijnen zullen bijgevolg afgesloten worden met een kortsluiting. Hierdoor zullen er reflecties optreden.

Stel, beide controlesignalen zijn laag. De ingang wordt dan losgekoppeld van de uitgangen, en de transmissielijn aan de ingang wordt afgesloten met een open keten. Er zullen opnieuw reflecties optreden. In het laatste geval zullen beide controlesignalen altijd elkaars inverse zijn. Hier wordt de ene ingang doorverbonden met een uitgang, terwijl de andere uitgang verbonden is met de massa. Er zullen nu geen reflecties optreden. De twee schakelaars in de behuizing zullen nu zo geschakeld worden, dat ze altijd elkaars inverse zijn. Voor meer informatie over deze schakelaar wordt doorverwezen naar de datasheet [19].



Figuur 3-13: Elektrisch schema van de schakelaar [19]

### 3.1.8 LF-Schakelaar

Bovenstaande schakelaar zal, zoals paragraaf 3.3.2 zal worden vermeld, aangestuurd worden met de FPGA. Om te schakelen, heeft de KSW-2-46+ echter een spanning van -5V nodig op zijn controle-ingang. Deze spanning kan niet rechtstreeks geleverd worden door de FPGA. Om dit probleem op te lossen, wordt gebruik gemaakt van een extra schakelaar. Hoe deze geschakeld zijn, wordt uitgelegd in paragraaf 3.3.2.

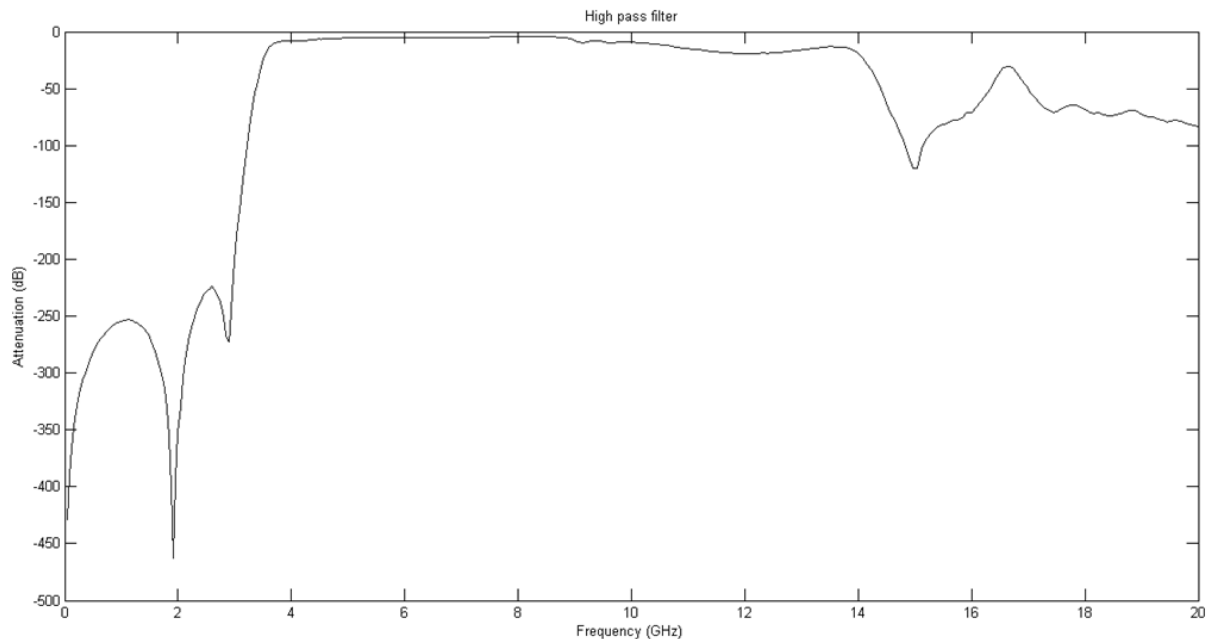
De extra schakelaar is de FSA226K8X van Fairchild Semiconductor. Deze component heeft twee schakelaars in zijn behuizing. Elke schakelaar heeft zijn eigen controlesignaal, waardoor ze beide afzonderlijk aangestuurd kunnen worden. De schakelaars hebben een stijg- en daaltijd van respectievelijk 2.5ns en 3.4ns bij een voedingsspanning van 3.3V. Een nadeel echter is de bandbreedte. Deze is slechts 300MHz. Hierdoor kan deze schakelaar niet gebruikt worden om de UWB-puls te onderbreken. Het grootste voordeel van deze schakelaar is dat het controlesignaal aangestuurd kan worden met een positieve spanning van 3.3V, met andere woorden, door de FPGA. Vermits ook de stijg- en daaltijd kort genoeg zijn, kan deze gebruikt worden om de RF-Schakelaar, die hierboven werd besproken, te schakelen.

Voor meer informatie over deze component wordt doorverwezen naar de datasheet [20].

### 3.1.9 Hoogdoorlaat filter

Verder in deze masterproef zal duidelijk worden dat er een extra hoogdoorlaat filter gebruikt zal moeten worden om aan het wettelijke masker te voldoen. De gebruikte filter is de HFCN-3500+ van Mini-Circuits [21]. Deze filter heeft een afsnijfrequentie van 3,5GHz en een bandbreedte tot 9,8GHz. Uiteindelijk zal deze het pulsspectrum van 3,5GHz tot 9,8GHz onverzwakt doorlaten. In Figuur 3-14 is de bodeplot van deze filter voorgesteld. Deze filter is niet geïmplementeerd op de testprinten maar zal gesimuleerd worden in matlab.

Er bestaat een gelijkaardige filter in SMA-vorm. Deze kan eenvoudig op de SMA-connector aan de uitgang van de print worden geschroefd. Op deze wijze kan men later dit principe eenvoudiger testen. Deze gelijkaardige filter is de VHF-3500+ van Mini-Circuits [22]. Deze filter heeft een afsnijfrequentie van 3,9GHz en een bandbreedte van 9,8GHz. De afsnijfrequentie is groter dan deze van vorige filter. Hierdoor zal een groter deel van het ingangsspectrum worden verzwakt. Hieruit blijkt dat de eerste filter beter is om optimaal aan het wettelijke masker te voldoen. Toch kan men met de laatste filter, op een eenvoudige wijze, een goede indicatie bekomen van het praktische effect van deze filter.

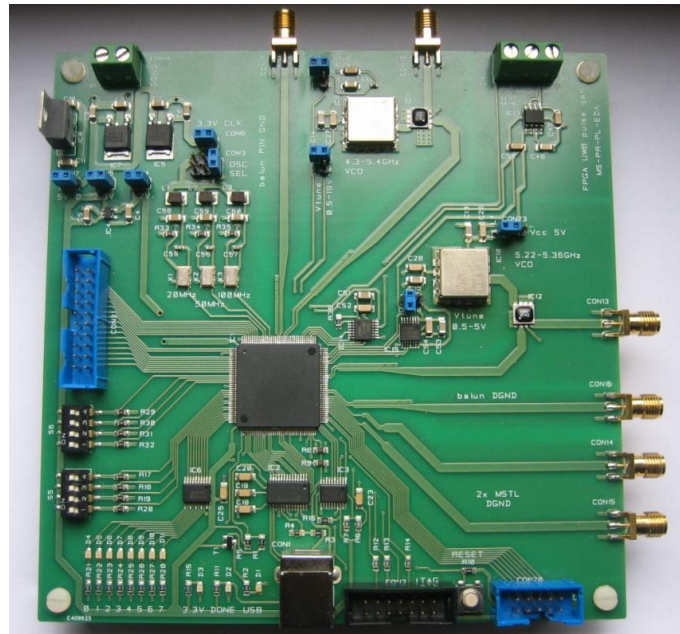


*Figuur 3-14: Bodeplot hoogdoorlaat filter*

### 3.2 FPGA-printplaat

Deze masterproef is gebaseerd op een bestaande printplaat. Er werd op deze print reeds bewezen dat er een UWB-puls gemaakt kan worden met een FPGA. Deze print is te zien in Figuur 3-15. In deze paragraaf wordt deze printplaat kort besproken. Voor het oplossen van de problemen werd telkens een aparte printplaat gemaakt. Zo kunnen verschillende oplossingen, of componenten, eenvoudig getest worden. De reden en ontwerp van deze testprinten vindt men terug in paragraaf 3.3.

Op deze printplaat zal enkel de FPGA gebruikt worden. Deze zal de controlesignalen en de puls genereren. Vervolgens worden de signalen rechtstreeks naar de gepaste connectoren doorgestuurd. De overige componenten zullen op de testprintjes aangestuurd worden. Hoe de puls en de controlesignalen gegenereerd worden, werd al vermeld in paragraaf 2.



Figuur 3-15: Foto print FPGA

### 3.3 Ringing

Zoals aangegeven in paragraaf 1.4 en paragraaf 3.1.3, zal de mixer ringing introduceren. Deze is niet gewenst op de uitgang en zal dus verwijderd moeten worden. In deze masterproef zal er naar gestreefd worden de UWB-pulsen tegen 100MHz te versturen. Bijgevolg zal er elke 10ns een nieuwe puls aankomen op de uitgang. Men kan aannemen dat de puls zelf kleiner is dan 1ns. Hieruit volgt dat er gedurende iets meer dan 9ns ringing op de uitgang zit. Deze paragraaf bespreekt hoe deze ringing verwijderd/verminderd kan worden.

Eerst zal de manier waarop deze ringing ontstaat, besproken worden. Vervolgens komen er verschillende manieren voor het verwijderen van de ringing aan bod.

#### 3.3.1 Oorzaak

De ringing is volledig afkomstig van de VCO en de mixer. Zoals gesteld in 1.4.1, zal de VCO op een vaste frequentie oscilleren. De puls afkomstig van de FPGA zal dan in frequentie verschoven worden, zodat de centerfrequentie gelijk wordt aan de oscillatiefrequentie van de VCO. Het ringingprobleem treedt op wanneer de FPGA geen puls uitstuurt. In paragraaf 3.1.3 werd aangetoond dat de uitgangsspanning van de mixer gelijk is aan:

$$V_{out} = \frac{A_1 \cdot A_2}{2} [\cos((\omega_i - \omega_c)t) - \cos((\omega_i + \omega_c)t)] \quad 3-12$$

Hierin zijn  $A_1$  en  $A_2$  de amplitudes van de ingangssignalen. Wanneer de FPGA geen puls uitstuurt, is één van beide amplitudes dus gelijk aan nul. In theorie zal de uitgangsspanning dan ook nul moeten zijn. Bij een praktische mixer mag dit echter niet aangenomen worden. Deze zal nog een zekere lek bezitten. Hierdoor zal een deel van het signaal van de VCO naar de uitgang lekken, ook al is het ingangssignaal van de FPGA gelijk aan nul. Deze lek zorgt voor ringing op de uitgang. De hoeveelheid lek wordt aangeduid met het level van de mixer. Hoe lager dit level, des te meer lek de mixer bezit. Voor meer informatie over dit level en de hoeveelheid lek wordt doorverwezen naar paragraaf 3.1.3.

### 3.3.2 Verwijderen ringing met schakelaars

Een eenvoudige manier voor het verwijderen van de ringing is met een schakelaar. Wanneer de FPGA een puls uitstuurt, zal de schakelaar gesloten zijn. De puls wordt dus doorgegeven naar de uitgang. Als de FPGA geen puls uitstuurt, zal de schakelaar open staan. Het leksignaal van de mixer zal dan niet op de uitgang te zien zijn. Op deze manier wordt de ringing verwijderd van de uitgang.

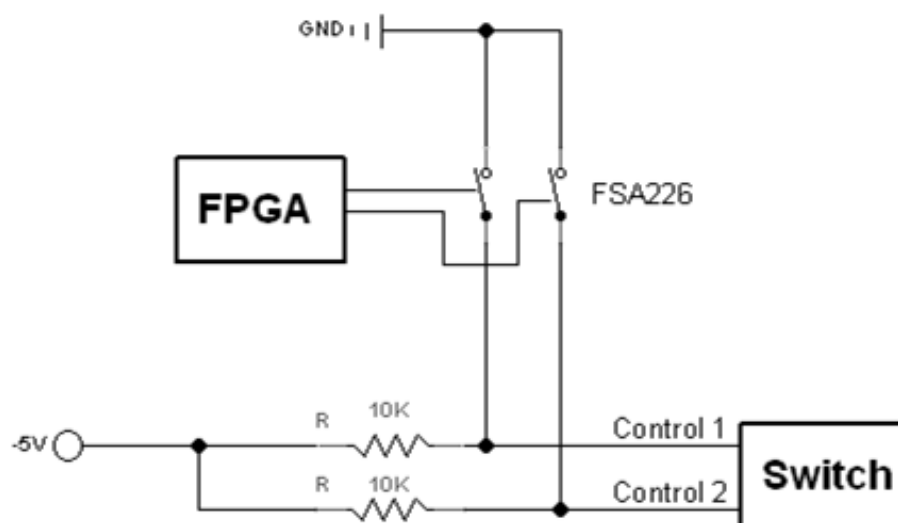
Aangezien er meer dan 9ns lang ringing op de uitgang aanwezig is (cfr. 3.3), moeten de schakelaars in deze tijd kunnen aan- en uitschakelen. Verder moeten deze schakelaars breedbandig genoeg zijn. Dit om het volledige spectrum van de puls, die reeds opgeconverteerd is, onvervormd door te geven. Dit zal het aantal bruikbare schakelaars sterk beperken.

Voor het testen van verschillende schakelaars werd een aparte pcb gemaakt. Deze pcb kan dan achter deze van de FPGA worden geschakeld. Zo kunnen meerdere componenten op een eenvoudige manier getest worden. Na onderzoek werden twee schakelaars geselecteerd. Het ontwerp van de testprint wordt hieronder besproken.

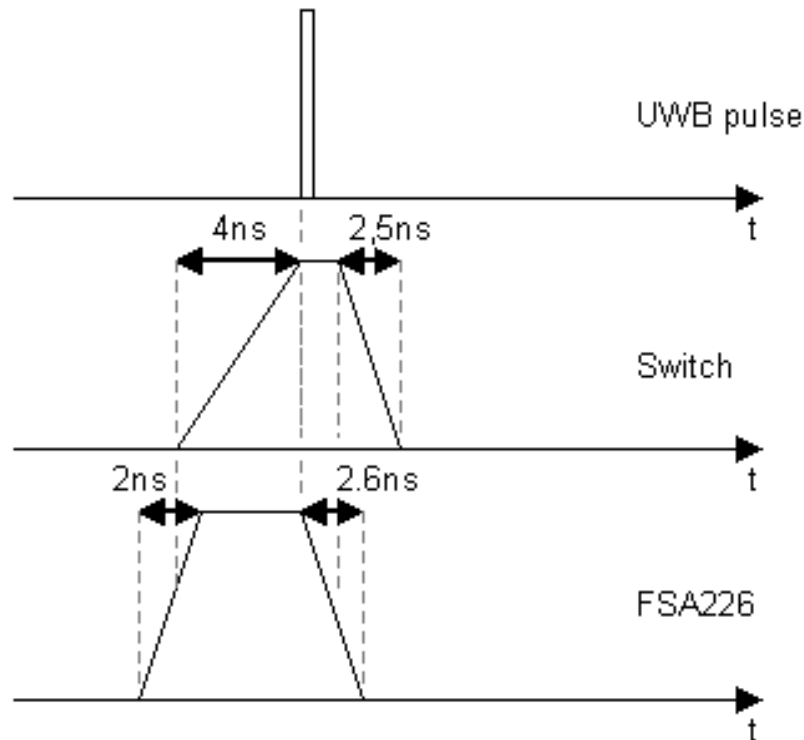
#### 3.3.2.1 RF-schakelaar

Als RF-Schakelaar wordt de KSW-2-46+ van Mini-Circuits gebruikt. De component werd hierboven al besproken. Voor meer informatie wordt doorverwezen naar paragraaf 3.1.7. In dit deel zal de schakelwijze van deze schakelaar besproken worden.

Uit de datasheet [19] kan men afleiden dat de schakelaar gesloten is wanneer er een spanning tussen -5V en -8V op de controle-ingang staat. Deze schakelaar wordt aangestuurd door de FPGA. Omdat deze laatste een spanning van 3.3V uitstuurt, kan de schakelaar niet rechtstreeks aangestuurd worden. Om dit probleem te omzeilen wordt de schakeling uit Figuur 3-16 gebruikt. De FPGA zal nu de LF-schakelaar, FSA226, aansturen. Als de FPGA de LF-schakelaar sluit, zal deze op zijn beurt het controlesignaal van de RF-Schakelaar naar 0V trekken. Hierdoor zal deze laatste open gaan. Op deze manier wordt de positieve spanning van de FPGA omgevormd naar een negatieve spanning voor de schakelaar.



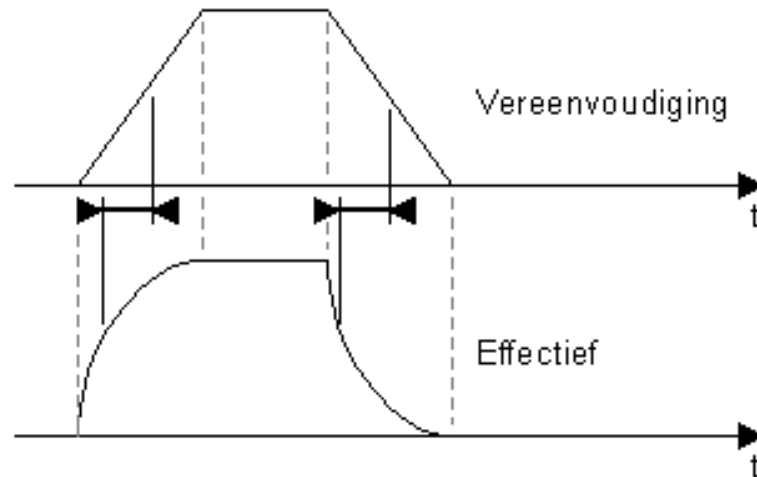
Figuur 3-16: Aansturen schakelaar met FPGA



Figuur 3-17: Golfvormen schakelaars

De manier waarop deze schakelaar aan- en uitgeschakeld wordt, wordt voorgesteld in Figuur 3-17. Hierboven werd al vermeld dat de schakelaars moeten openen en sluiten in maximaal iets meer dan 9ns. De totale stijg- en daaltijden van de schakelaars mogen dus maximaal iets meer dan 9ns zijn. In de datasheet van de KSW-2-46+ [19] en van de FSA2226 [20] kan men deze vertragingstijden opzoeken. De stijg- en daaltijd van de KSW-2-46+ is respectievelijk 4ns en 2.5ns. Terwijl deze van de FSA2226 2ns en 2.6ns zijn. In totaal komt dit neer op 11.1ns. Dit is meer dan het maximum van 9ns, maar men moet kijken naar de definities van de stijg- en daaltijd van de KSW-2-46+. Deze zijn gedefinieerd als de tijd tussen: 50% doorgang van de controle spanning en het moment wanneer het uitgangssignaal 90% (of 10%) van het RF-ingangssignaal bedraagt. Deze controlespanning is nu gelijk aan de spanning op de LF-schakelaar. Nu zal het moment waarop het de RF-schakelaar start men inschakelen, gelijk aan  $V_{DD}/2$ . Hiervoor zal de stijg- en daaltijd van de FSA2226 bekeken moeten worden. Voor de eenvoud wordt deze als een rechte voorgesteld (cfr. Figuur 3-17). Praktisch zal deze curve een exponentieel verloop kennen. Hierdoor zal de 50% waarde, zowel bij het opladen als ontladen, sneller bereikt worden. Men kan deze exponentiële functie namelijk voorstellen als een RC-netwerk. In één tijdsconstante ( $=RC$ ) zal de keten dan opgeladen zijn tot 63% of ontladen zijn tot 37% van de voedingsspanning. In beide gevallen is dit al voorbij de benodigde 50% voor het schakelen van de RF-schakelaar. Dit is grafisch voorgesteld in Figuur 3-18.

In de vereenvoudiging kan men opmerken dat de 50% waarde bereikt wordt in de helft van de stijg- of daaltijd. Met andere woorden, voor de berekening van de totale vertragingstijd mag de stijg- en daaltijd van de FSA2226 gehalveerd worden. Men bekomt nu een totale op- en afschakeltijd van:  $1ns + 4ns + 1,3ns + 2,5ns = 8,8ns$ . Dit is wel kleiner dan de maximale 9ns.



Figuur 3-18: Stijg- en daaltijd, vereenvoudiging t.o.v. effectief

Men kan nu ook bepalen hoe lang de ringing wordt tegengehouden met deze schakelaar. Dit kan men afleiden uit Figuur 3-17. De schakelaar, KSW-2-46+, zal idealiter aan zijn op het moment dat de puls doorkomt. Vervolgens wordt de LF-schakelaar afgeschakeld. 1,3ns later zal deze op 50% van de voedingsspanning zijn. Vanaf dan zal ook de KSW-2-46+ afschakelen. Dit laatste duurt nog eens 2,5ns. In totaal betekend dit dat de RF-schakelaar aan is gedurende 3,8ns. Stel nu dat de puls 0,8ns lang is, dan zal er nog gedurende 3ns ringing op de uitgang zichtbaar zijn. Dit is een goede verbetering ten opzichte van de 9ns van voorheen.

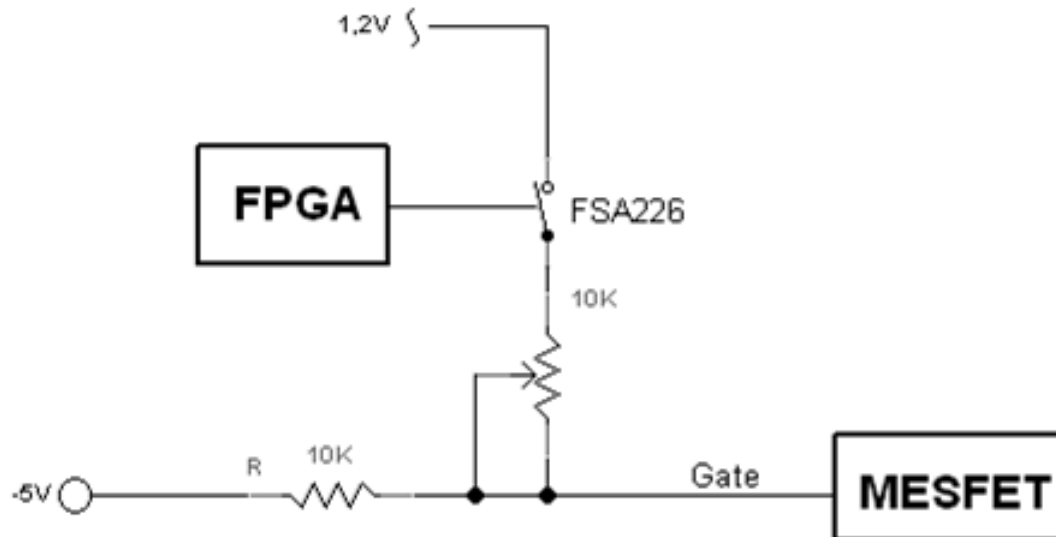
### 3.3.2.2 MESFET als schakelaar

Als MESFET wordt de ATF-58143 van Avago Technologies gebruikt. Deze component werd al besproken in paragraaf 3.3.2.2. Hier wordt de schakelwijze van deze MESFET besproken. Het doel en de werking van de MESFET zijn volledig gelijk aan deze van de switch, die hierboven werd besproken.

De MESFET zal hier gebruikt worden als schakelaar. Wanneer de FPGA geen puls doorstuurt, zal de FET in sper staan. Hierdoor wordt de ringing tegengehouden, en is deze niet meer te zien op de uitgang. Wanneer de FPGA wel een puls uitstuurt, zal de FET in verzadiging zijn. Zodoende dat de UWB-puls onvervormd wordt doorgegeven.

In de datasheet [18] kan men de spanning vinden die nodig is om deze MESFET in sper of saturatie te krijgen. De threshold-spanning gelijk is aan 0.38V. De  $V_{GS}$  mag tussen de -5V en 1V liggen. Wanneer men dus een spanning van -5V op de gate aansluit, zal deze sperren. Bij een spanning van 1V, zal de FET in saturatie zijn. Deze spanningen kunnen niet rechtstreeks geleverd worden door de FPGA. Daarom moet men de MESFET aansturen op een analoge manier als de RF-schakelaar. De wijze waarop dit gedaan wordt, is te zien in Figuur 3-19.

Wanneer de uitgangspin van de FPGA hoog is, zal de LF-schakelaar, FSA226, sluiten. Deze zal de spanning op de gate hoog trekken. De spanning wordt bepaald door de spanningsdeler, gevormd door de potentiometer en de weerstand R. Deze weerstandsdeling is nodig vermits de maximale spanning op de gate gelijk is aan 1V, en men 1,2V ter beschikking heeft.



*Figuur 3-19: Aansturen MESFET met FPGA*

### 3.3.2.3 Testprint: schakelaars

Hierboven werd de werking en aansluiting van de schakelaars besproken. Ook werd er al verwezen naar het volledige schema en de testprint. In deze paragraaf zal de opbouw van de testprint meer in detail besproken worden. In Figuur 3-20 is een foto van de testprint met de schakelaars te zien. Voor het volledige schema wordt doorverwezen naar de Cd-rom.

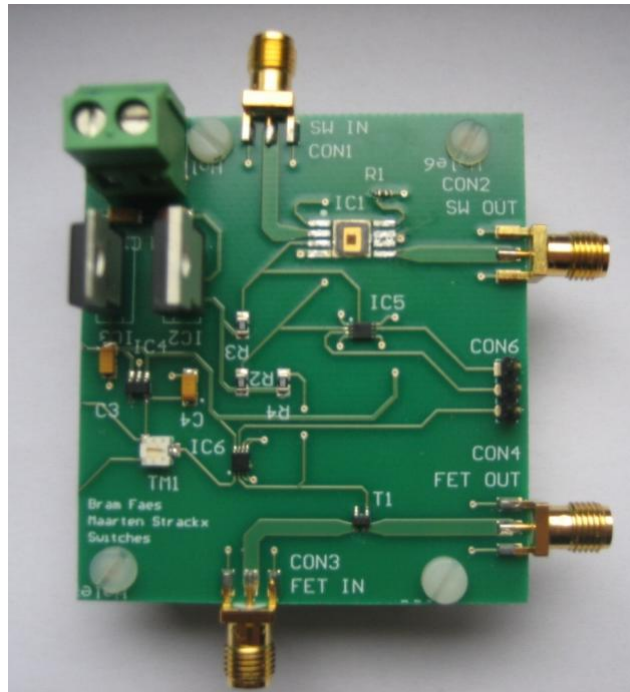
Zoals hierboven al vermeld, zullen er twee schakelaars getest worden. Om beide te kunnen testen zullen er twee aparte circuits gemaakt worden. Bovenaan kan men het circuit voor de RF-schakelaar zien. Onderaan vindt men het circuit voor de MESFET. Via de SMA-connectoren kunnen beide circuits aan de FPGA-print gekoppeld worden. Verder bezit deze print een voeding die een spanning van 5V en -5V genereert, dit omdat het schakelen van de RF-schakelaar en de MESFET een negatieve spanning vereist. De spanningen worden gegenereerd met een symmetrische voeding. Vanuit de 5V spanning wordt vervolgens een spanning van 1,2V gegenereerd. Dit om de MESFET aan te sturen. Ten slotte heeft deze print drie connectoren voor communicatie met de FPGA. Met deze controle-ingangen kan men de schakelaars aan- of uitschakelen.

Tijdens het testen van deze printplaat traden er enkele problemen op. Bij het opzetten van de spanning was de ingang van de RF-schakelaar, KSW-2-46+, doorverbonden met beide uitgangen. Dit is logisch indien men kijkt naar Figuur 3-16. Maar wanneer de LF-schakelaar aangestuurd werd, schakelde de KWS-2-46+ schakelaar niet mee. Met andere woorden, de ingang bleef continu doorverbonden met beide uitgangen. Omdat de LF-schakelaar wel de correcte spanningen genereerde, kan men hieruit besluiten dat deze schakelaar defect was.

Vervolgens is er de MESFET. Deze component laat wel een puls door, maar zeer sterk verzwakt. De reden hiervoor is nog onbekend. Waarschijnlijk is er bij de fout in de switch een kortsluiting ontstaan waardoor ook deze component beschadigd werd.

Door de fouten op de print werd er besloten de effecten van de schakelaars te simuleren. Deze simulaties worden uitgevoerd in matlab op de meetresultaten van de versterkers. Deze meet- en simulatieresultaten worden besproken in paragraaf 3.3.4.





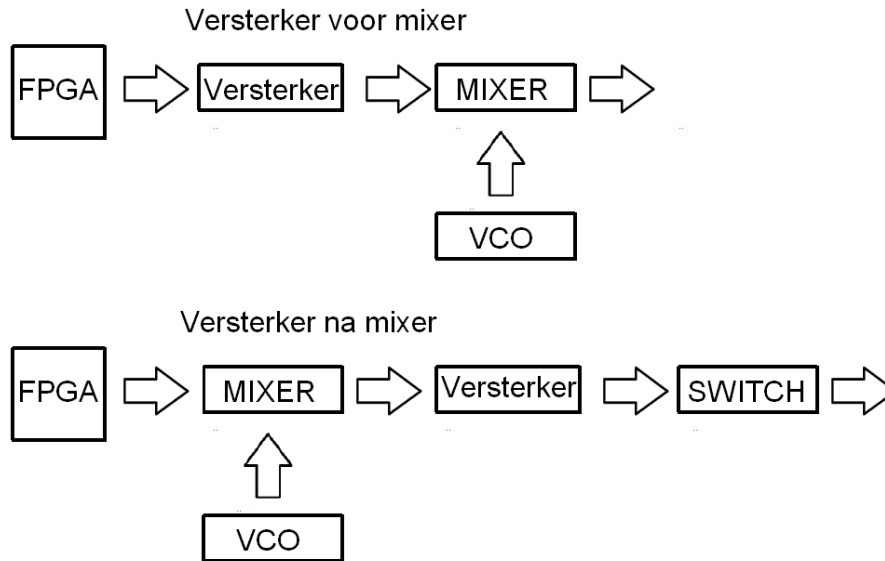
*Figuur 3-20: Foto testprint schakelaars*

### 3.3.3 Verwijderen ringing met versterkers

Een tweede methode voor het verwijderen van de ringing is met een versterker. Hier is het niet de bedoeling de ringing volledig weg te halen, maar deze relatief kleiner te maken. Want als de amplitude van het UWB-signaal groter wordt, terwijl deze van de ringing gelijk blijft, zal het UWB-signaal, in de ontvanger beter te onderscheiden zijn van de ringing. Een bijkomend voordeel van de versterker is een groter uitgangsvermogen. De puls kan nu een gepast aantal dB versterkt worden, zodat het spectrum zo goed mogelijk in het wettelijke masker past. Ook zal dit grotere vermogen ervoor zorgen dat de puls over grotere afstanden verzonden kan worden. Voor datatransport komt dit neer op een groter zendbereik, of een grotere kanaalcapaciteit. De SNR zal namelijk toenemen. Voor radartoepassingen komt dit neer op een groter detectiebereik. In deze paragraaf wordt enkel het verwijderen van de ringing besproken. De gewenste versterking kan, indien nodig, achteraf bepaald worden.

Zoals eerder vermeld, is de ringing afkomstig van de mixer. Deze lekt een deel van het signaal van de VCO naar de uitgang. Het is dus niet gewenst dit signaal mee te versterken. Het is dan ook logisch de versterker voor de mixer te plaatsen. Hierdoor wordt enkel het gewenste signaal versterkt. Dit principe is voorgesteld in het bovenste gedeelte van Figuur 3-21. Hierbij kan nog een schakelaar geplaatst worden om de ringing volledig te verwijderen.

Een andere mogelijke plaats voor de versterker is voorgesteld in het onderste gedeelte van Figuur 3-21. Hier zal de versterker na de mixer worden geplaatst. Een nadeel hierbij is dat zowel het gewenste signaal als de ringing versterkt worden. De verhouding tussen beide signalen zal dus gelijk blijven. Maar dit principe kan in combinatie met een schakelaar gebruikt worden. Hierbij wordt rekening gehouden met het niet ideaal zijn van de schakelaar. Deze kan namelijk ook nog een zeker lek bevatten. Door eerst het gewenste signaal te versterken, is deze wel relatief groter geworden dan de ringing op de uitgang. De grootte van deze laatste ringing op de uitgang is dan afhankelijk van de hoeveelheid lek van de schakelaar.



Figuur 3-21: Principeschema met versterkers

### 3.3.3.1 Versterker voor mixer

Als versterker die voor de mixer geplaatst zal worden, zal de DVGA1-242+ [11] van Mini-Circuits gebruikt worden. Deze component werd al besproken in paragraaf 3.1.4. In Figuur 3-22 wordt het aanbevolen aansluitschema van deze versterker getoond. Dit schema is ook terug te vinden in de datasheet [11]. Aan de hand van dit aansluitschema zal in deze paragraaf besproken worden hoe deze versterker geschakeld wordt. Het effectieve aansluitschema van deze versterker is terug te vinden in Figuur 3-25. Dit schema zal ook op print gerealiseerd worden.

Eerst zullen de voedingsspanningen besproken worden. Zoals vermeld in 3.1.4 zal de versterker uit twee delen bestaan. Elk van deze heeft zijn eigen voedingsspanning. In de datasheet is te vinden dat  $V_{D2}$  tussen de 4,75V en 5,25V moet liggen. Hiervoor zal een spanning van 5V gebruikt worden. Deze spanning kan eenvoudig gemaakt worden met een lineaire spanningsregelaar (vb.: LM7805). De spanning  $V_{D1}$  moet tussen de 3V en 3,3V liggen. In Figuur 3-22 zal deze gemaakt worden vanuit  $V_{D2}$  met behulp van een spanningdeler. In deze masterproef zal ook deze spanning gemaakt worden met een lineaire spanningsregelaar. Deze zal een spanning van 3,3V genereren. Op Figuur 3-25 zijn deze spanningsregelaars niet te zien. Deze worden wel weergegeven op het volledige schema. Voor dit schema wordt doorverwezen naar de Cd-rom.

Zoals vermeld in 3.1.4, is de DVGA1-242+ een instelbare versterker. De versterking kan op twee manieren ingesteld worden. Een eerste methode is door zes controlepinnen hoog of laag te maken. Deze vormen dan een binair getal die de hoeveelheid verzwakking voorstelt (cfr. 3.1.4). Een nadeel is echter dat de waarde van deze pinnen enkel binnengelezen wordt bij opstart. Als de versterking gewijzigd moet worden, zal de voedingsspanning af- en opgeschakeld moeten worden. De controlesignalen bevinden zich op de pinnen 26 tot en met 31. In Figuur 3-22 hangen deze allemaal aan de massa. Op de print, Figuur 3-25, zullen deze verbonden zijn met een schakelaar. Zo kan zowel een logische '0' als '1' aangelegd worden. Dit zorgt voor een grotere flexibiliteit. Een tweede methode voor het instellen van de versterking is met een seriële communicatie. Hiervoor zijn drie lijnen voorzien, met name: data, klok en enable. Deze staan op respectievelijk lijn 5, 6 en 7. Deze lijnen worden via een weerstand van 10k $\Omega$  verbonden met de FPGA. Deze laatste kan nu de versterking ten allen tijde aanpassen.

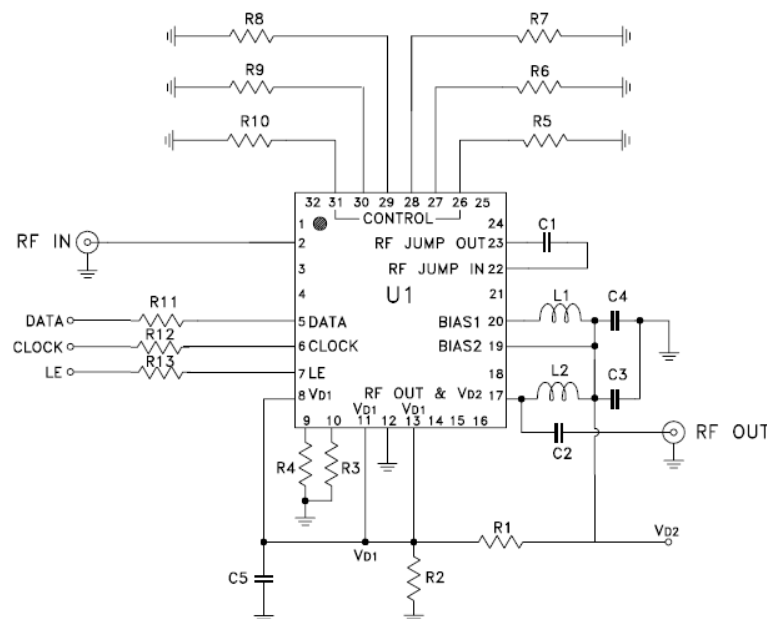
Zoals hierboven al werd vermeld, zal de versterker uit twee delen bestaan. Deze twee stukken zullen extern, met een koppelcondensator, naar elkaar doorverbonden moeten worden. Deze condensator is te zien tussen de klemmen 22 en 23 op Figuur 3-22. Deze condensator is nodig omdat de twee delen van de versterker op een verschillende spanning werken. Zonder deze condensator zou er een DC-stroom doorheen de versterker lopen. Deze condensator heeft echter een effect op het pulsspectrum. Omdat de versterker voor de mixer staat, is er nog geen up-converctie gebeurd. Het spectrum van de puls zal dus beginnen van DC. De koppelcondensator zal nu ook een deel van de puls tegenhouden/verzwakken. Met andere woorden, de puls zal vervormd uit de versterker komen. Deze vervorming is het grootste nadeel van de versterker voor de mixer. Om deze vervorming zo klein mogelijk te houden kiest men de condensator best zo groot mogelijk. Hoe groter de condensator, hoe kleiner de frequentie waarop deze als een kortsluiting beschouwd kan worden. Dit kan eenvoudig aangetoond worden met vergelijking 3-13. Deze geeft de impedantie van een condensator weer. Bij een stijgende frequentie wordt de impedantie kleiner. Vanaf een bepaalde frequentie wordt deze waarde verwaarloosbaar. Bij een grotere condensatorwaarde zal dit punt eerder bereikt worden. Het moment waarop men de impedantie mag verwaarlozen, hangt natuurlijk ook af van de kring waarin deze impedantie geschakeld is.

$$X_c = \frac{1}{2 \cdot \pi \cdot f \cdot C}$$

3-13

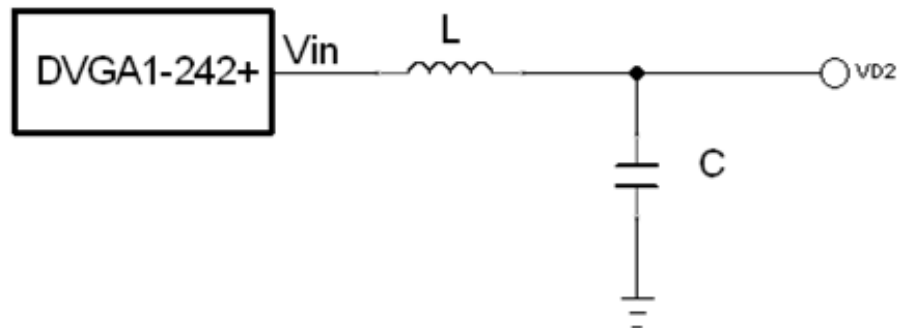
Uit bovenstaande vergelijking blijkt dat de koppelcondensator liefst zo groot mogelijk genomen wordt. Omdat hier op frequentie van enkele GHz wordt gewerkt, kunnen moeilijk Through Hole componenten gebruikt worden. Men moet namelijk nagaan of deze componenten hun capaciteit behouden op deze hoge frequenties. Op deze frequenties kan de capaciteit namelijk sterk verminderen door parasitaire effecten. In deze masterproef wordt een condensator van 0,1 $\mu$ F gebruikt.

Bovenstaande redenering kan men volledig herhalen voor de koppelcondensator aan de uitgang. Deze zal de DC-spanning tegenhouden, zodat die niet op de volgende componenten terecht komt. In Figuur 3-22 is dit C2. Ook voor deze component werd een waarde van 0,1 $\mu$ F gekozen. Ook bij deze koppelcondensator zal er een deel vervorming optreden. De redenering is volledig analoog aan diegene hierboven.



Figuur 3-22: Aanbevolen aansluitschema DVGA1-242+ [11]

Ten slotte moeten er nog 2 laagdoorlaat filters ontworpen worden. Deze filters zijn te zien op pinnen 17 en 20 in Figuur 3-22. Beide filters zullen voor een ontkoppeling van de voeding zorgen. Deze filters voorkomen dat er hoogfrequente stoorsignalen van de versterker naar de voeding worden gekoppeld. Omdat beide filters hetzelfde doel hebben, en bijgevolg ook dezelfde componentwaarden, zullen deze hieronder samen besproken worden.



Figuur 3-23: Filter op voeding DVGA1-242+

In Figuur 3-23 wordt er ingezoomd op deze filters. Voor deze filter kan men de transferfunctie opstellen, cfr. vergelijking 3-14. Hieruit kan men enkele besluiten trekken. De filter is van een tweede orde. Indien nu twee complex toegevoegde polen worden gekozen, zal de filter direct met -40dB/dec. verzwakken. Deze polen kan men vinden door de noemer gelijk aan nul te stellen. Deze bewerking is te zien in vergelijking 3-15. In deze laatste vergelijking kan men opmerken dat er steeds 2 complex toegevoegde polen zijn. Men neemt hier namelijk de vierkantswortel van een negatief getal.

$$A_v = \frac{V_{D2}}{V_{in}} = \frac{\frac{1}{\omega C}}{\frac{1}{\omega C} + sL} = \frac{1}{1 + \omega^2 LC} \quad 3-14$$

$$\omega^2 LC + 1 = 0 \rightarrow \omega = \sqrt{\frac{-1}{LC}} = \frac{j}{\sqrt{LC}} \quad 3-15$$

Met deze formules kan men nu de componentwaarden berekenen. Omdat de versterker voor de mixer staat en het pulsspectrum dan nog niet up-geconverteerd is, is de afsnijfrequentie best zo klein mogelijk. Dit om de stoorsignalen zo sterk mogelijk te verzwakken voor ze naar de bron gaan. Hier moet weer rekening worden gehouden met de beschikbare componenten. Zoals hierboven al vermeld, moeten componenten gekozen worden waarbij hun capaciteit of inductantie niet wijzigt bij frequenties van enkele GHz. Voor deze filter is  $L = 47\mu\text{H}$  en  $C = 0,1\mu\text{F}$ . Deze waarden kan men nu in vergelijking 3-15 invullen. Zo bekomt men een afsnijfrequentie van 73,41KHz. In Figuur 3-24 is de bodeplot van deze filter te zien.

Nu de componentwaarden bepaald zijn, kan men ook de polen van deze filter berekenen. Dit door de componentwaarden in te vullen in vergelijking 3-15. De waarden van de polen kan men dan zien in vergelijking 3-16.

$$P_{1,2} = \sqrt{\frac{-1}{47\mu \cdot 0,1\mu}} = \pm j 04,61 10^5 \quad 3-16$$

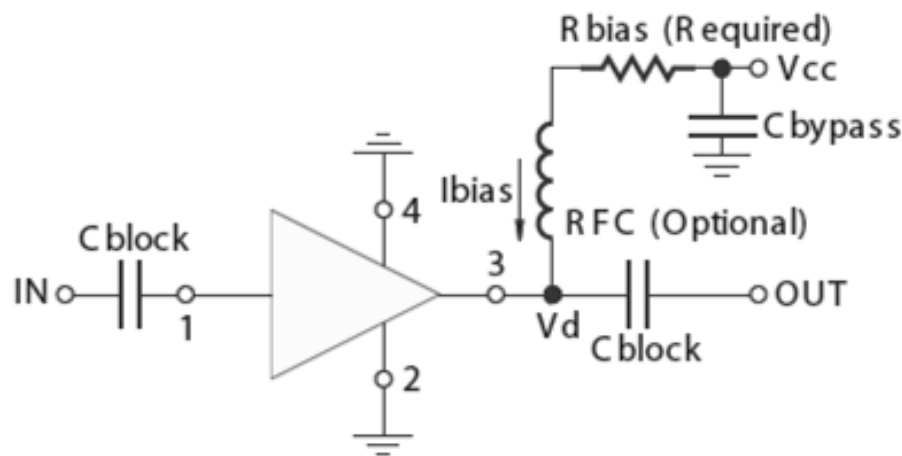


### 3.3.3.2 Versterker na mixer

Als versterker na de mixer zal de GALI-1+[15] van Mini-Circuits gebruikt worden. De werking van deze component werd besproken in paragraaf 3.1.5. Hier worden de aansluitingen van de versterker besproken en toegelicht. Dat wordt gedaan aan de hand van het aanbevolen aansluitschema uit de datasheet [15]. Dit schema is ook te vinden in Figuur 3-26. Het effectieve schema van de versterker voor de mixer is te vinden in Figuur 3-28. Dit schema zal ook op een print gerealiseerd worden.

De enige componenten die hier toegevoegd moeten worden zijn deze van een bias tee op de uitgang. Deze bias tee zal ervoor zorgen dat er geen DC-spanningen via de uitgangspin naar de andere componenten gaan. Vervolgens zorgt deze er ook voor dat er geen hoogfrequente stoorsignalen naar de voeding worden doorgelinkt. Dit met behulp van een laagdoorlaat filter. Men kan hierbij opmerken dat dit volledig analoog is aan de componenten bij de DVGA1-242+ die hierboven besproken werd. Het ontwerp van de filter is nu wel eenvoudiger. Dit door een grotere vrijheid. Doordat de versterker na de mixer staat, is het pulsspectrum al verschoven naar hogere frequenties. Hierdoor is een grotere afstand tussen de DC-component en de RF-signalen. De filters kunnen nu zo ontworpen worden, opdat ze het pulsspectrum minimaal vervormen.

In deze masterproef wordt de koppelcondensator aan de ingang weggelaten, dit omdat het signaal aan de ingang afkomstig is van de mixer. Hier zit geen DC-component meer op, dus deze moet ook niet verwijderd worden. Een tweede koppelcondensator bevindt zich aan de uitgang. Deze zal de DC op de uitgang tegenhouden, zodat deze niet naar de volgende componenten wordt doorgegeven.



Figuur 3-26: Aanbevolen aansluitschema Gali-1+ [15]

Vervolgens is er de bias tee. Deze zal de voeding ontkoppelen. Een eerste component dat berekend moet worden, is de  $R_{bias}$ . Deze zal de stroom doorheen de versterker beperken. De voedingsspanning,  $V_{cc}$ , is 5V. Daarnaast kan men uit de datasheet [15] halen dat de spanning  $V_d$ , de device operating voltage, typisch gelijk zijn aan 3,4V. Verder is de aanbevolen stroom 40mA. Met deze waarden kan men nu de weerstand  $R_{bias}$  bepalen. De formule hiervoor vind men in vergelijking 3-17.

$$R_{bias} = \frac{V_{cc} - V_d}{I_{bias}} = \frac{5 - 3,4}{40 \cdot 10^{-3}} = 40\Omega \rightarrow E12 \text{ reeks: } R_{bias} = 39\Omega$$

Nu de weerstandswaarde gekend is, kan men de transferfunctie van de filter bepalen. Deze wordt bepaald in vergelijkingen 3-18 en 3-19. Deze transferfunctie is van de tweede orde. Door de noemer gelijk te stellen aan nul, kan men de polen van dit systeem berekenen. Dit is gedaan in vergelijking 3-20. Hiervan kan men de discriminant berekenen. Dit wordt gedaan in vergelijking 3-21. Hieruit kunnen dan ten slotte de twee polen bepaald worden, zoals blijkt uit in vergelijking 3-22.

$$V_{cc}(\omega) = \frac{V_d \frac{1}{\omega C_{bypass}}}{\frac{1}{\omega C_{bypass}} + \omega L_{bias} + R_{bias}} \quad 3-18$$

$$Av(\omega) = \frac{V_{cc}}{V_d} = \frac{1}{\omega^2 L_{bias} C_{bypass} + \omega R_{bias} C_{bypass} + 1} \quad 3-19$$

$$\omega^2 L_{bias} C_{bypass} + \omega R_{bias} C_{bypass} + 1 = 0 \quad 3-20$$

$$D = (R_{bias} C_{bypass})^2 - 4 L_{bias} C_{bypass} \quad 3-21$$

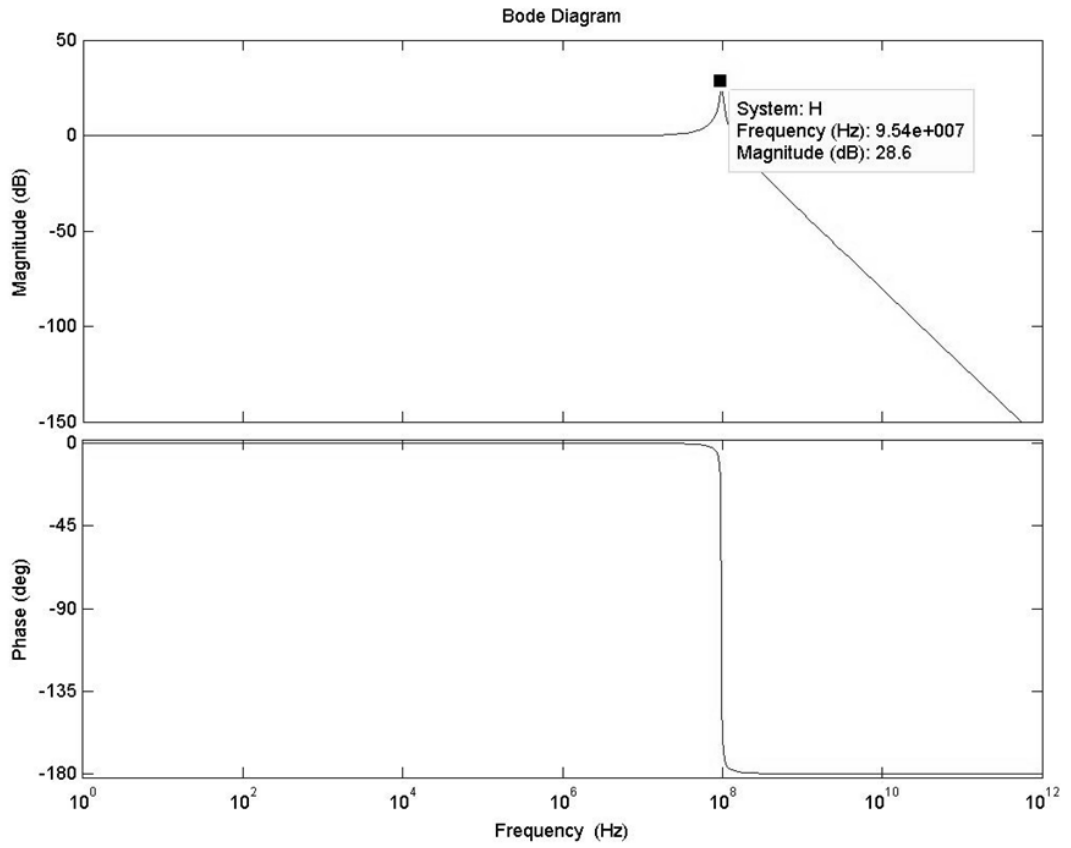
$$P_{1,2} = \frac{-R_{bias} C_{bypass} \pm \sqrt{D}}{2 L_{bias} C_{bypass}} \quad 3-22$$

Nu de transferfunctie bekend is, kunnen de componentwaarden worden bepaald. Hier moet weer opgemerkt worden dat de componenten hun inductantie of capaciteit gelijk blijven op tot een voldoende hoge frequentie. Voor deze filter worden volgende waarden gekozen:  $L = 2,7\mu\text{H}$  en  $C = 1\text{pF}$ . Deze waarden, samen met een weerstand van  $39\Omega$ , geven een afsnijfrequentie van  $96\text{MHz}$ . In Figuur 3-27 is de bodeplot van deze filter te zien. Omdat de versterker na de mixer staat, en het pulsspectrum al opgeconverteerd is, zal deze filter geen vervorming geven. Dit is een voordeel ten opzichte van de versterker voor de mixer.

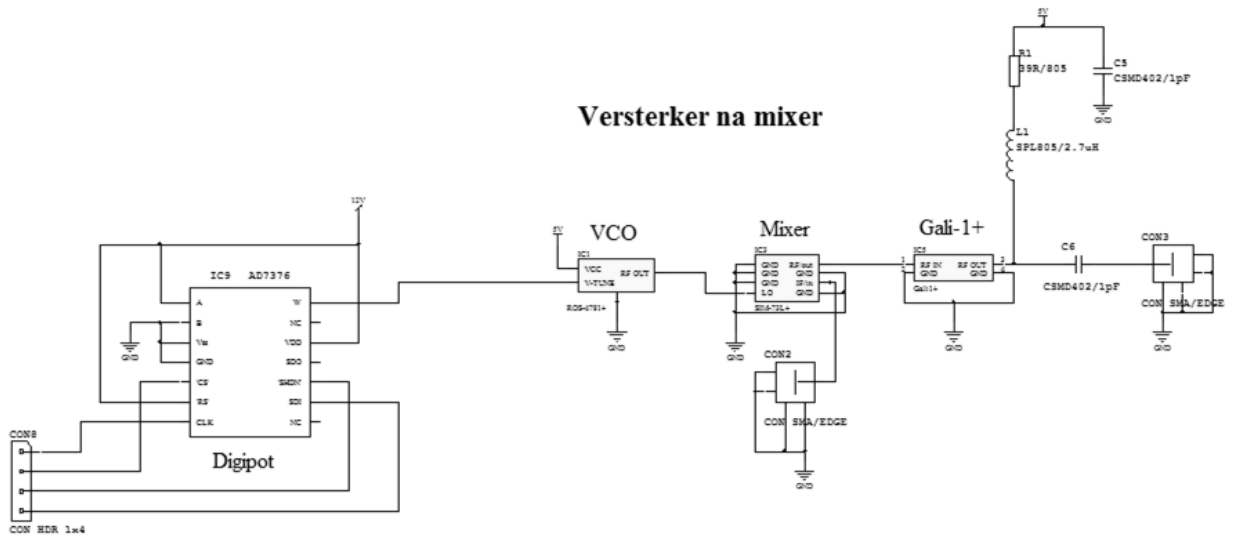
Nu de componentwaarden en de afsnijfrequentie bepaald zijn, kan men ook de polen van deze filter bepalen. Dit door de componentwaarden in te vullen in vergelijking 3-22. Dit wordt gedaan in vergelijkingen 3-23 en 3-24. Uit de berekening van de discriminant kan men al een eerste besluit trekken. Omdat de discriminant negatief is, zullen er twee complex toegevoegde polen gevormd worden. Deze polen zijn te zien in vergelijking 3-24.

$$\begin{aligned} D &= (R_{bias} C_{bypass})^2 - 4 L_{bias} C_{bypass} = (39 \cdot 1\text{p})^2 - 4 \cdot 2,7\mu \cdot 1\text{p} \\ &= -1,07 \cdot 10^{-17} \end{aligned} \quad 3-23$$

$$\begin{aligned} P_{1,2} &= \frac{-R_{bias} C_{bypass} \pm \sqrt{D}}{2 L_{bias} C_{bypass}} = \frac{-39 \cdot 1\text{p} \pm \sqrt{-1,07 \cdot 10^{-17}}}{2 \cdot 2,7\mu \cdot 1\text{p}} \\ &= -7,2210^6 \pm j 6,0810^8 \end{aligned} \quad 3-24$$



Figuur 3-27: Simulatie filter Gali-1+



Figuur 3-28: Aansluitschema versterker na mixer



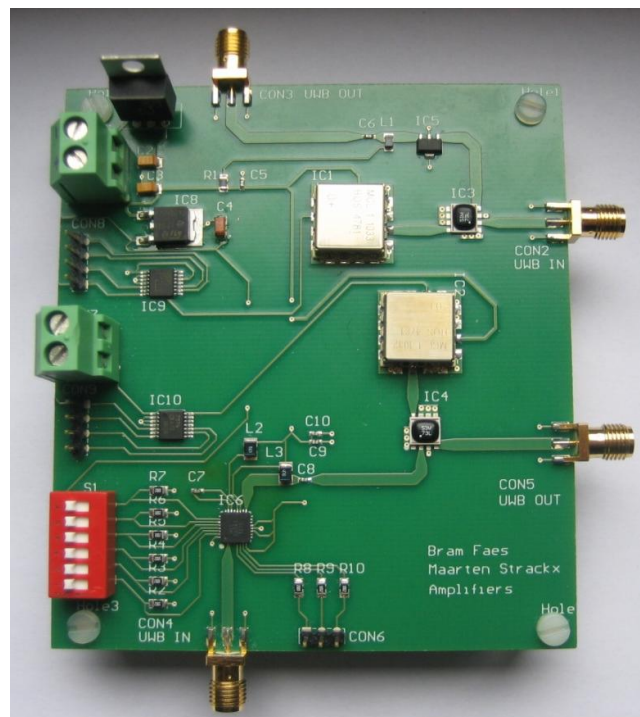
### 3.3.3.3 Testprint: Versterkers

Hierboven werden afzonderlijk de componenten van de versterkers voor en na de mixer bepaald. Ook werd er al verwezen naar het volledige schema en de testprint. In deze paragraaf zal de opbouw van de testprint meer in detail besproken worden. Het doel en de schakelwijze van de componenten wordt hier niet verduidelijkt. Deze werd al uitvoerig besproken in eerdere hoofdstukken. In Figuur 3-29 is een foto van de testprint met de versterkers te zien. Voor het volledige schema wordt doorverwezen naar de Cd-rom.

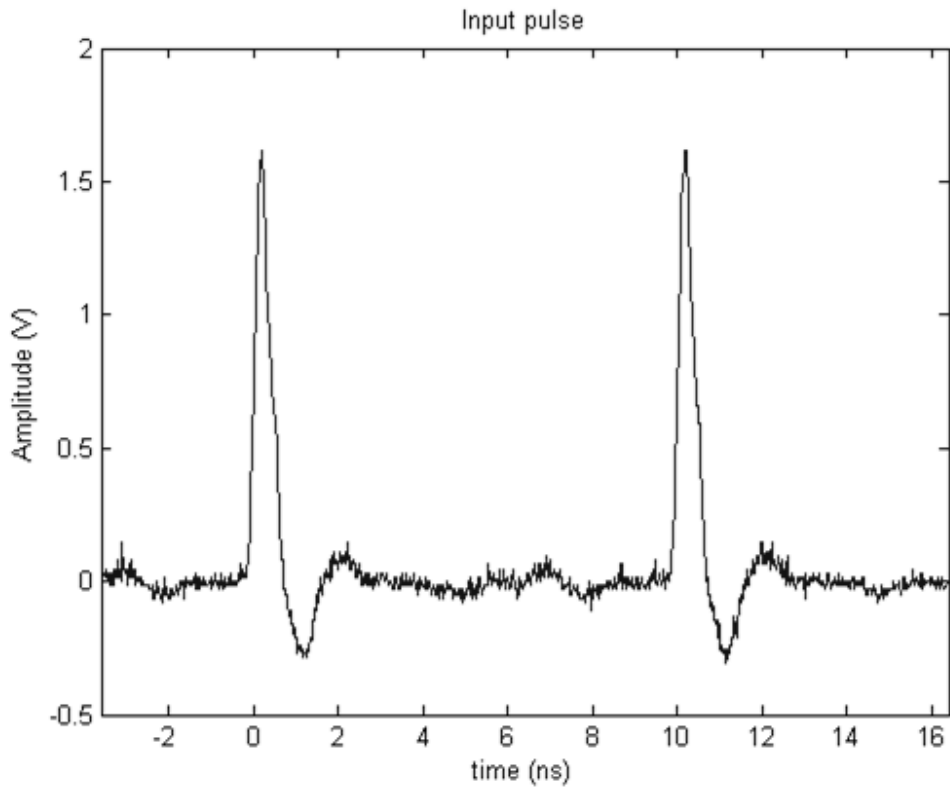
Zoals hierboven al vermeld zullen er twee types versterkers worden getest. Namelijk de versterker voor en de versterker na de mixer. Om beide versterkers te kunnen testen zullen er twee aparte circuits gemaakt worden. Via de SMA-connectoren kunnen deze circuits aan de FPGA-print gekoppeld worden. Verder bezit deze print een 5V voeding, deze zal naar de VCO's gaan. Vervolgens wordt deze 5V omgezet naar een 3.3V spanning voor het aansturen van de DVGA1-242+ versterker. Ten slotte heeft deze print 11 connectoren voor communicatie met de FPGA. Met deze kan men de uitgangsspanning van de digipots en de versterking van de DVGA1-242+ instellen.

### 3.3.4 Bespreking meetresultaten en simulaties

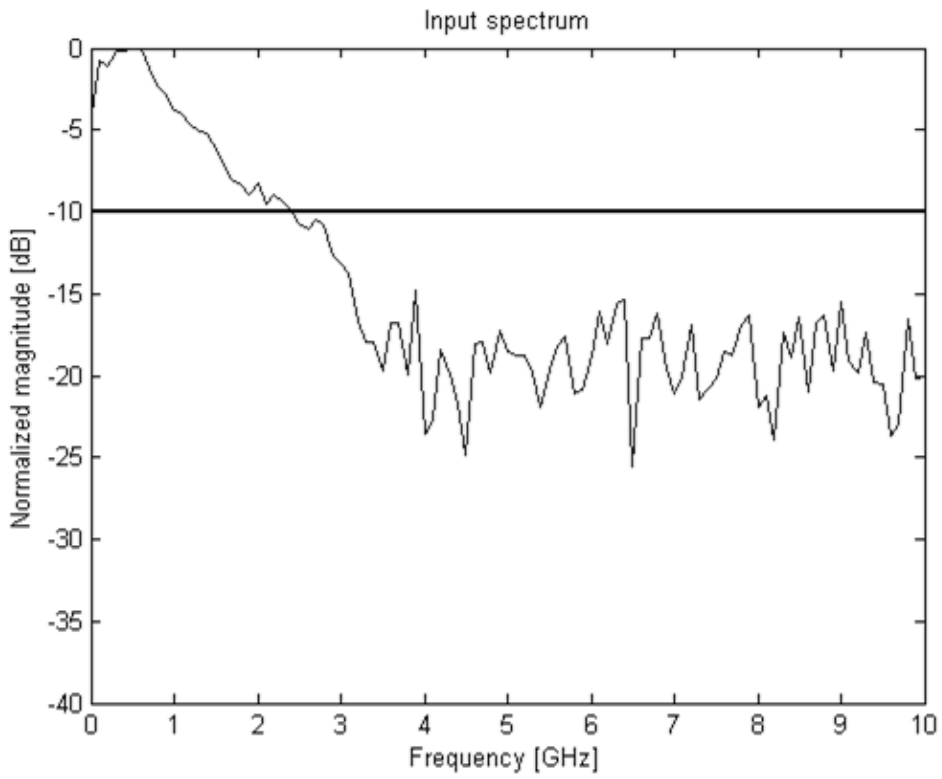
In deze paragraaf worden de verschillende metingen en simulaties besproken. Zoals eerder aangehaald zullen de effecten van de schakelaars gesimuleerd worden. Deze simulaties worden uitgevoerd op de meetresultaten van de versterker. De resultaten worden daarom ook besproken per versterker. Zo kan een beter beeld gevormd worden van welke versterker het beste resultaat geeft. Aan de ingang van de testprint met de versterkers werd steeds dezelfde UWB-puls aangelegd. Deze puls werd al besproken in paragraaf 2.4. Deze zal nu aan de print met de versterkers worden aangelegd. Om een beter beeld te vormen van de effecten van de versterkers, upconversie en schakelaars, wordt in Figuur 3-30 en Figuur 3-31 nog eens de aangelegde UWB-puls, en het ingangsspectrum getoond.



Figuur 3-29: Foto testprint versterkers



*Figuur 3-30: Aangelegde UWB-puls*

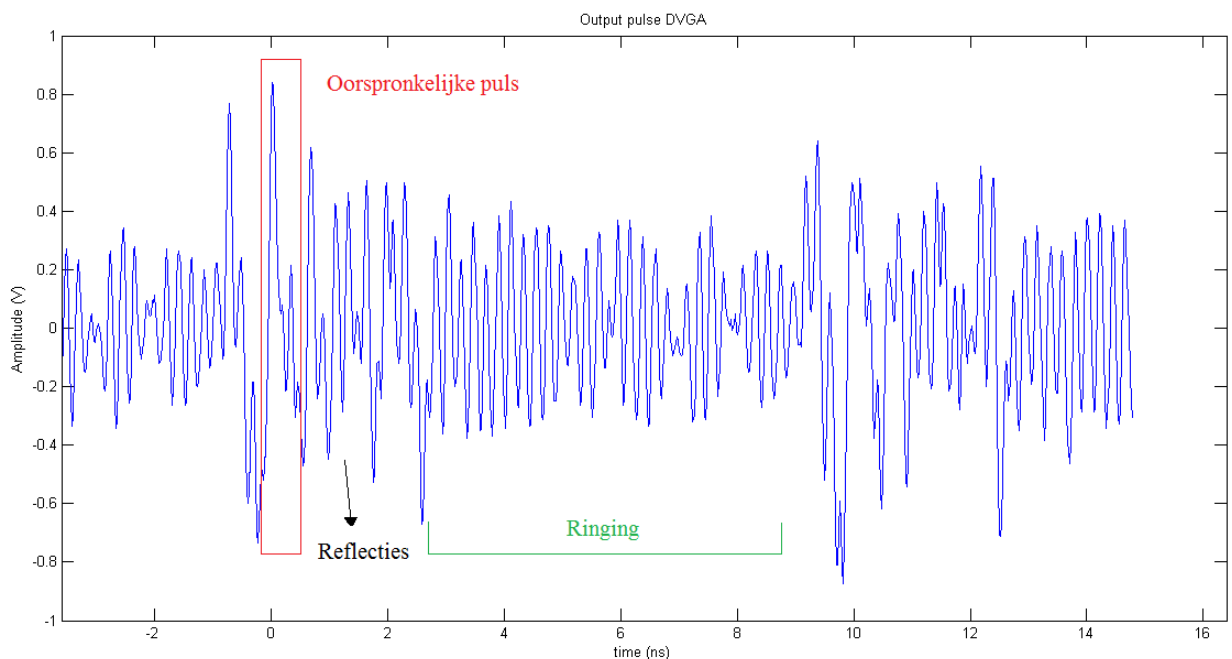


*Figuur 3-31: Spectrum aangelegde UWB-puls*

### 3.3.4.1 DVGA1-242+

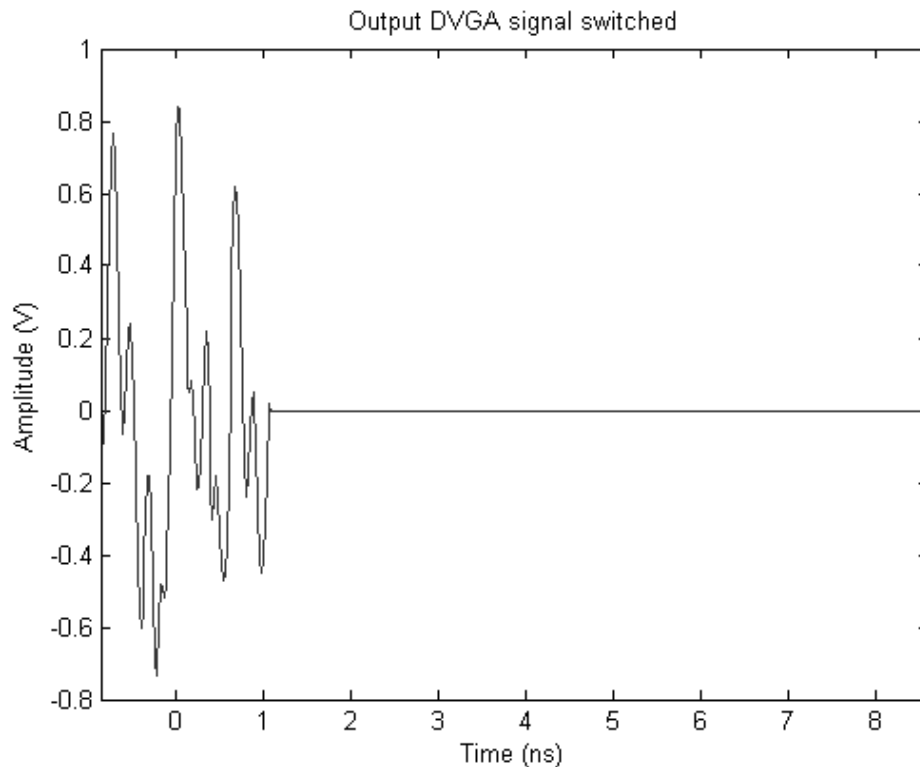
In dit deel wordt de puls uit de versterker voor de mixer, DVGA1-242+, besproken. In Figuur 3-32 is deze puls te zien. Men merkt meteen dat de originele puls amper terug te vinden is. Er is veel vervorming en ongewenst signaal toegevoegd. Dit heeft twee oorzaken, namelijk reflecties en ringing. Eerst zullen de reflecties worden besproken. Deze zijn belangrijker, omdat ze rond het gebied van de oorspronkelijke puls optreden. Het is dus niet mogelijk deze te verwijderen met bijvoorbeeld een schakelaar. Algemeen kan men stellen dat reflecties afkomstig zijn van een niet perfect getermineerde transmissielijn. De transmissielijnen die op de testprinten gebruikt worden, hebben een impedantie van  $50\Omega$ . Wanneer deze niet afgesloten worden met dezelfde impedantie, treden er reflecties op. Men kan nu het pad van de puls doorlopen om de oorzaak van deze reflecties te vinden. Op deze testprint zal de puls enkel doorheen de versterker, DVGA1-242+, en de mixer gaan. Bij de bespreking van deze componenten werd gezien dat deze intern gematcht zijn op een impedantie van  $50\Omega$ . Maar deze componenten werken normaal bij smalbandige en continue signalen. In deze masterproef worden echter korte pulsen, met een breed frequentiespectrum, gebruikt. De eigenschappen in de datasheet van de componenten zijn dan waarschijnlijk niet meer geldig. Met andere woorden, indien de componenten intern niet meer gematcht zijn op  $50\Omega$  geven deze reflecties op de lijn. Een andere oorzaak van deze reflecties ligt bij de filters. In paragraaf 3.3.3.1 werd het aansluitschema van de DVGA1-242+ besproken. Hierin werd vermeld dat er koppelcondensatoren en filters geplaatst moesten worden. De impedantie van deze condensatoren en spoelen zal geen  $50\Omega$  zijn. Met andere woorden, op die plaatsen ziet de UWB-puls plots een andere impedantie. Deze mismatch zal ook voor de reflecties zorgen.

Een tweede oorzaak is de ringing. De oorsprong van deze ringing werd al uitvoerig besproken in paragraaf 3.1.3. In die paragraaf werd ook aangehaald dat het ringing-sigitaal enkel voorkomt op de momenten dat de FPGA geen puls uitgestuurd. Anders gezegd, het ligt dus veel verder van de UWB-puls dan de reflecties. Daarom kan dit signaal ook veel eenvoudiger verwijderd worden, bijvoorbeeld met een schakelaar.



Figuur 3-32: Puls aan uitgang van DVGA1-242+

Zoals vermeld, kan een schakelaar gebruikt worden voor het verwijderen van dit ringingsignaal. Het effect van deze schakelaar kan gesimuleerd worden door hetingangssignaal te vermenigvuldigen met een rechthoekfunctie. De gevolgen hiervan zijn te zien in Figuur 3-33. Hierin kan men duidelijk zien dat de schakelaar een zeer gunstig effect heeft op het tijdsdomeinsignaal. Het ringingsignaal is namelijk voor het grootste deel verdwenen. De vervorming is nu bijna enkel afkomstig van de reflecties. Door het verwijderen van de ringing zal het signaal een grotere SNR bezitten. De positieve effecten van een grotere ruisverhouding werden al besproken in paragraaf 3.3.3.



*Figuur 3-33: Puls aan uitgang van DVGA1-242+ met schakelaar*

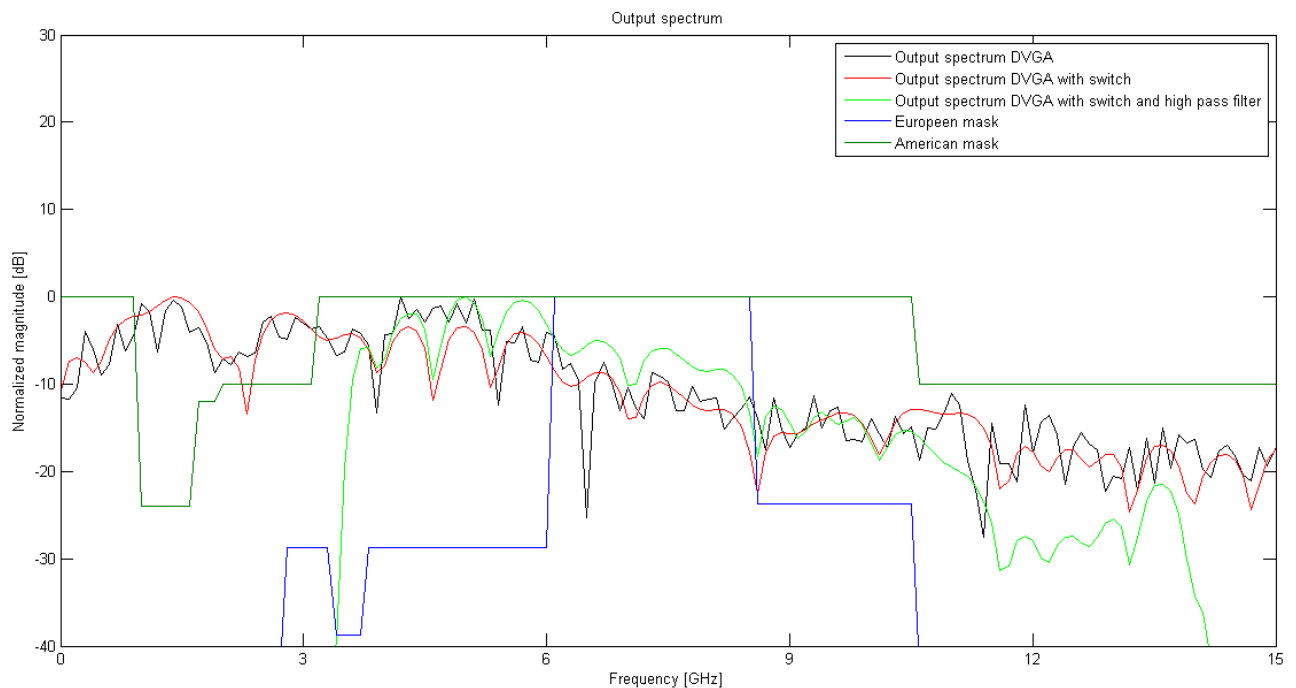
Bovenstaande signalen kan men nu ook gaan bekijken in het frequentiedomein. Dit is te zien in Figuur 3-34. Op deze figuur zijn ook de wettelijke maskers getekend. De donkergroene lijn stelt het Amerikaanse masker voor. Het Europese masker wordt voorgesteld door de blauwelijn. Het uiteindelijke doel is het pulsspectrum aan deze maskers te laten voldoen.

Een eerste spectrum dat getekend is, is de puls opgemeten van het testprintje, cfr. Figuur 3-32. Dit spectrum is in onderstaande figuur voorgesteld door de zwarte lijn. Men kan hier zien dat dit spectrum vrij grillig is, maar vooral dat het niet voldoet aan het wettelijke masker. Op de lagere frequenties, vanaf 3GHz, bezit dit signaal een groter vermogen dan toegelaten. Het vermogen van de rest van het signaal ligt wel onder het wettelijke maximum.

Vervolgens kan men het signaal na de schakelaar in het frequentiedomein tonen. In het tijdsdomein is dit het signaal in Figuur 3-33. In onderstaande figuur is het spectrum voorgesteld door de rode lijn. Men ziet hier dat het spectrum zonder schakelaar (zwarte lijn) en dit van met de schakelaar ongeveer overeen komen. Dit is natuurlijk logisch, omdat het hetzelfde signaal is. Er is enkel een deel ringing weggehaald. Men kan echter nog opmerken dat het tweede spectrum wat meer afgevlakt is. Dit kan men ook

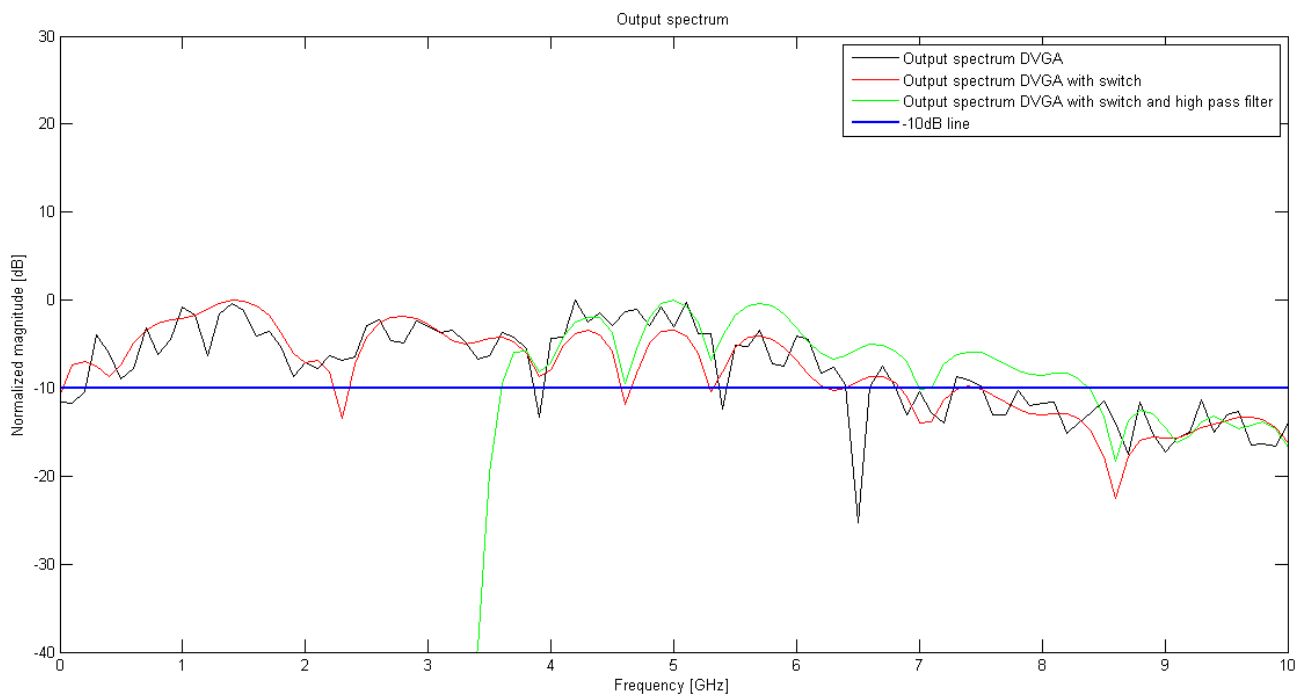
eenvoudig verklaren. Bij de simulatie van de schakelaar werd het signaal in het tijdsdomein vermenigvuldigd met een rechthoekfunctie. Na een fouriertransformatie wordt een vermenigvuldiging een convolutie en een rechthoekfunctie een sinc functie. Dus in het frequentiedomein wordt het oorspronkelijke signaal geconvolveerd met een sinc functie. Dit zal een uitsmerend effect hebben. Hierdoor heeft het spectrum met schakelaar een geleidelijker verloop dan het oorspronkelijke spectrum. Dit geleidelijker verloop zorgt er ook voor dat het spectrum iets slechter is dan het originele. Het spectrum ligt iets hoger dan het originele spectrum. Hierdoor voldoet het spectrum iets minder goed aan het wettelijke masker, en dit vooral aan de lagere frequenties. In deze figuur is dit effect niet zo goed te zien, maar dit effect kan men zeer goed zien in volgende paragraaf, waar de metingen en simulaties van de Gali-1+ worden besproken. Een tweede effect van de schakelaar is een forse daling van de energie op de centerfrequentie. Zoals in paragraaf 3.1.1 al vermeld zal de VCO oscilleren op ongeveer 4,7GHz. De energiedaling is op onderstaande figuur dan te zien in de dip juist onder de 5GHz. Eerder was al opgemerkt dat de schakelaar een grote verbetering gaf in het tijdsdomein. Nu merkt men dat een schakelaar zorgt voor een kleine verslechtering in het frequentiespectrum. Algemeen wordt het signaal veel beter in het tijdsdomein met en kleine verslechtering in het frequentiedomein. Hieruit kan men besluiten dat een schakelaar een goed effect heeft op de UWB-puls.

Beide spectra, met en zonder schakelaar, voldoen nog steeds niet aan het wettelijke masker. Om aan dit masker te voldoen, kan men een hoogdoorlaat filter gebruiken. Deze filter zal de frequenties vanaf 3,1GHz moeten verzwakken. Dit is ook de frequentie waarop het toegelaten vermogen van het Amerikaanse masker zal dalen. De filter die gebruikt zal worden, werd al besproken in paragraaf 3.1.9. Hierin werd vermeld dat deze filter een afsnijfrequentie heeft van 3,5GHz. Verder heeft deze een bandbreedte van 9,8GHz. Het effect van deze filter is voorgesteld door de licht groene lijn in onderstaande figuur. Men ziet nu dat de lagere frequenties, vanaf 3,5GHz, en de hogere frequenties, vanaf 9,8GHz, verzwakt worden. De filter zorgt ervoor dat het bekomen spectrum nu wel voldoet aan het wettelijke masker.



Figuur 3-34: Puls spectra aan uitgang DVGA1-242+ met maskers

Een laatste eigenschap van de maskers is de -10dB bandbreedte. Deze kunnen achterhaald worden door bovenstaande maskers te tonen ten opzichte van een -10dB lijn. Dit is gedaan in Figuur 3-35. In deze figuur kan men de verschillende bandbreedtes aflezen. Eerst zal de bandbreedte van de puls die uit de mixer komt, bepaald worden. Op onderstaande figuur is dit de zwarte lijn. Dit spectrum ligt boven de -10dB lijn van 0,2GHz tot 6,4GHz. Dit geeft een bandbreedte van 6,2GHz. Vervolgens wordt dit signaal geconvolveerd met een sinc functie. Dit door, zoals hierboven al uitgelegd, een schakelaar over het tijdsdomeinsignaal te plaatsen. De uitkomst van deze bewerking is te zien in de rode lijn op onderstaande figuur. Dit spectra zal boven de -10dB lijn liggen van 0,1GHz tot 6,2GHz. Dit geeft een bandbreedte van 6,1GHz. Zoals men al kon opmaken uit de figuur, komt dit zeer goed overeen met de bandbreedte van de zwarte lijn. Om nu aan het wettelijke masker te voldoen, wordt over dit spectrum nog een hoogdoorlaat filter geplaatst. In onderstaande figuur geeft dit het groene spectrum. Dit spectrum zal boven de -10dB lijn liggen van 3,6GHz tot 8,4GHz. Dit geeft een bandbreedte van 4,8GHz. Dit is beduidend minder dan de spectra zonder filter, omdat een deel van het spectrum weggefilterd wordt. Dit verlies kan verminderd worden door het oorspronkelijke spectrum naar nog hogere frequenties op te schuiven. De bandbreedte van de zwarte en rode spectra zullen dan naar een hogere frequentie schuiven, waardoor er minder weggefilterd zal moeten worden om aan het wettelijke masker te voldoen. Om dit te realiseren zal er een VCO gebruikt moeten worden die aan hogere frequenties kan oscilleren dan de 4,8GHz die in deze masterproef gebruikt wordt. In paragraaf 3.1.1 werd al vermeld dat er momenteel betere VCO's bestaan.

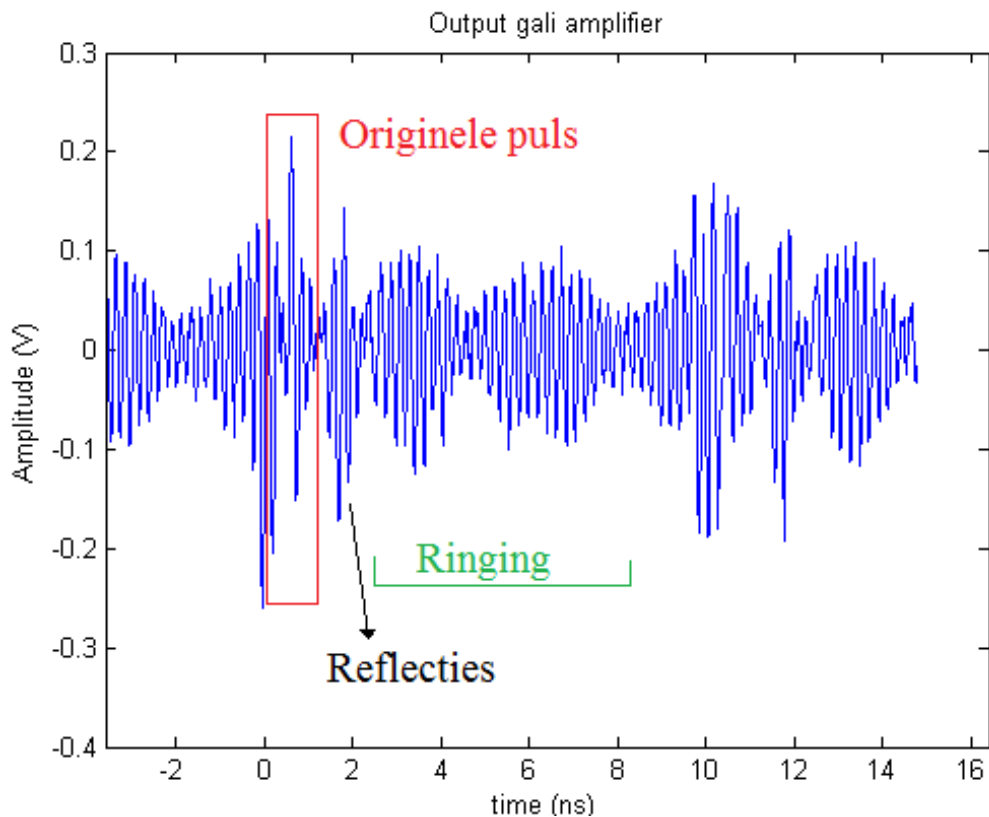


Figuur 3-35: Puls spectra aan uitgang DVGA1-242+ met -10dB bandbreedte

### 3.3.4.2 Gali-1+

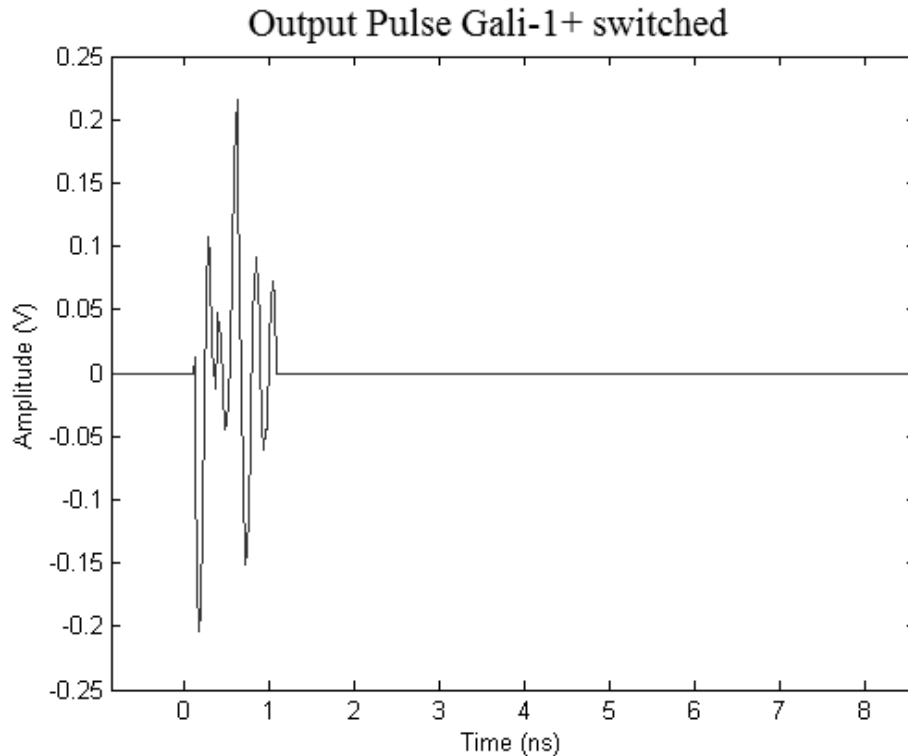
In deze paragraaf worden de metingen en simulaties van de versterker na de mixer besproken, Gali-1+. In Figuur 3-36 is de puls uitgestuurd door dit circuit te zien. Zoals bij de DVGA1-242+ is ook deze puls amper te herkennen. Er treden weer veel vervormingen en stoorsignalen op. Deze bestaan uit twee delen, namelijk de reflecties en de ringing. Zoals in vorige paragraaf al uitgelegd werd, treden reflecties op wanneer een transmissielijn niet met de juiste impedantie afgesloten wordt. Wanneer men het traject van de puls bekijkt, ziet men dat deze eerst door de mixer gaat, vervolgens moet deze nog eens door de versterker. In de bespreking van de componenten werd opgemerkt dat beide intern gematcht zijn op een impedantie van  $50\Omega$ . Zoals in vorige paragraaf moet hier weer opgemerkt worden dat deze componenten normaal werken bij smalbandige en continue signalen. Omdat hier korte pulsen worden gebruikt zijn deze waarden niet meer geldig. Hierdoor kan de transmissielijn afgesloten worden met een impedantie verschillende van  $50\Omega$ , wat reflecties veroorzaakt. Een tweede oorzaak van de reflecties zijn weer de filters. In paragraaf 3.3.3.2 werd het aanbevolen aansluitschema van de Gali-1+ getoond. Hierin werd vermeld dat er filters ontworpen moeten worden om geen stoorsignalen naar de voedingsspanning door te koppelen. De condensatoren en spoelen van deze filters zullen weer geen impedantie van  $50\Omega$  bezitten. Hierdoor ziet de UWB-puls een plotse verandering van impedantie, waardoor er reflecties optreden. Deze reflecties treden weer op relatief dicht bij de UWB-puls. Hierdoor zijn ze moeilijk te verwijderen met bijvoorbeeld een schakelaar.

Een tweede bron van storingen is de ringing. Deze ringing is afkomstig van de mixer, en werd in vorige hoofdstukken al uitvoerig besproken. Omdat de ringing enkel optreedt wanneer de FPGA geen puls uitstuurt, ligt deze veel verder van de UWB-puls als de reflecties. Daarom is deze eenvoudiger te verwijderen. Dit kan bijvoorbeeld gedaan worden met een schakelaar.



Figuur 3-36: Puls aan uitgang van Gali-1+

Men kan deze schakelaar nu simuleren door bovenstaand signaal te vermenigvuldigen met een rechthoekfunctie. Dit geeft het signaal in Figuur 3-37. Door een schakelaar over deze puls te zetten is quasi heel het ringingsignaal verdwenen. Hierdoor wordt het tijdsdomeinsignaal veel beter. Er wordt namelijk een grotere SNR bekomen. Zoals in paragraaf 3.3.3 al gesteld, heeft dit positieve gevolgen op onder andere de kanaalcapaciteit voor communicatietoepassingen.



*Figuur 3-37: Puls aan uitgang van Gali-1+ met schakelaar*

Vervolgens kan men bovenstaande signalen tonen in het frequentiedomein. Dit is te zien in Figuur 3-34. Op deze figuur zijn ook de wettelijke maskers getekend. De donkergroene lijn stelt het Amerikaanse masker voor. Het Europese masker wordt voorgesteld door de blauwe lijn. Het uiteindelijke doel is het pulsspectrum aan deze maskers te laten voldoen.

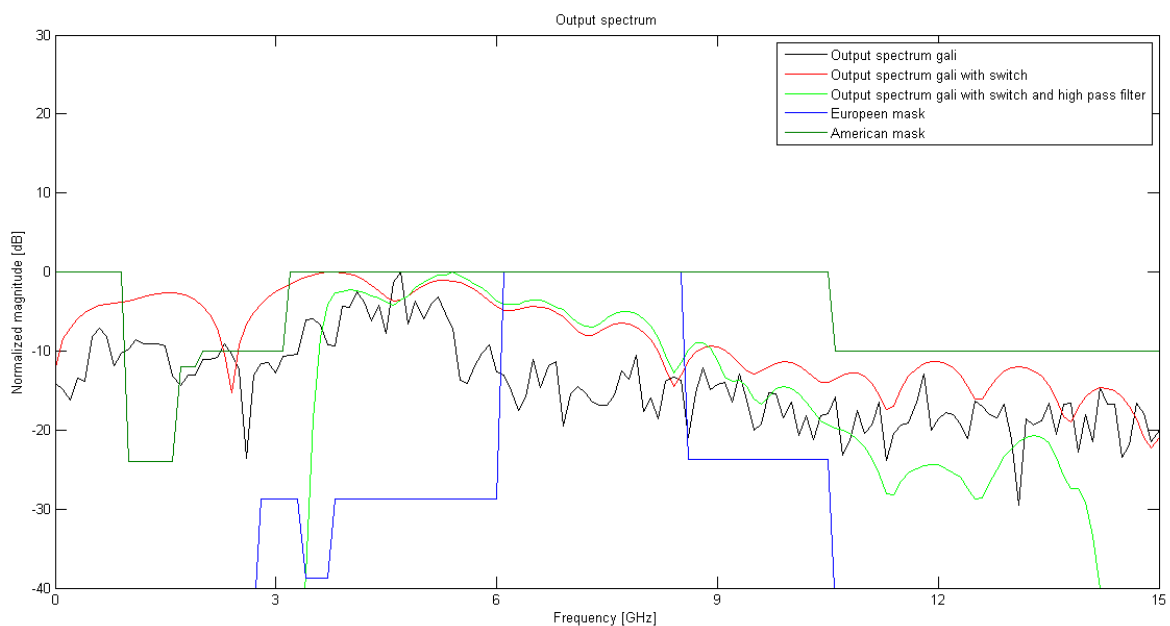
Een eerste masker dat besproken zal worden, is dit van het signaal dat uit de Gali-1+ komt. In het tijdsdomein is dit het signaal uit Figuur 3-36. In onderstaande figuur is het spectrum voorgesteld door de zwarte lijn. Men kan hierbij opmerken dat het spectrum vrij grillig is. Verder voldoet het spectrum vrij goed aan het wettelijke masker. Enkel tussen 0,9GHz en 1,7GHz zit het spectrum boven het wettelijk toegelaten maximum.

Vervolgens kan men het signaal na de schakelaar in het frequentiedomein voorstellen. In onderstaande figuur is dit de rode lijn. De tijdsdomeinvoorstelling is te zien in Figuur 3-37. Men ziet dat dit spectrum ongeveer overeenkomt met het oorspronkelijke spectrum (zwarte lijn). Dit is logisch, want op een deel ringing na zijn deze twee signalen identiek. Verder kan men opmerken dat het rode spectrum wat meer afgevlakt is. Dit heeft weer dezelfde oorzaak als in bovenstaande paragraaf. Bij simulatie van de schakelaar wordt er vermenigvuldigd met een rechthoekfunctie. In het frequentiedomein geeft dit een convolutie met een sinc functie. Deze convolutie zorgt voor een uitsmerend effect. Hierdoor verloopt het rode spectrum geleidelijker dan het



oorspronkelijke rode spectrum. Dit geleidelijker verloop zorgt voor een kleine verslechtering in het spectrum. Als men naar de lagere frequenties kijkt, ziet men dat er nu tussen ongeveer 0,9GHz en 3,2GHz niet aan het masker voldaan wordt. Voor de schakelaar was dit nog maat tussen 0,9GHz en 1,7GHz. Dit effect werd ook al besproken in vorige paragraaf. In onderstaande figuur is dit effect veel duidelijker dan in Figuur 3-34. Een tweede effect dat optreedt na de schakelaar is de daling van de energie van de centerfrequentie. Dit is op onderstaande figuur duidelijk te zien in de dip rond de 4,7GHz. Hierboven was al vermeld dat de schakelaar een goede verbetering gaf voor het signaal in het tijdsdomein. Men bekomt namelijk een betere SNR. Nu merkt men echter dat een schakelaar zorgt voor een kleine verslechtering in het frequentiespectrum. Algemeen wordt het signaal veel beter in het tijdsdomein met een kleine verslechtering in het frequentiedomein. Hieruit kan men besluiten dat een schakelaar een goed effect heeft op de UWB-puls.

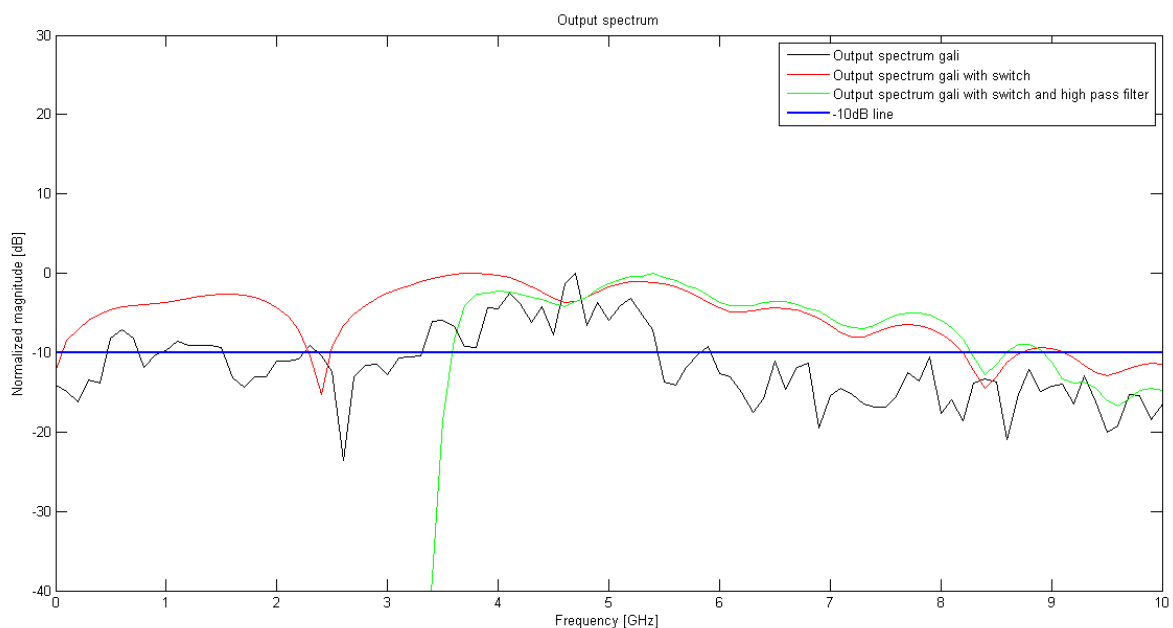
Door de verslechtering in het tijdsdomein voldoet het spectra niet aan het wettelijke masker. In de figuur ziet men dat de lagere frequenties verzwakt moeten worden. Daarom wordt er na de schakelaar een hoogdoorlaat filter geplaatst. Deze filter werd besproken in paragraaf 3.1.9 en zal alle signalen kleiner dan 3,5GHz verzwakken. Verder heeft deze filter een bandbreedte van 9,8GHz. De signalen op een hogere frequentie zullen nu ook verzwakt worden. Dit effect is duidelijk te zien in de licht groene lijn op onderstaande figuur. Door de filter is nu een spectrum bekomen dat volledig voldoet aan het wettelijke masker.



*Figuur 3-38: Puls spectra aan uitgang van Gali-1+ met maskers*

Ten slotte kan men de -10dB bandbreedte van de maskers gaan bepalen. In Figuur 3-39 kan deze bepaald worden. Hier worden bovenstaande maskers getoond ten opzichte van een -10dB lijn. Eerst zal de bandbreedte van de puls die uit de Gali-1+ versterker komt, bepaald worden. Op onderstaande figuur is dit de zwarte lijn. Dit spectrum ligt boven de -10dB lijn van 3,3GHz tot 5,4GHz. Dit geeft een bandbreedte van 2,1GHz. Voor het verwijderen van de ringing zal de puls uit de versterker vermenigvuldigd worden met een rechthoekfunctie. In het tijdsdomein geeft dit een convolutie met een sinc functie. De uitkomst van deze bewerking is te zien in de rode lijn op onderstaande figuur. Dit spectra zal boven de -10dB lijn liggen van 0,1GHz tot

8,2GHz. Dit geeft een bandbreedte van 8,1GHz. Dit is beduidend meer dan het spectrum voor de schakelaar. Deze grote verbetering heeft uitsluitend te maken met het uitsmerend effect van de sinc functie. Vervolgens wordt er een hoogdoorlaat filter over dit spectrum geplaatst. Dit om nu aan het wettelijke masker te voldoen. In onderstaande figuur geeft dit het groene spectrum. Dit spectrum zal boven de -10dB lijn liggen van 3,6GHz tot 8,3GHz. Dit geeft een bandbreedte van 4,7GHz. Weer is dit beduidend minder dan de spectra zonder filter. De oorzaak ligt weer bij het wegfilteren van een deel van het spectrum om aan het wettelijke masker te voldoen. Dit verlies kan verminderd worden door het oorspronkelijke spectrum naar nog hogere frequenties op te schuiven. De bandbreedte van de zwarte en rode spectra zullen dan naar een hogere frequentie schuiven, waardoor er minder weg gefilterd zal moeten worden om aan het wettelijke masker te voldoen. Om dit te realiseren, zal er een VCO gebruikt moeten worden die aan hogere frequenties kan oscilleren dan de 4,8GHz die in deze masterproef gebruikt wordt. In paragraaf 3.1.1 werd al vermeld dat er momenteel betere VCO's bestaan.



*Figuur 3-39: Puls spectra aan uitgang van Gali-1+ met -10dB bandbreedte*

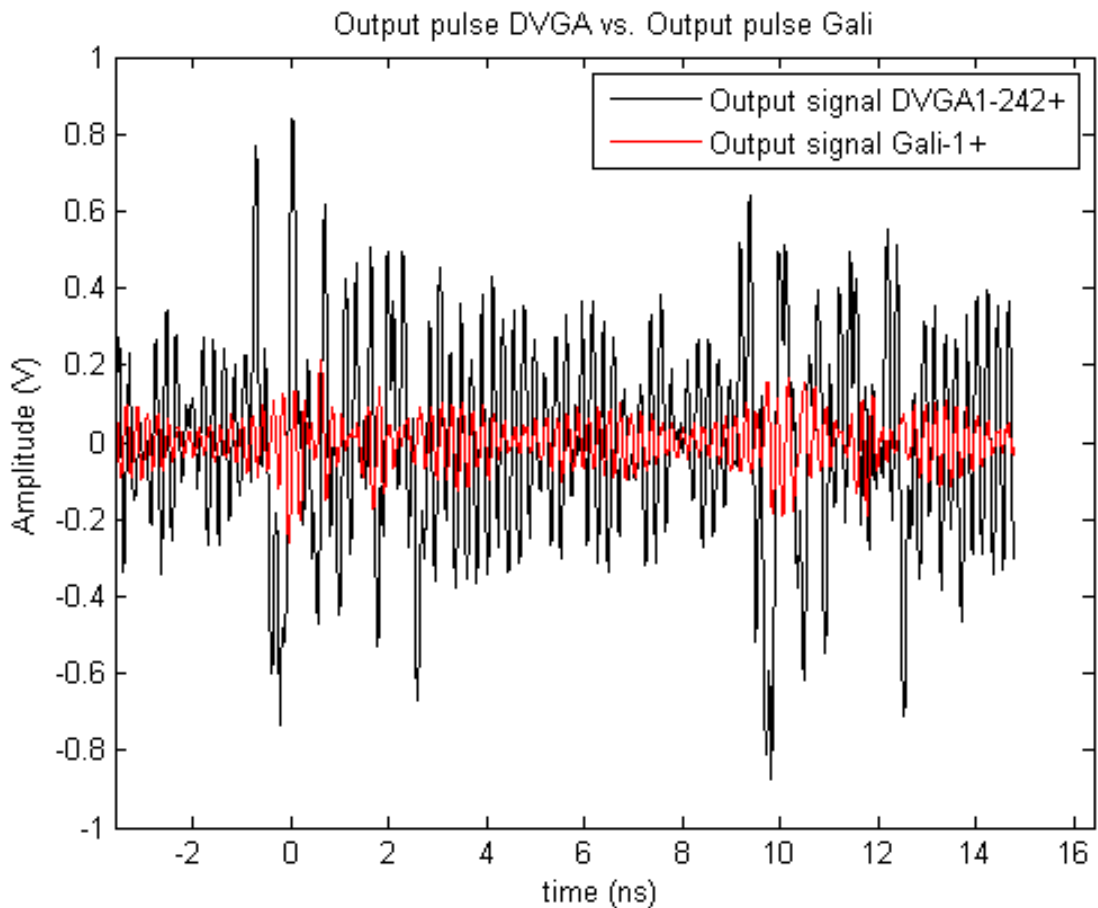
### 3.3.4.3 Vergelijking versterkers

In bovenstaande paragrafen werden de meet- en simulatieresultaten van beide versterkers toegelicht. Nu moet men nog bepalen welke versterker de beste resultaten geeft. In deze paragraaf worden de resultaten uit bovenstaande paragrafen naast elkaar gelegd. Hieruit kan men besluiten welke versterker de beste effecten heeft.

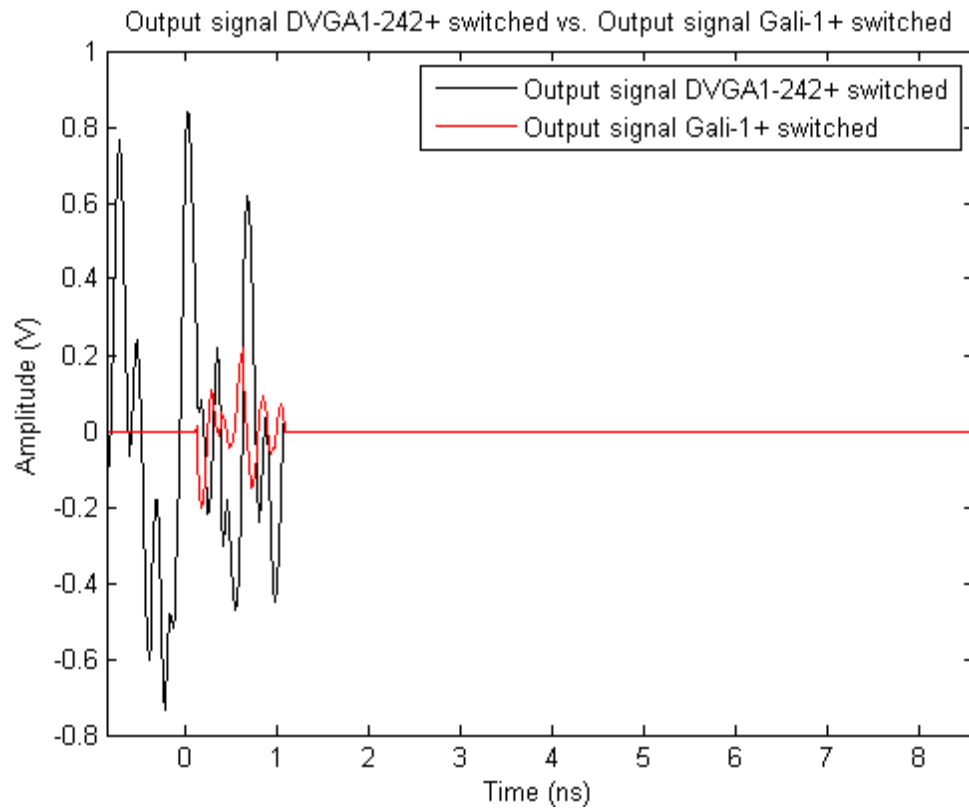
Eerst zal het tijdsdomein signaal van beide versterkers worden bekeken. Dit is voorgesteld in Figuur 3-40. Hierin stelt de zwarte lijn de puls uit de DVGA1-242+ voor, dit is de versterker voor de mixer. De puls uit de Gali-1+, versterker na de mixer, wordt voorgesteld door de rode lijn. Bij de bespreking van deze componenten (cfr. 3.1.4 en 3.1.5) kan men de versterking van deze componenten vinden. De DVGA1-242+ is een instelbare versterker. Maar voor deze metingen werd de maximale versterking van 30dB gebruikt. Dit is veel meer in vergelijking met de Gali-1+. Deze heeft slechts een versterking van 12dBm. Dit verschil is ook direct duidelijk dat de puls in onderstaande figuur.

Qua vorm in het tijdsdomein zijn beide signalen niet echt goed. Beide bezitten veel stoorsignalen, dit onder de vorm van reflecties en ringing. De ringing van de Gali-1+ versterker is relatief slechter. Dit omdat deze versterker na de mixer staat. Hierdoor zal de ringing, afkomstig van de mixer, ook mee versterkt worden. De UWB-puls en het ringingsignaal liggen in dezelfde grotenorde. Dit is duidelijk te zien op onderstaande figuur. Dit alles is in tegenstelling tot de ringing van de DVGA1-24+ versterker. Deze versterker staat voor de mixer, hierdoor wordt het ringingsignaal niet mee versterkt. In de zwarte lijn is er wel een duidelijker verschil in amplitude tussen de UWB-puls en het ringingsignaal.

Zoals hierboven al vermeld, kan dit ringingsignaal verwijderd worden met een schakelaar. De simulaties hiervoor zijn hierboven weergegeven. Hierdoor moet de relatief kleinere ringing van de puls na de DVGA1-242+ in perspectief genomen worden. Uiteindelijk zullen beide signalen na de schakelaar, op een verschil in amplitude na, met elkaar vergelijkbaar zijn. Dit is te zien in Figuur 3-41.

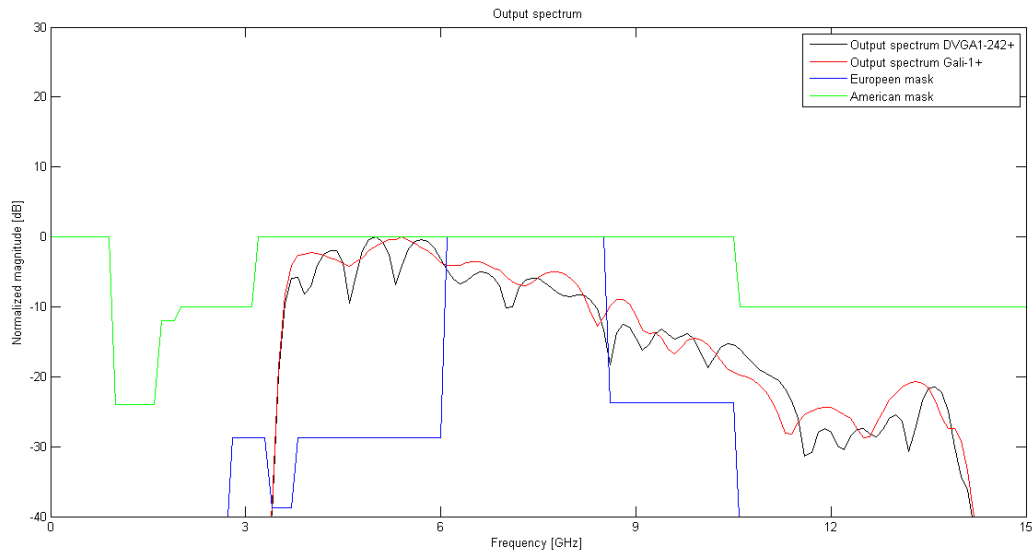


*Figuur 3-40: Puls DVGA1-242+ t.o.v. Puls Gali-1+*



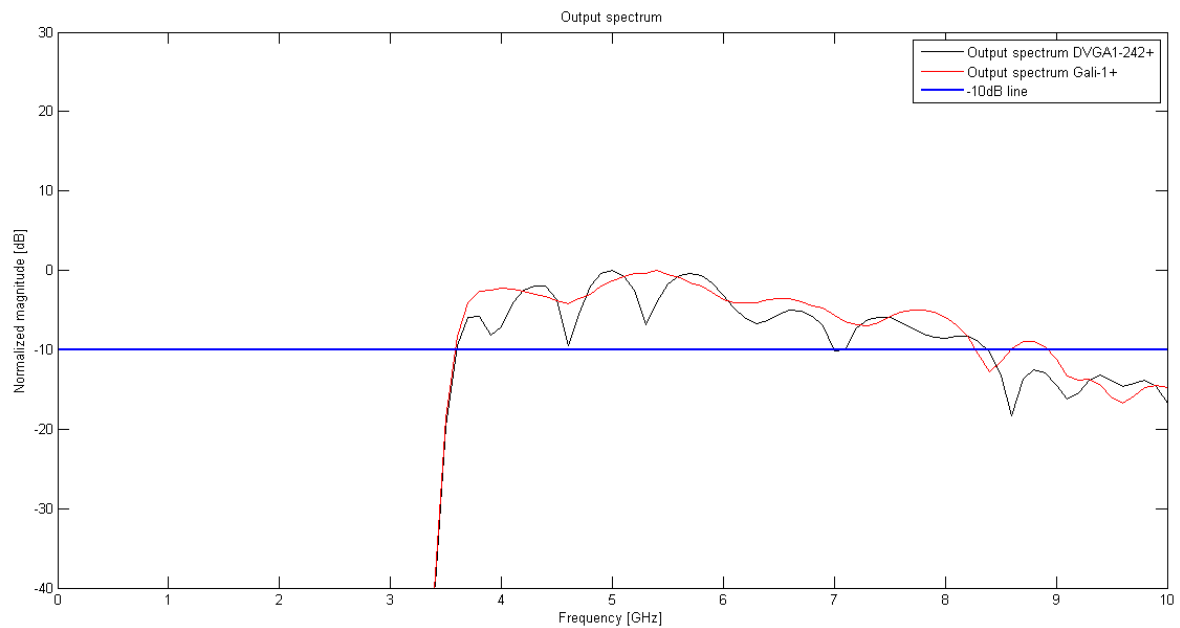
*Figuur 3-41: Puls DVGA1-242+ met schakelaar t.o.v. Puls Gali-1+ met schakelaar*

Vervolgens kan men beide pulsen gaan vergelijken in het frequentiedomein. In Figuur 3-42 wordt het spectrum gegeven van de signalen na beide versterkers. Deze spectra zijn deze van de pulsen na de schakelaar en filter en zijn beide genormaliseerd ten opzichte van hun maximum. De rode lijn is deze van de Gali-1+ versterker. De zwarte lijn stelt de DVGA2-242+ versterker voor. Beide signalen zullen een gelijkaardig verloop kennen. Toch kan men opmerken dat het spectrum van de Gali-1+ versterker een iets geleidelijker verloop kent. Dit geleidelijker verloop zorgt gemiddeld gezien voor een grotere amplitude ten opzichte van het DVGA1-242+ spectrum. Dit is vooral duidelijk in het gebied tussen de 3,5GHz en 9GHz. Vermits dit laatstgenoemde gebied pal in het werkingsgebied van UWB ligt, kan men besluiten dat de Gali-1+ licht betere resultaten kan geven.



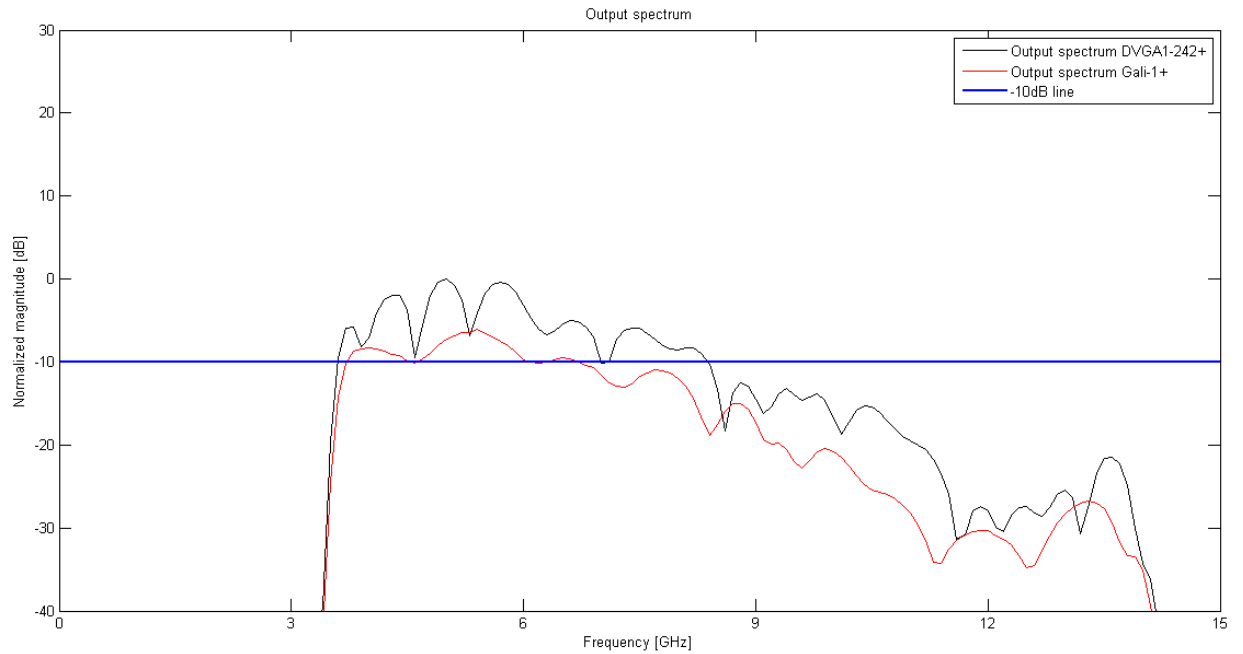
*Figuur 3-42: Spectrum puls DVGA1-242+ t.o.v. Spectrum puls Gali-1+ met maskers*

Een laatste vergelijking kan gemaakt worden in de bandbreedte van beide signalen. Hiervoor worden beide spectra na de filter ten opzichte van een -10dB lijn geplaatst. Dit is te zien in Figuur 3-43. Hierin kan men ook bovenstaande conclusie terugvinden. Het spectrum van de Gali-1+ versterker kent een iets geleidelijker verloop, waardoor er gemiddeld gezien een groter signaal uitgestuurd wordt. Wanneer men naar de bandbreedte kijkt, zit hierop nauwelijks een verschil. De puls van de DVGA1-242+ versterker bezit een bandbreedte van 4,8GHz. Terwijl het spectrum van de Gali-1+ puls een bandbreedte van 4,7GHz bezit. Zoals uit de figuur blijkt, zijn deze verschillen verwaarloosbaar. Hieruit kan men eens te meer zien dat beide signalen vrij gelijkaardig zijn.



*Figuur 3-43: Spectrum puls DVGA1-242+ t.o.v. Spectrum puls Gali-1+ bandbreedte*

In bovenstaande bespreking werden de spectra steeds genormaliseerd ten opzichte van hun maximum. Maar eerder in dit hoofdstuk kon men al opmerken dat beide versterkers een verschillende versterking hebben. Dit kan aangetoond worden door beide spectra weer te geven en beide te normaliseren ten opzichte van het maximum van het spectrum van de DVGA1-242+ versterker. Dit is te zien in Figuur 3-44. Hieruit blijkt duidelijk dat de DVGA1-242+ een grotere versterking, en dus ook een groter vermogen, zal uitsturen. Hieruit kan men dan besluiten dat de versterker DVGA1-242+ een beter resultaat geeft dan de versterker Gali-1+.



*Figuur 3-44: Spectrum puls DVGA1-242+ t.o.v. puls Gali-1+ beide genormaliseerd t.o.v. max. DVGA1-242+*

Hierboven werden twee conclusies getrokken. Een eerste conclusie werd getrokken wanneer beide signalen genormaliseerd werden ten opzichte van hun eigen maximum. Met andere woorden, het verschil in versterking van beide versterkers wordt weggewerkt. Hierdoor kunnen er conclusies getrokken worden over het uitgangsspectra van het gegenereerde signaal met een versterker voor- en na de mixer. Zoals hierboven al opgemerkt, zijn de verschillen tussen beide posities verwaarloosbaar. Een tweede conclusie werd getrokken wanneer beide signalen genormaliseerd waren ten opzichte van hetzelfde maximum. De verschillen in versterking van beide versterkers zijn nu wel zichtbaar. Hieruit kon men besluiten dat de versterker voor de mixer, DVGA1-242+, een beter spectrum zal genereren. Dit komt omdat het signaal uit de DVGA1-242+ een hogere energie bezit ten opzichte van het signaal uit de Gali-1+. Dit kan eenvoudig verklaard worden door de grotere versterking van deze versterker.

## BESLUIT

In deze masterproef werd een FPGA gebaseerde UWB-zender ontworpen. De UWB-puls wordt volledig digitaal opgewekt in de FPGA. Dit geeft een grotere flexibiliteit. Vervolgens wordt deze puls up-geconverteerd, dit om het spectrum meer aan het wettelijke masker te laten voldoen. Deze up-conversie heeft echter een groot nadeel, namelijk de introductie van ringing. Dit ringingsignaal zal vervolgens met behulp van versterkers en schakelaars verwijderd worden. Ten slotte wordt er een puls bekomen die volledig voldoet aan het wettelijke masker.

Eerst werd de VHDL-code besproken. Voor de start van deze masterproef was er reeds een werkende code die een UWB-puls genereerde van 700ps. In dit hoofdstuk werd een andere techniek uitgewerkt om deze pulslengte nog te verkleinen. In deze nieuwe techniek werd er gebruik gemaakt van een PLL ingebouwd in de FPGA. Na enkele metingen en berekeningen kon men besluiten dat deze techniek een minimale pulslengte van 1ns kan genereren. Deze beperking vloeide voort uit de beperkingen in de in te stellen parameters van de PLL. Men merkt dat deze minimale pulslengte slechter is dan de oorspronkelijke 700ps. Hierdoor kan men besluiten dat de generatie van een UWB-puls in een FPGA, met enkel een PLL, geen betere resultaten oplevert.

In het laatste hoofdstuk werd het ringingprobleem, samen met het niet voldoen aan wettelijk masker van de oorspronkelijke puls, aangehaald. Zoals eerder gesteld, is het ringingprobleem afkomstig van de mixer. Voor het verminderen van de hoeveelheid ringing werd er een versterker voor- en na deze mixer geplaatst. Beide technieken werden op PCB gemaakt zodat deze praktisch getest konden worden. In deze praktische test werd duidelijk dat de UWB-puls wel degelijk versterkt kon worden. Dit is een groot voordeel indien men een groter uit te zenden vermogen beoogt. Ook werd het ringingsignaal relatief kleiner ten opzichte van de uitgezonden UWB-puls. Met andere woorden, de ringing is relatief verkleind. Wanneer men beide plaatsen van de versterker, voor- en na de mixer, genormaliseerd naast elkaar legt, ziet men dat hier weinig verschillen in optreden. Beide signalen zijn gelijkaardig, waaruit men kan besluiten dat de plaats van de versterker weinig invloed heeft op het uiteindelijke signaal. Wel moet hierbij opgemerkt worden dat de versterker voor de mixer een beter absoluut resultaat geeft. Dit omdat deze component een grotere versterking bezit dan de versterker na de mixer. Rekening houdend dat de plaats van de mixer amper effect heeft, mag men besluiten dat de versterker voor de mixer verkozen kan worden dan de versterker na de mixer.

Het versterken van een UWB-puls heeft echter ook een keerzijde. Bij de versterkers zullen de transmissielijnen niet altijd correct gedetermineerd worden. Hierdoor worden er, boven op het reeds bestaande ringingsignaal, ook nog reflecties op het uitgangssignaal gesuperponeerd. Het grootste probleem bij deze reflecties is dat deze relatief dicht bij de UWB-puls optreden. Dat maakt het verwijderen van deze stoorsignalen extra moeilijk.

Vervolgens werd er getracht een deel van deze reflecties en het ringingsignaal te verwijderen met behulp van een schakelaar. Deze schakelfunctie werd gesimuleerd gebruik makende van matlab. Uit deze simulaties kon men opmerken dat de schakelaar een zeer gunstig effect had op het tijdsdomeinsignaal. Het grootste deel van de stuursignalen waren namelijk verdwenen. Enkel een deel van de stoorsignalen het dichtst bij de UWB-puls konden niet verwijderd worden door de schakelaar. Ook moest men voor deze grote verbetering in het tijdsdomein slechts een kleine prijs betalen in het frequentiedomein. Het spectrum werd namelijk deels uitgesmeerd, dit omdat de schakelaar voor een vermenigvuldiging met sinc-functie zorgde. Dit uitsmerend effect zorgde ervoor dat het bekomen spectrum nog slechter aan het wettelijke masker voldeed, al is dit slechts in beperkte mate. Hieruit mag aangenomen worden dat de schakelaar, in het algemeen, een gunstig effect heeft op de gevormde UWB-puls.

Ten slotte moest men ervoor zorgen dat het bekomen spectrum aan het wettelijke masker voldoet. Hiervoor werd er na de schakelaar een hoogdoorlaat filter gesimuleerd. Deze filter zal de laagste frequenties van het spectrum verzwakken, zodat ook hier aan het wettelijke masker wordt voldaan. Zo bekomt men een uitgangsspectrum met een -10dB bandbreedte van 4,8GHz. Dit van 3,6GHz tot 8,4GHz, wat net in het midden van het toegelaten masker ligt.



## LITERATUURLIJST

- [1] Federal Communications Commission. (s.a.) Gevonden op 14 november 2012 op het internet: <http://www.fcc.gov/>
- [2] Europese Unie, European Conference of Postal and Telecommunications Administrations (2008). Generic regulation for Ultra-Wideband (UWB) applications in Europe [Brochure]. S.I.: Publicatiebureau. Gevonden op 14 november 2012 op het internet: [http://www.anacom.pt/streaming/emmanuel\\_faussurier.pdf?contentId=760018&field=ATTACHED\\_FILE](http://www.anacom.pt/streaming/emmanuel_faussurier.pdf?contentId=760018&field=ATTACHED_FILE)
- [3] Strackx, M.; D'Agostino, E.; Leroux, P.; Reynaert, P., "Analysis of a digital UWB receiver for biomedical applications using equivalent-time sampling," *Radar Conference (EuRAD), 2011 European*, vol., no., pp.206,209, 12-14 Oct. 2011
- [4] Schwoerer J., Miscopein B., Uguen B. Ghais E. Z. (2010). A Discrete Fully Logical and Low-cost sub-nanosecond UWB Pulse Generator. IEEE: <http://ieeexplore.ieee.org/Xplore/guesthome.jsp>
- [5] Jeongwoo H., Cam N. (2002). A New Ultra-Wideband, Ultra-Short Monocycle Pulse Generator With Reduced Ringing. IEEE: <http://ieeexplore.ieee.org/Xplore/guesthome.jsp>
- [6] Cemin Z., Aly E. F. (2006). Reconfigurable Pico-Pulse Generator for UWB Applications. IEEE: <http://ieeexplore.ieee.org/Xplore/guesthome.jsp>
- [7] Fundamentals: FPGAs 101 — Part 1: Fundamental concepts (s.a.). Gevonden op het internet: [http://www2.electronicproducts.com/Fundamentals\\_FPGAs\\_101\\_Part\\_1\\_Fundamental\\_concepts-article-fundamentals\\_fpgas\\_part1\\_jul2011-html.aspx](http://www2.electronicproducts.com/Fundamentals_FPGAs_101_Part_1_Fundamental_concepts-article-fundamentals_fpgas_part1_jul2011-html.aspx)
- [8] Xilinx Spartan 6 datasheets/User guide. Gevonden op 2 september 2012 op het internet: <http://www.xilinx.com/support/documentation/spartan-6.htm>
- [9] Xilinx Spartan 6 Clocking Resources User guide. Gevonden op 2 september 2012 op het internet: <http://www.xilinx.com/support/documentation/spartan-6.htm>
- [10] Analog Devices. AD7376 [Datasheet]. S.I.: Publicatiebureau. Gevonden op het internet: [http://www.analog.com/static/imported-files/data\\_sheets/AD7376.pdf](http://www.analog.com/static/imported-files/data_sheets/AD7376.pdf)
- [11] Mini-Circuits. DVGA1-242+ [Datasheet]. S.I.: Publicatiebureau. Gevonden op het internet: <http://217.34.103.131/pdfs/DVGA1-242+.pdf>
- [12] Mini-Circuits. ROS-4781+ [Datasheet]. S.I.: Publicatiebureau. Gevonden op het internet: <http://217.34.103.131/pdfs/ROS-4781+.pdf>
- [13] Mini-Circuits. ROS-6840c-119+ [Datasheet]. S.I.: Publicatiebureau. Gevonden op het internet: <http://217.34.103.131/pdfs/ROS-6840C-119+.pdf>
- [14] Mini-Circuits. SIM-73L+ [Datasheet]. S.I.: Publicatiebureau. Gevonden op het internet: <http://217.34.103.131/pdfs/SIM-73L+.pdf>
- [15] Mini-Circuits. GALI-1+ [Datasheet]. S.I.: Publicatiebureau. Gevonden op het internet: <http://217.34.103.131/pdfs/GALI-1+.pdf>

- [16] Colerado.edu (s.a.). Metal-Semiconductor-Field-Effect-Transistor. Gevonden op 15 oktober 2012 op het internet: <http://ecee.colorado.edu/~bart/book/mesfet.htm>
- [17] Encyclopædia Britannica (s.a.). Orbitals. Gevonden op 4 februari 2013 op het internet: <http://www.britannica.com/EBchecked/topic/437337/p-orbital?overlay=true&assemblyId=646>
- [18] Avago-Technologies. ATF-58143 [Datasheet]. S.l.: Publicatiebureau. Gevonden op het internet: <http://www.avagotech.com/docs/AV02-0672EN>
- [19] Mini-Circuits. KSW-2-46+ [Datasheet]. S.l.: Publicatiebureau. Gevonden op het internet: <http://217.34.103.131/pdfs/KSW-2-46+.pdf>
- [20] Fairchild Semiconductor. FSA226 [Datasheet]. S.l.: Publicatiebureau. Gevonden op het internet: <http://www.fairchildsemi.com/ds/FS/FSA226.pdf>
- [21] Mini-Circuits. HFCN-3500+ [Datasheet]. S.l.: Publicatiebureau. Gevonden op het internet: <http://217.34.103.131/pdfs/HFCN-3500+.pdf>
- [22] Mini-Circuits. VHF-3500+ [Datasheet]. S.l.: Publicatiebureau. Gevonden op het internet:  
<http://217.34.103.131/MCLStore/ModelInfoDisplay?13649904862710.5920897333200246>
- [23] Nekoogar F. (2005). Introduction to Ultra-Wideband Communications. Ultra-Wideband Communications (Vol. 2, p. 1-16). Plaats: Prentice Hall.  
[http://ptgmedia.pearsoncmg.com/images/0131463268/samplechapter/0131463268\\_ch01.pdf](http://ptgmedia.pearsoncmg.com/images/0131463268/samplechapter/0131463268_ch01.pdf)
- [24] Maggio G. M. (2003). Introduction to UWB. PowerPoint-presentatie. Gevonden op: [http://inls.ucsd.edu/lev/ws2003/WS2003\\_UWB.pdf](http://inls.ucsd.edu/lev/ws2003/WS2003_UWB.pdf)

# BIJLAGE 1

## Paper

# Design of an FPGA based 3,6 – 8,3 GHz UWB Pulse Generator

B. Faes<sup>1</sup>, M. Strackx<sup>1,2</sup>, P. Leroux<sup>1,2</sup>

<sup>1</sup>Thomas More Kempen, MOBILAB-RELIC, Kleinhoefstraat 4, B-2440 Geel, Belgium

<sup>2</sup>K.U.Leuven, Dept. Elektrotechniek ESAT-MICAS, Kasteelpark Arenberg 10, B-3001 Leuven, Belgium

**Abstract**—In this paper a new kind of highly digital adjustable ultra-wideband transmitter (UWB) is introduced. The UWB pulse is generated by an FPGA. To get the pulse into the right frequency range, the generated spectrum is up-converted. Next two techniques are introduced to reduce the amount of ringing on the output signal. Combining amplifiers and switches, the reduction or elimination of the ringing has been demonstrated. Finally an UWB pulse with a 4,8GHz -10dB bandwidth and conform to the FCC mask is constructed.

**Index Terms**— ultra-wideband system, FPGA, pulse generator, transmitter, ringing reduction, UWB amplifying.

## I. INTRODUCTION

An UWB pulse generator is an essential element in UWB radar and communication applications. There are several different techniques to make an UWB pulse. For sub nanosecond pulse generators, a lot of papers are published using a step-recovery diode (SRD) [1] – [2]. A second way to produce an UWB pulse is with logical ports [3]. Most of these techniques have the advantage of a low ringing output signal. But all these techniques have the major disadvantage of a fixed pulse width and shape.

Designing a generator with tunable pulse length and shape is a great advantage. For example, a longer pulse with higher mean signal energy results in a smaller bandwidth. In communication applications it results in a smaller channel capacity, but a greater range. Now the pulse length can be adjusted to the application.

In this paper a new tunable UWB pulse generator is created. The pulse is digitally adjustable and generated by a field-programmable gate array (FPGA). To become a usable pulse generator, the pulse spectrum needs to be shifted towards higher frequencies. The shifting introduces ringing on the output. This ringing signal is unwanted, and has to be removed in a practical usable pulse generator. In his paper a few ways to reduce this ringing signal will be introduced.

In next chapter the generation of the pulse and the origin of the ringing will be discussed. Secondly, a few solutions to

remove the ringing will be shown and elaborated. Finally a UWB pulse with -10dB bandwidth of 4,8GHz is created.

## II. UWB PULSE GENERATION

### A. Generating pulse

As mentioned above, the UWB pulse is generated by an FPGA. These pulses are generated every 10ns, which results in a repeating frequency of 100MHz. In the FPGA a PLL is used to reduce the amount of jitter on the output. For this paper a jitter of 1ps was achieved, using a Xilinx Spartan 6 FPGA. The bandwidth of the generated pulse depends on the time-domain length of the generated pulse. Typically the pulse length is less than 1ns. For this paper an UWB pulse from 700ps is created. This pulse length results in a -10dB bandwidth of several GHz, which is sufficient considering most UWB applications. The spectrum of the generated pulse however, only starts from DC. When considering the FCC of ECC regulations, also called frequency masks, the center frequency of the generated pulse,  $f_1$ , is too low to fit these masks. To meet these regulations, the pulse-spectrum needs to be up-converted. This up-conversion is done by a frequency mixer. As a result, the center frequency of the generated spectrum is shifted towards higher frequencies. When shifted the right amount, the output-spectrum of the mixer now fits the FCC or ECC mask.

The frequency mixer will multiply the input-signal, which has an input-spectrum with center frequency  $f_1$ , and a sine wave at frequency  $f_2$ . This new frequency  $f_2$ , is generated by a VCO (Voltage Controlled Oscillator). This produces a sum- and difference frequency on the output of the mixer. This can be seen in equation 1. In this paper we are only interested in the sum frequency. The difference frequency can't even be used. In this paper  $f_2$  will always be bigger than the largest frequency in the input-spectrum. Therefore the difference frequencies will be negative ( $f_{INmax} - f_2 < 0$ ). Therefore, only the sum frequencies will be discussed. Now consider that the frequency  $f_2$  lies in the center of the FCC/ECC mask. The generated pulse-spectrum will now be shifted towards this frequency ( $f_{in} + f_2$ ), and so to the center of this mask.

### B. Ringing

The mixer leads us to a major problem within this technique. This problem can be understood by looking at the formula for the mixer. The mixer multiplies two signals. Using the formulas of Simpson, we can derive equation (1).

$$V_{out} = A_1 \sin(\omega_1 t) \cdot A_2 \sin(\omega_2 t)$$

$$V_{out} = \frac{1}{2} \cdot A_1 \cdot A_2 \cdot [\cos((\omega_1 - \omega_2)t) - \cos((\omega_1 + \omega_2)t)] \quad (1)$$

As mentioned above, the pulse is generated every 10ns, while the pulse length is approximately 1ns. The other 9ns there won't be an input signal. First let's consider the ideal case. When one of the input amplitudes ( $A_1$  or  $A_2$ ) equals zero, the output is zero. So when there is no input signal, there will be no output signal.

A practical mixer however has an amount of leakage. In the case that one input equals zero (e.g.:  $A_1 = 0$ ), the mixer leaks a small part of the second input signal ( $A_2$ ) to the output. So the 9ns when the FPGA doesn't generate an UWB pulse, the mixer still leaks some off the VCO signal to the output. So this leakage generates an oscillating signal, with frequency  $f_2$ , on the output of the mixer. This oscillating signal is unwanted and referred to as a ringing signal. In this paper the SIM-73+ mixer from Mini-Circuits is used.

## III. RINGING REDUCTION

Every UWB transmitter using a frequency mixer to shift the pulse-spectrum has ringing on the output. The origin of this ringing is explained above. In the introduction we explained that this ringing is unwanted and that it has to be removed as good as possible in a practical UWB pulse generator. In this section several techniques to reduce the amount of ringing on the output are discussed.

### A. Switches

A first way to reduce the ringing is by placing a switch after the mixer. The switch will be closed when the FPGA is sending an UWB pulse. The other 9ns the switch will be open. As a result, there will be no ringing on the output. This is the case when the leakage of the switch itself is neglected. For a practical application, the switch can also have some leakage. Then the ringing is reduced to the amount of leak from the switch. In most cases this leakage is an insignificant amount in comparison to the leakage of the mixer. So one can say, there will be no ringing on the output of the switch. An example of such a switch is the KWS-2-46+ from Mini-Circuits. This switch has an input-output isolation of 40dB. This is much more than the 23dB LO-RF isolation of the mixer (SIM-73+). From these figures one can conclude that a switch considerably reduces the amount of ringing on the output.

When one chooses a switch, one has to take several parameters into account. First the bandwidth of this switch has to be large enough. The pulse-spectrum at the input of the switch will already be up-converted. So the spectrum of the pulse lays from several GHz to several tens of GHz. The specific numbers depends on the pulse generated by the FPGA

and the oscillating frequency of the VCO. When the switch bandwidth isn't large enough, the pulse at the output will be distorted. A second parameter is the switching time. In the beginning of this paper, one can read that the FPGA generates an UWB pulse every 10ns. When every pulse is approximated 1ns long, the switch has to hold back the ringing during the

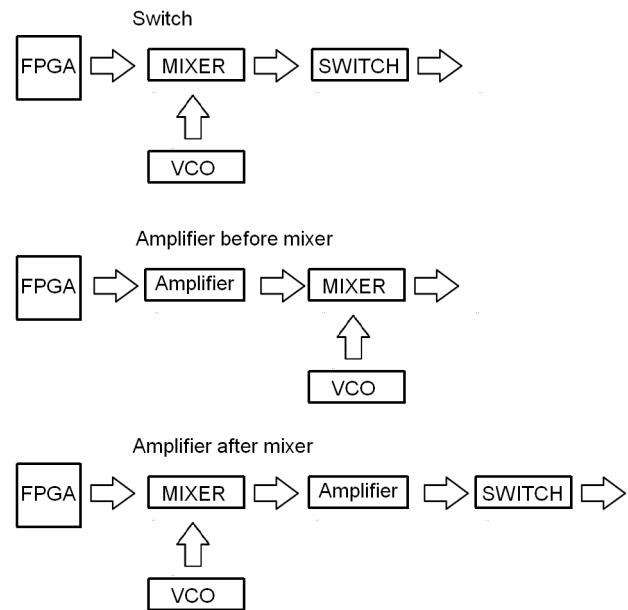


Fig. 1: Position switch and amplifiers

other 9ns. Now the time needed to switch off and on the switch has to be smaller than those 9ns.

The position of these switches is shown in the block diagram of Fig. 1.

### B. Amplifiers

A second way to reduce the amount of ringing is to use an amplifier. With this technique, the ringing isn't hold back or reduced to zero. Here the goal is to reduce the amplitude of the ringing signal with respect to the amplitude of the UWB pulse. The relative ringing reduction with amplifiers introduces another advantage. By amplifying the UWB pulse, the signal to noise ratio (SNR) is also increased. This larger SNR has several advantages. A larger SNR results in a larger channel capacity for communication applications, or a larger detecting radius for radar application.

Now the amplifier can be positioned in two places. The positions of the amplifiers are shown in the block diagram of Fig. 1.

#### 1) Before the mixer:

The amplifier is placed between the FPGA and the mixer. This amplification increases the amplitude of the UWB pulse signal on the IF side. The ringing signal, originated from the VCO, doesn't pass through this amplifier. As a result the amount of ringing becomes relatively smaller with respect to the output UWB pulse signal. This increases the SNR on the output of the generator. The major advantage of this configuration is the increased SNR. But this also comes with some disadvantages. In

this setup, the pulse generated by the FPGA needs to be amplified. As mentioned in the previous section, the spectrum of this signal starts from DC. When amplifying the RF signal, one has to design filters. First a low pass filter is needed to protect the power from RF-interference signals. Next, to protect the following components, the DC power-signal has to be removed from the amplified spectrum. This is done by a high-pass filter or a coupling capacitor. These two filters together form a bias tee. The problem with these filters, however, is that they attenuate the lower frequencies of the UWB pulse. As a result, the output spectrum is distorted when compared to the input spectrum.

For this configuration the DVGA1-242+ from Mini-Circuits is used. This is a digitally controllable RF amplifier with a maximum amplification of 30dB. This figure can be adjusted up to -1,5dB with steps of 0,5dB. Next this amplifier has a 3dB bandwidth up to 2.4GHz. This small bandwidth is the main reason this filter has to be placed before the mixer. The position of this amplifier is shown in the block diagram of Fig. 1.

## 2) After the mixer:

Here the amplifier is placed after the mixer, at the RF side of the frequency mixer. Now both the UWB pulse and the ringing signal are amplified by the same amount. As a result, the difference between the amplitudes of the UWB pulse and the ringing signal stays equal. So the SNR also stays equal. In first opinion, this technique is worthless. But this technique has to be seen in combination with a switch. As mentioned in section III.A, a practical switch can also have some leakage. If this leakage is too large to achieve a sufficient high SNR, the amplifier after the mixer can be used. Now the amplified UWB pulse becomes relatively larger than the leakage of the switch. So now the SNR on the output does increase, which was the goal. The disadvantage of this technique is that an amplifier and a switch have to be used. But in contrast with the technique above, this configuration has some great advantages. When amplifying the UWB pulse, again one has to design filters. First a low-pass filters to protect the power supply. Next a high pass filter or coupling capacitor to remove the DC power-signal. Now the UWB pulse that needs to be amplified already passed the frequency mixer. So the pulse-spectrum is already shifted to the higher frequencies. Because of this shift, the designed filters don't give as much distortion anymore. Now the lowest frequency in the spectrum is e.g.: 1GHz. So the cut-off frequency of the high-pass filter can be much higher, e.g. a few MHz's. This results in a greater suppression of the DC component and also won't distort the UWB pulse. This lack of distortion is the major advantage of this configuration.

For this configuration the GALI-1+ from Mini-Circuits is used. This is a fixed 12,2dBm amplifier with a bandwidth of 8GHz. The position of this amplifier is shown in the block diagram of Fig. 1.

## IV. MEASUREMENTS AND SIMULATIONS

In previous section several techniques to reduce the amount of ringing were discussed. Now, the measurements and simulations of these techniques are shown and evaluated. In part B of the previous section two positions to place an amplifier were explained. These two techniques were made on a PCB, so they could both be tested. This PCB is shown in Fig. 2. The measurements of these amplifiers are processed using matlab. In this section also the switching function will be simulated.

In section III, we explained one has to design filters when amplifying the UWB pulse. These filters introduce a new kind of interference. When using electromagnetic (EM) waves, one has to transport them through transmission lines. If these transmission lines aren't terminated with the characteristic impedance, reflections will be generated. One can then say the line isn't matched. The filters at the output of the amplifiers introduce such an unmatched line. Therefore reflections are generated. These reflections will easily be seen in the time-domain representation of the UWB pulse. This effect will be shown in next section.

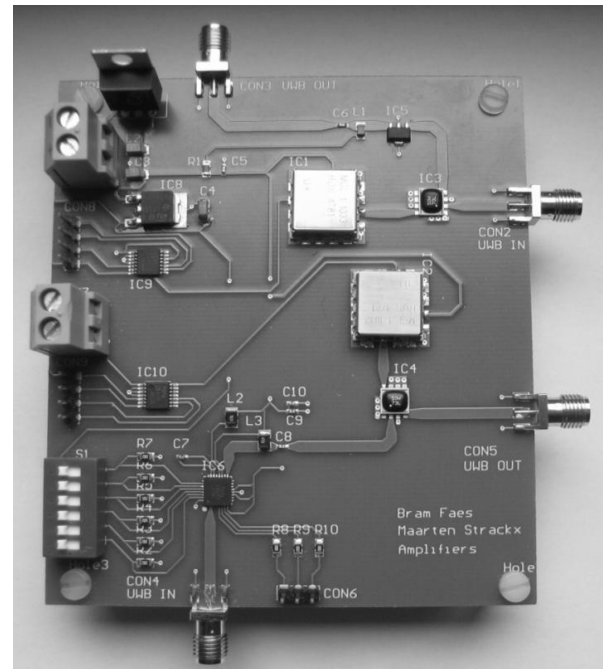


Fig. 2: PCB with amplifier before (IF) and after (RF) the mixer

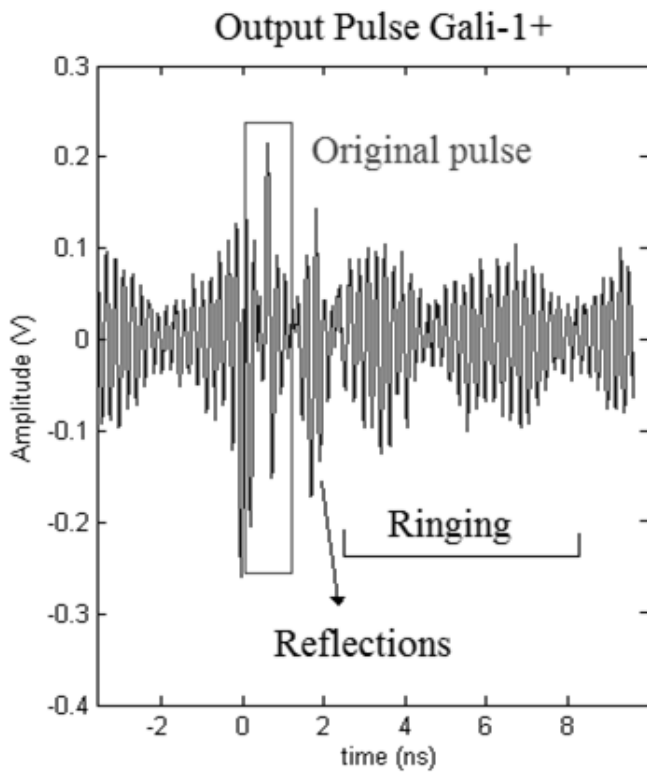


Fig. 3: Time-domain pulse amplifier after mixer

#### A. Time-domain signals

In Fig. 3 the time-domain signal at the output of the amplifier after the mixer (RF side) (Gali-1+) is shown. The conclusions made for this amplifier also apply to the amplifier before the mixer (IF side) (DVGA1-242+). This is because in both time-domain signals the same effects can be seen.

In this figure, the reflection and ringing interference signals can easily be seen. Because the ringing signal is relatively far away from the UWB pulse, it can be removed using a switching function. The ideal switching function is simulated by multiplying the time-domain signal with a rectangle function. After this switch the ringing signal is reduced to zero. This is shown in Fig. 4. In practice a switch can't open or close instantaneously. Therefore there still will be a small ringing signal near the UWB pulse. But this signal is small enough, so it can be neglected compared to the much greater reflection signals.

Now only the reflected interference signals remain in the output. Above was explained that the filters introduce these reflections due to an impedance mismatch. So to reduce these reflections, one has to design a filter that matches the transmission line impedance for the whole spectrum. When this filter is applied instead of the regular unmatched filter, there won't be any reflections. So the output pulse is an amplified version of the input pulse, without any interference signal.

In Fig. 5 the UWB pulse, after the switching function, of both amplifiers are shown. The dark line is the pulse generated by the amplifier after the mixer (RF side) (Gali-1+). This pulse can also be seen in Fig. 4. The light line is the pulse generated

from the amplifier before the mixer (IF side) (DVGA1-242+). Referring to III.B, one can see that the DVGA1-242+ amplifier has a much greater amplification factor than the Gali-1+. This can easily be seen in the amplitude of both pulses in Fig. 5. Now with the amplifier before the mixer (IF side) (DVGA1-242+) a pulse with an amplitude of 800mV is created. With the other configuration generates a pulse with 250mV amplitude.

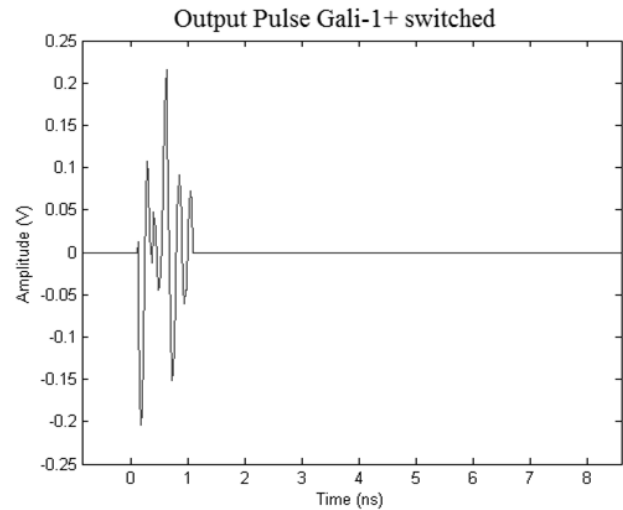


Fig. 4: Time-domain pulse with amplifier and switch after mixer

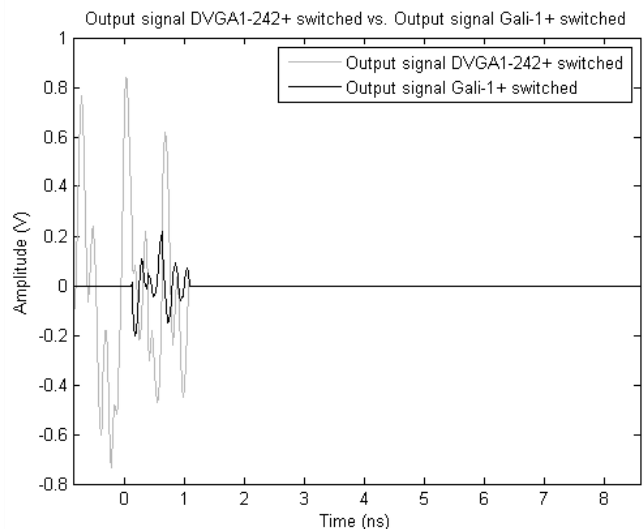


Fig. 5: Comparison of time-domain pulse of amplifier before (IF) and after mixer (RF)

#### B. Comparison spectra

Now let's look at the frequency-domain of these signals. This is shown in Fig. 6. Here the dash-dot line is the Fourier transform of the signal from Fig. 4. This is the output pulse of the amplifier after the mixer (RF side). Here one can see that this spectrum doesn't fit the FCC mask. In order to meet these FCC regulations, the lower frequencies need to be attenuated.

This is done using a high pass filter. In this paper the HFCN-3500+ from Mini-Circuits is used. This filter has a cut-off frequency of 3,5GHz and a bandwidth of 9,8GHz. As a result, the frequencies outside these two figures are attenuated. The effect of this filter can be seen in the solid line in Fig. 6. Now the resulting pulse-spectrum does fit the FCC mask.

In Fig. 7 the spectra of both amplifiers are shown, together with the FCC/ECC masks. Here the dashed line is the output spectrum of the amplifier before the mixer (IF side) (DVGA1-242+). The solid line is the output spectrum of the amplifier after the mixer (RF side) (Gali-1+).

Using Fig. 7 one can compare the spectra of the two amplifiers. In this figure one can see that both lines are almost the same. When looking closer, the output spectrum of the Gali-1+ amplifier (solid line) is somewhat smoother than the other spectrum, mainly between 3,5GHz and 9GHz. This results in a higher mean output amplitude than the other spectrum. Because these higher mean amplitude lays perfectly in the usable UWB frequency spectrum, one can conclude that the amplifier after the mixer (RF side) (Gali-1+) gives slightly better results than the other amplifier.

The final parameter that needs to be mentioned is the -10dB bandwidth of the output spectrum. This bandwidth can also be seen in the figure below. When looking at this figure, one can already conclude that these values are almost the same. The amplifier before the mixer, DVGA1-242+ (IF side), has a range of 3,6GHz to 8,4GHz. This results in a bandwidth of 4,8GHz. Whereas the amplifier after the mixer, Gali-1+ (RF side), has a bandwidth of 4,7GHz, with a range from 3,6GHz to 8,3GHz. From these results, one can conclude that the two placements of the amplifiers don't affect the bandwidth of the output spectrum.

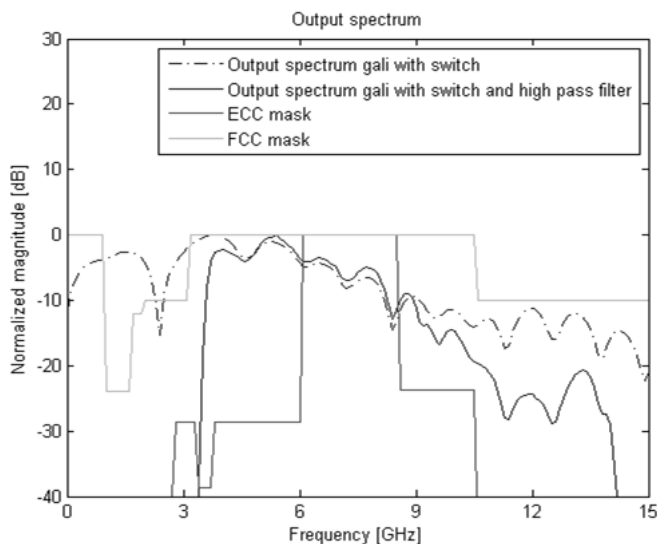


Fig. 6: Comparison of amplifier spectra after mixer (RF) without filter and with filter

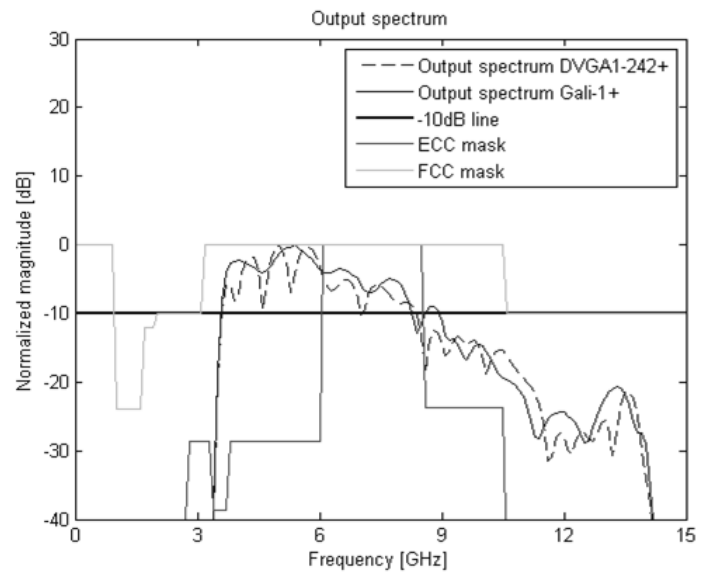


Fig. 7: Comparison of amplifier spectra before (IF) and after mixer (RF)

With previous figures, one can compare the results with other UWB transmitters. In this paper an UWB pulse with -10dB bandwidth between 3,6GHz and 8,4GHz is created. Which is much better compared to [3]. There the -10dB bandwidth starts from DC up to 3,7GHz.

To reduce the amount of ringing, the UWB pulse is amplified. This amplification generates an UWB pulse with a peak voltage of 800mV. This is considerably more compared to the 500mV peak voltage from [3] and the 200mV from [1].

## V. CONCLUSION

This work presents a new kind of UWB pulse generator with high adjustability and reduced ringing. An FPGA is used to achieve great adaptability. A FCC conform pulse-spectrum with a -10dB bandwidth of 4,8GHz is created. Due to upconversion the -10dB bandwidth is between 3,6GHz and 8,4GHz. This is right in the middle of the FCC mask.

Techniques to reduce the amount of ringing were introduced. An UWB amplifier is created and tested, and a switching function is simulated. These methods considerably reduce the amount of ringing signal on the output. An extra advantage of these amplifiers is the larger pulse output voltage. In this paper a pulse with amplitude of 800mV is created.

## REFERENCES

- [1] J. Han, C. Nguyen, "A New Ultra-Wideband, Ultra-Short Monocycle Pulse Generator With Reduced Ringing" in *Microwave and Wireless Components Letters, IEEE*, June 2002, pp. 206-208
- [2] A. Zhu, F. Sheng, A. Zhang, "An implementation of step recovery diode-based UWB pulse generator", in *Ultra-Wideband (ICUWB), 2010 IEEE International Conference on*, September 2010, pp. 1-4
- [3] J. Schworer, B. Miscopein, B. Uguen, G. El-Zein, "A Discrete Fully Logical and Low-cost sub-nanosecond UWB Pulse Generator", in *Wireless and Microwave Technology, 2005, WAMICON 2005. The 2005 IEEE Annual Conference*, 2005

## BIJLAGE 2

### VHDL-code

```

-----
-- Company: KHK/ESAT
-- Engineer: Bram Faes
--           Maarten Strackx
--
-- Create Date:   11:10:22 16/12/2012
-- Design Name:   test UWB pulse
-- Module Name:   test_pulse - Behavioral
-- Project Name:
-- Target Devices: spartan 6
-- Tool versions:
-- Description:
--
-- Dependencies:
--
-- Revision:
-- Revision 0.01 - File Created
-- Additional Comments:
--
-----
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
Library UNISIM;
use UNISIM.vcomponents.all;

entity test_pulse is
  port(
    CLK_IN_100M : in    std_logic;
    RESET_ext   : in    std_logic;
    UWBout1     : out   std_logic;
    UWBout2     : out   std_logic;
    SW_OE1      : out   std_logic := '0';
    SW_OE2      : out   std_logic := '1';
    MF_OE1      : out   std_logic := '0';
    DIGI1_SDI   : out   std_logic;
    DIGI1_CLK   : out   std_logic;
    DIGI1_SHDN  : out   std_logic := '1';
    DIGI1_CS    : out   std_logic := '1';
    DIGI2_SDI   : out   std_logic;
    DIGI2_CLK   : out   std_logic;
    DIGI2_SHDN  : out   std_logic := '1';
    DIGI2_CS    : out   std_logic := '1';
    DVGA_LE     : out   std_logic := '1';
    DVGA_CLK    : out   std_logic;
    DVGA_DATA   : out   std_logic;
    LED1        : out   std_logic
  );
end test_pulse;

```



architecture Behavioral of test\_pulse is

component PLL1 is

```
port(
    CLK_IN1      :    in    std_logic;
    RESET       :    in    std_logic;
    CLKFB_IN    :    in    std_logic;
    CLK_OUT1    :    out   std_logic;
    CLK_OUT2    :    out   std_logic;
    CLK_OUT3    :    out   std_logic;
    CLK_OUT4    :    out   std_logic;
    CLK_OUT5    :    out   std_logic;
    LOCKED      :    out   std_logic;
    CLKFB_OUT   :    out   std_logic
);
```

end component;

```
signal switch_signal :    std_logic;
signal CLKFB_int     :    std_logic;
signal CLK4M         :    std_logic;
signal CLK10M        :    std_logic;
signal cntDVGA       :    integer := 5;
signal cntDIGI       :    integer := 6;
signal initDVGA      :    boolean := false;
signal initDIGI      :    boolean := false;
```

```
constant RESET_int   :    std_logic := '0';
constant attenDVGA  :    std_logic_vector(5 downto 0) := "110010"; -- no attenDVGA:
--                                                                000000
constant VoutDIGI1   :    std_logic_vector(6 downto 0) := "1111111"; -- 50% inputvalue:
--                                                                1000000
constant VoutDIGI2   :    std_logic_vector(6 downto 0) := "1111111";
-- Input value digipot always higher than 0000110
```

begin

```
--////////////////////////////////////
-- Begin PLL
```

PLL: PLL1

```
port map(
    CLK_IN1      => CLK_IN_100M,
    RESET       => RESET_int,
    CLKFB_IN    => CLKFB_int,
    CLK_OUT1    => UWBout1,
    CLK_OUT2    => UWBout2,
    CLK_OUT3    => switch_signal,
    CLK_OUT4    => CLK10M,
    CLK_OUT5    => CLK4M,
    LOCKED      => open,
    CLKFB_OUT   => CLKFB_int );
```

```
-- END PLL
```

```
--////////////////////////////////////
```

```

--////////////////////////////////////
-- Begin Initialisation
-- Initialisation components: Set output voltage digipots --> so output frequentie VCO
--                                     Set attunuation DVGA1-242+
--                                     (Amplifier before mixer)

CLK_INIT: process(CLK10M, CLK4M, initDVGA, initDIGI)
begin
    if(not(initDVGA = true and initDIGI = true)) then
        DVGA_CLK <= CLK10M;
        DIGI1_CLK <= CLK4M;
        DIGI2_CLK <= CLK4M;
    end if;
end process;

INITIALISATION_DVGA: process(CLK10M, RESET_ext)
begin
    if(RESET_ext = '0') then
        initDVGA <= false;
        DVGA_LE <= '1';
        cntDVGA <= 5;
    else
        if(cntDVGA = -1) then
            DVGA_LE <= '1';
            initDVGA <= true;
            --cntDVGA <= 5;
        elsif(falling_edge(CLK10M)) then
            DVGA_LE <= '0';
            DVGA_DATA <= attenDVGA(cntDVGA);
            cntDVGA <= cntDVGA - 1;
        end if;
    end if;
end process;

INITIALISATION_DIGIPOTS: process(CLK4M,RESET_ext)
begin
    if(RESET_ext = '0') then
        DIGI1_SHDN <= '1';
        DIGI2_SHDN <= '1';
        DIGI1_CS <= '1';
        DIGI2_CS <= '1';
        cntDIGI <= 6;
        initDIGI <= false;
    else
        DIGI1_SHDN <= '1';
        DIGI2_SHDN <= '1';
        if(cntDIGI = -1) then
            DIGI1_CS <= '1';
            DIGI2_CS <= '1';
            initDIGI <= true;
            --cntDIGI <= 6;
        elsif(falling_edge(CLK4M)) then
            DIGI1_CS <= '0';
            DIGI2_CS <= '0';
            DIGI1_SDI <= VoutDIGI1(cntDIGI);
            DIGI2_SDI <= VoutDIGI2(cntDIGI);
            cntDIGI <= cntDIGI - 1;
        end if;
    end if;
end process;

-- End initialisation
--////////////////////////////////////

```

```

--////////////////////////////////////
-- Begin send UWB pulse

    Update_UWB: process(switch_signal, RESET_ext)
    begin
    if (RESET_ext = '0') then
        LED1 <= '0';
    else
        if(initDVGA = true and initDIGI = true) then
            LED1 <= '1';
            MF_OE1 <= switch_signal;
            SW_OE1 <= not(switch_signal);
            --SW_OE2 <= switch_signal;
            SW_OE2 <= '1'; --> Switch output 2 allways off: so no termination in
--                               50ohm if there is no pulse.
            -- MF closed when switch_signal = 1 --> Vmf = 1V
            -- SW closed when switch_signal = 0 --> Vsw = -5V
        end if;
    end if;
    end process;

-- End send UWB
--////////////////////////////////////
end Behavioral;

```

## BIJLAGE 3

### UCF code

```
NET "CLK_IN_100M" LOC = "P131";
// De inputklok is dan 20MHz i.p.v. 100MHz. Deze freq. kunnen we wel meten op de KHK (voor
controle van werking)
// NET "CLK_IN_100M" LOC = "P134";
NET "UWBout1" LOC = "P126";
NET "UWBout2" LOC = "P127";
NET "DIGI1_CLK" LOC = "P137";
NET "DIGI1_CS" LOC = "P138";
NET "DIGI1_SHDN" LOC = "P139";
NET "DIGI1_SDI" LOC = "P140";
NET "DIGI2_CLK" LOC = "P142";
NET "DIGI2_CS" LOC = "P141";
NET "DIGI2_SHDN" LOC = "P1";
NET "DIGI2_SDI" LOC = "P143";
NET "DVGA_DATA" LOC = "P2";
NET "DVGA_CLK" LOC = "P5";
NET "DVGA_LE" LOC = "P6";
NET "SW_OE1" LOC = "P8";
NET "SW_OE2" LOC = "P9";
NET "MF_OE1" LOC = "P10";
NET "LED1" LOC = "P27";
NET "RESET_ext" LOC = "P24";

// Timing constraints
NET "UWBout1" MAXDELAY = 1ps;
NET "UWBout2" MAXDELAY = 1ps;
NET "SW_OE1" MAXDELAY = 1ps;
NET "SW_OE2" MAXDELAY = 1ps;
NET "MF_OE1" MAXDELAY = 1ps;
```